

DOCKET NO.: 260595US2PCT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroshi TAKAHARA, et al.

SERIAL NO.: NEW U.S. PCT APPLICATION

FILED: HERewith

INTERNATIONAL APPLICATION NO.: PCT/JP03/02535

INTERNATIONAL FILING DATE: March 5, 2003

FOR: DRIVE CIRCUIT FOR EL DISPLAY PANEL

**REQUEST FOR PRIORITY UNDER 35 U.S.C. 119
AND THE INTERNATIONAL CONVENTION**Commissioner for Patents
Alexandria, Virginia 22313

Sir:

In the matter of the above-identified application for patent, notice is hereby given that the applicant claims as priority:

<u>COUNTRY</u>	<u>APPLICATION NO</u>	<u>DAY/MONTH/YEAR</u>
Japan	2002-127532	26 April 2002
Japan	2002-127637	26 April 2002
Japan	2002-284393	27 September 2002

Certified copies of the corresponding Convention application(s) were submitted to the International Bureau in PCT Application No. PCT/JP03/02535. Receipt of the certified copy(s) by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully submitted,
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Attorney of Record
Registration No. 24,913
Surinder Sachar
Registration No. 34,423

Customer Number

22850

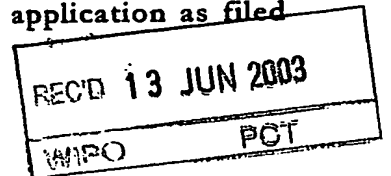
(703) 413-3000
Fax No. (703) 413-2220
(OSMMN 08/03)

日本国特許庁
JAPAN PATENT OFFICE

21.04.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office



出願年月日

Date of Application:

2002年 9月27日

出願番号

Application Number:

特願2002-284393

[ST.10/C]:

[JP2002-284393]

出願人

Applicant(s):

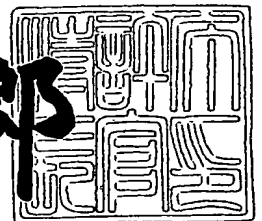
東芝松下ディスプレイテクノロジー株式会社

PRIORITY
DOCUMENTSUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

2003年 5月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



Best Available Copy

出証番号 出証特2003-3039541

【書類名】 特許願

【整理番号】 HRB029001

【提出日】 平成14年 9月27日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/12
G09G 3/14

【発明者】

【住所又は居所】 東京都港区港南四丁目1番8号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 高原 博司

【発明者】

【住所又は居所】 東京都港区港南四丁目1番8号 東芝松下ディスプレイ
テクノロジー株式会社内

【氏名】 柘植 仁志

【特許出願人】

【識別番号】 302020207

【氏名又は名称】 東芝松下ディスプレイテクノロジー株式会社

【代理人】

【識別番号】 100092794

【弁理士】

【氏名又は名称】 松田 正道

【電話番号】 06-6397-2840

【手数料の表示】

【予納台帳番号】 009896

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0206870

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 E L 表示パネルおよびそれを用いた E L 表示装置

【特許請求の範囲】

【請求項 1】 E L 素子がマトリックス状に形成された表示領域と、
前記 E L 素子に映像信号を電流として印加するソースドライバ回路とを具備し

前記ソースドライバ回路は、

基準電流を発生する基準電流発生手段と、

前記基準電流発生手段からの基準電流が入力され、かつ前記基準電流に対応する第 1 の電流を出力する第 1 の電流源と、

前記第 1 の電流が入力され、かつ前記第 1 の電流に対応する第 2 の電流を出力する複数の第 2 の電流源と、

前記第 2 の電流が入力され、かつ前記第 2 の電流に対応する第 3 の電流を出力する複数の第 3 の電流源と、

前記第 3 の電流が入力され、かつ前記第 3 の電流に対応する第 4 の電流を出力する複数の第 4 の電流源とを有し、

前記第 4 の電流源は、入力画像データに対応した個数の単位電流源が選択されることを特徴とする E L 表示パネル。

【請求項 2】 E L 素子がマトリックス状に形成された表示領域と、

前記 E L 素子に映像信号を電流として印加するソースドライバ回路とを具備し

前記ソースドライバ回路は、複数の単位トランジスタを有し、

前記単位トランジスタは、入力された映像信号の大きさに対応して選択され、
選択された単位トランジスタの電流が出力され、

前記ソースドライバ回路の階調数を K とし、前記単位トランジスタの大きさを S_t (平方 μm) としたとき、

$40 \leq K/\sqrt{S_t}$ かつ $S_t \leq 300$ の関係を満足することを
特徴とする E L 表示パネル。

【請求項 3】 E L 素子がマトリックス状に形成された表示領域と、

前記 E L 素子に映像信号を電流として印加するソースドライバ回路とを具備し

前記ソースドライバ回路は、第 1 のトランジスタと、前記第 1 のトランジスタとカレントミラー接続された複数の第 2 のトランジスタからなるトランジスタ群を有し、

前記トランジスタ群は 2 平方ミリメートル以内の範囲に形成されていることを特徴とする E L 表示パネル。

【請求項 4】 第 1 のトランジスタは、複数の単位トランジスタから構成され

前記複数の単位トランジスタは、2 平方ミリメートル以内の範囲に形成されていることを特徴とする請求項 3 記載の E L 表示パネル。

【請求項 5】 E L 素子がマトリックス状に形成された表示領域と、

前記 E L 素子に映像信号を電流として印加するソースドライバ回路とを具備し

前記ソースドライバ回路は、第 1 の単位電流を流す複数のトランジスタからなる第 1 の出力電流回路と、第 2 の単位電流を流す複数のトランジスタからなる第 2 の出力電流回路と、前記第 1 の出力電流回路の出力電流と、前記第 2 の出力電流回路の出力電流を加算して、出力する出力段とを有し、

前記第 1 の単位電流は、前記第 2 の単位電流よりも小さく、

前記第 1 の出力電流回路は、階調に応じて低階調領域と高階調領域で動作し、

前記第 2 の出力電流回路は、階調に応じて高階調領域で動作し、

前記第 1 の出力電流回路は、高階調領域では、変化しないことを特徴とする E L 表示パネル。

【請求項 6】 低階調領域で 1 階調あたりに変化する第 1 の単位電流と、高階調領域で 1 階調あたりに変化する第 2 の単位電流との電流比（第 2 の単位電流／第 1 の単位電流）が、4 以上 8 以下となる制御回路を具備することを特徴とする請求項 5 記載の E L 表示パネル。

【請求項 7】 ソースドライバ回路の裏面に、遮光膜が形成されていることを特徴とする請求項 1、請求項 2、請求項 3、請求項 5 のいずれかに記載の E L 表

示パネル。

【請求項 8】 EL素子を有する画素がマトリックス状に形成された表示領域と、

前記画素に形成されたトランジスタ素子と、

前記トランジスタ素子をオンオフ制御するゲートドライバ回路と、

前記トランジスタ素子に映像信号を印加するソースドライバ回路を具備し、

前記ゲートドライバ回路は、Pチャンネルトランジスタで構成されており、

前記画素に形成されたトランジスタは、Pチャンネルトランジスタ素子であり

、
前記ソースドライバ回路は、半導体チップで構成されていることを特徴とする
EL表示パネル。

【請求項 9】 EL素子と、駆動用トランジスタと、前記駆動用トランジスタ
と前記EL素子間の経路を形成する第1のスイッチング素子と、前記駆動用トラ
ンジスタとソース信号線間の経路を形成する第2のスイッチング素子とが、マト
リックス状に形成された表示領域と、

前記第1のスイッチング素子をオンオフ制御する第1のゲートドライバ回路と

、
前記第2のスイッチング素子をオンオフ制御する第2のゲートドライバ回路と

、
前記トランジスタ素子に映像信号を印加するソースドライバ回路を具備し、

前記ゲートドライバ回路は、Pチャンネルトランジスタで構成されており、

前記画素に形成されたトランジスタおよびスイッチング素子は、Pチャンネル
トランジスタ素子であり、

前記ソースドライバ回路は、半導体チップで構成されていることを特徴とする
EL表示パネル。

【請求項 10】 ソースドライバ回路は、映像信号を電流で出力することを特
徴とする請求項 8 または請求項 9 記載の EL 表示パネル。

【請求項 11】 ゲートドライバ回路は、4つのクロック信号により、データ
をシフト動作することを特徴とする請求項 8 または請求項 9 記載の EL 表示パネ

ル。

【請求項 1 2】 E L 素子がマトリックス状に形成された表示領域と、前記 E L 素子に映像信号を電流として印加するソースドライバ回路とを具備し、前記ソースドライバ回路は、複数の単位トランジスタを有し、前記単位トランジスタは、入力された映像信号の大きさに対応して選択され、選択された単位トランジスタの電流が出力され、前記ソースドライバ回路の階調数を K とし、前記単位トランジスタの大きさを S_t (平方 μm) としたとき、 $40 \leq K/\sqrt{S_t}$ かつ $S_t \leq 300$ の関係を満足することを特徴とする E L 表示パネルと、受話器と、

スピーカーを具備することを特徴とする E L 表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機または無機エレクトロルミネッセンス (E L) 素子を用いた E L 表示パネルなどの自発光表示パネルに関するものである。また、E L 表示パネルの駆動方法と駆動回路およびそれらを用いた情報表示装置などに関するものである。

【0002】

【従来の技術】

一般に、アクティブマトリクス型表示装置では、多数の画素をマトリクス状に並べ、与えられた映像信号に応じて画素毎に光強度を制御することによって画像を表示する。たとえば、電気光学物質として液晶を用いた場合は、各画素に書き込まれる電圧に応じて画素の透過率が変化する。電気光学変換物質として有機エレクトロルミネッセンス (E L) 材料を用いたアクティブマトリクス型の画像表示装置でも、基本的な動作は液晶を用いた場合と同様である。

【0003】

液晶表示パネルは、各画素はシャッタとして動作し、バックライトからの光を画素であるシャッタでオンオフさせることにより画像を表示する。有機 E L 表示パネルは各画素に発光素子を有する自発光型である。そのため、有機 E L 表示パ

ネルなどの自発光型の表示パネルは、液晶表示パネルに比べて画像の視認性が高い、バックライトが不要、応答速度が速い等の利点を有する。

【 0 0 0 4 】

有機 E L 表示パネルは各発光素子（画素）の輝度は電流量によって制御される。つまり、発光素子が電流駆動型あるいは電流制御型であるという点で液晶表示パネルとは大きく異なる。

【 0 0 0 5 】

有機 E L 表示パネルも単純マトリクス方式とアクティブマトリクス方式の構成が可能である。前者は構造が単純であるものの大型かつ高精細の表示パネルの実現が困難である。しかし、安価である。後者は大型、高精細表示パネルを実現できる。しかし、制御方法が技術的に難しい、比較的高価であるという課題がある。現在では、アクティブマトリクス方式の開発が盛んに行われている。アクティブマトリクス方式は、各画素に設けた発光素子に流れる電流を画素内部に設けた薄膜トランジスタ（T F T）によって制御する（例えば特許文献 1 参照。）。

【 0 0 0 6 】

この表示パネルの一画素分の等価回路を図 6 2 に示す。画素 1 6 は発光素子である E L 素子 1 5、第 1 のトランジスタ 1 1 a、第 2 のトランジスタ 1 1 b および蓄積容量 1 9 からなる。発光素子 1 5 は有機エレクトロルミネッセンス（E L）素子である。本発明では、E L 素子 1 5 に電流を供給（制御）するトランジスタ 1 1 a を駆動用トランジスタ 1 1 と呼ぶ。また、図 6 2 のトランジスタ 1 1 b のように、スイッチとして動作するトランジスタをスイッチ用トランジスタ 1 1 と呼ぶ。

【 0 0 0 7 】

有機 E L 素子 1 5 は多くの場合、整流性があるため、O L E D（有機発光ダイオード）と呼ばれることがある。図 6 2 では発光素子 O L E D 1 5 としてダイオードの記号を用いている。

【 0 0 0 8 】

ただし、本発明における発光素子 1 5 は O L E D に限るものではなく、素子 1 5 に流れる電流量によって輝度が制御されるものであればよい。たとえば、無機

EL素子が例示される。その他、半導体で構成される白色発光ダイオードが例示される。また、一般的な発光ダイオードが例示される。その他、発光トランジスタでもよい。また、発光素子15は必ずしも整流性が要求されるものではない。双方向性ダイオードであってもよい。

【0009】

図62の例では、Pチャンネル型のトランジスタ11aのソース端子(S)をVdd(電源電位)とし、EL素子15のカソード(陰極)は接地電位(Vk)に接続される。一方、アノード(陽極)はトランジスタ11bのドレイン端子(D)に接続されている。一方、Pチャンネル型のトランジスタ11aのゲート端子はゲート信号線17aに接続され、ソース端子はソース信号線18に接続され、ドレイン端子は蓄積容量19およびトランジスタ11aのゲート端子(G)に接続されている。

【0010】

画素16を動作させるために、まず、ゲート信号線17aを選択状態とし、ソース信号線18に輝度情報を表す映像信号を印加する。すると、トランジスタ11aが導通し、蓄積容量19が充電又は放電され、トランジスタ11bのゲート電位は映像信号の電位に一致する。ゲート信号線17aを非選択状態とすると、トランジスタ11aがオフになり、トランジスタ11bは電氣的にソース信号線18から切り離される。しかし、トランジスタ11aのゲート電位は蓄積容量19によって安定に保持される。トランジスタ11aを介して発光素子15に流れる電流は、トランジスタ11aのゲート/ソース端子間電圧 V_{gs} に応じた値となり、発光素子15はトランジスタ11aを通して供給される電流量に応じた輝度で発光し続ける。

【0011】

以上の図62の実施例は、1画素が、1つの選択トランジスタ(スイッチング素子)と、1つの駆動用トランジスタで構成されたものである。その他の、構成例として、画素がカレントミラー回路で構成された実施例が例示されている(例えば特許文献2参照。)

【0012】

【特許文献 1】

特開平 8 - 2 3 4 6 8 3 号公報

【特許文献 2】

特願平 1 1 - 3 2 7 6 3 7 号公報

【0 0 1 3】

【発明が解決しようとする課題】

液晶表示パネルは、自発光デバイスではないため、バックライトを用いないと画像を表示できないという問題点がある。バックライトを構成するためには所定の厚みが必要であるため、表示パネルの厚みが厚くなるという問題があった。また、液晶表示パネルでカラー表示を行うためには、カラーフィルタを使用する必要がある。そのため、光利用効率が低いという問題点があった。また、色再現範囲が狭いという問題点があった。

【0 0 1 4】

有機 E L 表示パネルは、低温ポリシリコントランジスタアレイを用いてパネルを構成する。しかし、有機 E L 素子は、電流により発光するため、トランジスタの特性にバラツキがあると、表示ムラが発生するという課題があった。

【0 0 1 5】

表示ムラは、画素を電流プログラム方式の構成を採用することにより低減することが可能である。電流プログラムを実施するためには、電流駆動方式のドライバ回路が必要である。しかし、電流駆動方式のドライバ回路にも電流出力段を構成するトランジスタ素子にバラツキが発生する。そのため、各出力端子からの階調出力電流にバラツキが発生し、良好な画像表示ができないという課題があった。

【0 0 1 6】

【課題を解決するための手段】

この目的を達成するために本発明の E L 表示装置またはドライバ回路は、単位電流を出力する複数のトランジスタを具備し、このトランジスタの個数を変化させることにより出力電流を出力するものである。また、多段のカレントミラー回路で構成されたことを特徴としている。信号の受け渡しは電圧受け渡しとなるト

ランジスタ群は密に形成し、カレントミラー回路の群との信号の受け渡しは、電流受け渡しの構成を採用する。また、基準電流は、複数のトランジスタで行う。

【 0 0 1 7 】

【発明の実施の形態】

本明細書において各図面は理解を容易にまたは／および作図を容易にするため、省略または／および拡大縮小した箇所がある。たとえば、図 1 1 に図示する表示パネルの断面図では封止膜 1 1 1 などを十分厚く図示している。一方、図 1 0 において、封止フタ 8 5 は薄く図示している。また、省略した箇所もある。たとえば、本発明の表示パネルなどでは、反射防止のために円偏光板などの位相フィルムが必要である。しかし、本明細書の各図面では省略している。以上のことは以下の図面に対しても同様である。また、同一番号または、記号等を付した箇所は同一もしくは類似の形態もしくは材料あるいは機能もしくは動作を有する。

【 0 0 1 8 】

なお、各図面等で説明した内容は特に断りがなくとも、他の実施例等と組み合わせることができる。たとえば、図 8 の表示パネルにタッチパネルなどを付加し、図 1 9、図 5 9 から図 6 1 に図示する情報表示装置とすることができる。また、拡大レンズ 5 8 2 を取り付け、ビデオカメラ（図 5 9 など参照のこと）などに用いるビューファインダ（図 5 8 を参照のこと）を構成することもできる。また、図 4、図 1 5、図 1 8、図 2 1、図 2 3 など説明した本発明の駆動方法は、いずれの本発明の表示装置または表示パネルに適用することができる。

【 0 0 1 9 】

なお、本明細書では、駆動用トランジスタ 1 1、スイッチング用トランジスタ 1 1 は薄膜トランジスタとして説明するが、これに限定するものではない。薄膜ダイオード（TFD）、リングダイオードなどでも構成することができる。また、薄膜素子に限定するものではなく、シリコンウエハに形成したものでもよい。もちろん、FET、MOS-FET、MOSトランジスタ、バイポーラトランジスタでもよい。これらも基本的に薄膜トランジスタである。その他、バリスタ、サイリスタ、リングダイオード、ホトダオード、ホトトランジスタ、PLZT素子などでもよいことは言うまでもない。つまり、スイッチ素子 1 1、駆動用素子

1 1 と構成するものはこれらのいずれでも使用することができる。

【 0 0 2 0 】

以下、本発明の E L パネルについて図面を参照しながら説明をする。有機 E L 表示パネルは、図 1 0 に示すように、画素電極としての透明電極 1 0 5 が形成されたガラス板 7 1 (アレイ基板) 上に、電子輸送層、発光層、正孔輸送層などからなる少なくとも 1 層の有機機能層 (E L 層) 1 5、及び金属電極 (反射膜) (カソード) 1 0 6 が積層されたものである。透明電極 (画素電極) 1 0 5 である陽極 (アノード) にプラス、金属電極 (反射電極) 1 0 6 の陰極 (カソード) にマイナスの電圧を加え、すなわち、透明電極 1 0 5 及び金属電極 1 0 6 間に直流を印加することにより、有機機能層 (E L 層) 1 5 が発光する。

【 0 0 2 1 】

アノードあるいはカソードへ電流を供給する配線 (図 8 のカソード配線 8 6、アノード配線 8 7) には大きな電流が流れる。たとえば、E L 表示装置の画面サイズが 4 0 インチサイズになると 1 0 0 (A) 程度の電流が流れる。したがって、これらの配線の抵抗値は十分低く作製する必要がある。この課題に対して、本発明では、まず、アノードなどの配線 (E L 素子に発光電流を供給する配線) を薄膜で形成する。そして、この薄膜配線に電解めっき技術あるいは無電解めっき技術で配線の厚みを厚く形成している。

【 0 0 2 2 】

めっき金属としては、クロム、ニッケル、金、銅、アルミあるいはこれらの合金、アマンガムもしくは積層構造などが例示される。また、必要に応じて、配線そのもの、あるいは配線に銅薄からなる金属配線を付加している。また、配線の上に銅ペーストなどをスクリーン印刷し、ペーストなどを積層させることにより配線の厚みを厚くし、配線抵抗を低下させる。また、ボンディング技術で配線を重複して形成し、配線を補強してもよい。また、必要に応じて、配線に積層してグランドパターンを形成し、配線との間にコンデンサ (容量) を形成してもよい。

【 0 0 2 3 】

また、アノードあるいはカソード配線に大きな電流を供給するため、電流供給

手段から高電圧で小電流の電力配線で、前記アノード配線などの近傍まで配線し、DCDCコンバータなどを用いて低電圧、高電流に電力変換して供給している。つまり、電源から高電圧、小電流配線で電力消費対象まで配線し、電力消費対象の近傍で大電流、低電圧に変換する。このようなものとして、DCDCコンバータ、トランスなどが例示される。

【 0 0 2 4 】

金属電極 1 0 6 には、リチウム、銀、アルミニウム、マグネシウム、インジウム、銅または各々の合金等の仕事関数が小さなものを用いることが好ましい。特に、例えば Al-Li 合金を用いることが好ましい。また、透明電極 1 0 5 には、ITO 等の仕事関数の大きな導電性材料または金等を用いることができる。なお、金を電極材料として用いた場合、電極は半透明の状態となる。なお、ITO は IZO などの他の材料でもよい。この事項は他の画素電極 1 0 5 に対しても同様である。

【 0 0 2 5 】

なお、画素電極 1 0 5 などに薄膜を蒸着する際は、アルゴン雰囲気中で有機 EL 膜 1 5 を成膜するとよい。また、画素電極 1 0 5 としての ITO 上にカーボン膜を 20 以上 50 nm 以下で成膜することにより、界面の安定性が向上し、発光輝度および発光効率も良好なものとなる。また、EL 膜 1 5 は蒸着で形成することに限定するものではなく、インクジェットで形成してもよいことは言うまでもない。

【 0 0 2 6 】

なお、封止フタ 8 5 とアレイ基板 7 1 との空間には乾燥剤 1 0 7 を配置する。これは、有機 EL 膜 1 5 は湿度に弱いためである。乾燥剤 1 0 7 によりシール剤を浸透する水分を吸収し有機 EL 膜 1 5 の劣化を防止する。

【 0 0 2 7 】

図 1 0 はガラスのフタ 8 5 を用いて封止する構成であるが、図 1 1 のようにフィルム（薄膜でもよい。つまり、薄膜封止膜である）1 1 1 を用いた封止であってもよい。たとえば、封止フィルム（薄膜封止膜）1 1 1 としては電解コンデンサのフィルムに DLC（ダイヤモンド ライク カーボン）を蒸着したものを

いることが例示される。このフィルムは水分浸透性が極めて悪い（防湿性能が高い）。このフィルムを封止膜 1 1 1 として用いる。また、DLC 膜などを電極 1 0 6 の表面に直接蒸着する構成としてもよいことは言うまでもない。その他、樹脂薄膜と金属薄膜を多層に積層して、薄膜封止膜を構成してもよい。

【 0 0 2 8 】

薄膜の膜厚は $n \cdot d$ (n は薄膜の屈折率、複数の薄膜が積層されている場合はそれらの屈折率を総合 (各薄膜の $n \cdot d$ を計算) にして計算する。 d は薄膜の膜厚、複数の薄膜が積層されている場合はそれらの屈折率を総合して計算する。) が、EL 素子 1 5 の発光主波長 λ 以下となるようにするとよい。この条件を満足させることにより、EL 素子 1 5 からの光取り出し効率が、ガラス基板で封止した場合に比較して 2 倍以上になる。また、アルミニウムと銀の合金あるいは混合物あるいは積層物を形成してもよい。

【 0 0 2 9 】

以上のようにフタ 8 5 を用いず、封止膜 1 1 1 で封止する構成を薄膜封止と呼ぶ。基板 7 1 側から光を取り出す「下取り出し (図 1 0 を参照、光取り出し方向は図 1 0 の矢印方向である)」の場合の薄膜封止は、EL 膜を形成後、EL 膜上にカソードとなるアルミ電極を形成する。次にこのアルミ膜上に緩衝層としての樹脂層を形成する。緩衝層としては、アクリル、エポキシなどの有機材料が例示される。また、膜厚は $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の厚みが適する。さらに好ましくは、膜厚は $2 \mu\text{m}$ 以上 $6 \mu\text{m}$ 以下の厚みが適する。この緩衝膜上の封止膜 7 4 を形成する。緩衝膜がないと、応力により EL 膜の構造が崩れ、筋状に欠陥が発生する。封止膜 1 1 1 は前述したように、DLC (ダイヤモンド ライク カーボン)、あるいは電界コンデンサの層構造 (誘電体薄膜とアルミ薄膜とを交互に多層蒸着した構造) が例示される。

【 0 0 3 0 】

EL 層 1 5 側から光を取り出す「上取り出し図 1 1 を参照、光取り出し方向は図 1 1 の矢印方向である」の場合の薄膜封止は、EL 膜 1 5 を形成後、EL 膜 1 5 上にカソード (アノード) となる Ag-Mg 膜を 20 オングストローム以上 300 オングストロームの膜厚で形成する。その上に、ITO などの透明電極を形

成して低抵抗化する。次にこの電極膜上に緩衝層としての樹脂層を形成する。この緩衝膜上に封止膜 1 1 1 を形成する。

【 0 0 3 1 】

有機 E L 層 1 5 から発生した光の半分は、反射膜 1 0 6 で反射され、アレイ基板 7 1 と透過して出射される。しかし、反射膜 1 0 6 には外光を反射し写り込みが発生して表示コントラストを低下させる。この対策のために、アレイ基板 7 1 に $\lambda/4$ 板 1 0 8 および偏光板（偏光フィルム） 1 0 9 を配置している。これらは一般的に円偏光板（円偏光シート）と呼ばれる。

【 0 0 3 2 】

なお、画素が反射電極の場合は E L 層 1 5 から発生した光は上方向に出射される。したがって、位相板 1 0 8 および偏光板 1 0 9 は光出射側に配置することはいうまでもない。なお、反射型画素は、画素電極 1 0 5 を、アルミニウム、クロム、銀などで構成して得られる。また、画素電極 1 0 5 の表面に、凸部（もしくは凹凸部）を設けることで有機 E L 層 1 5 との界面が広くなり発光面積が大きくなり、また、発光効率が向上する。なお、カソード 1 0 6 （アノード 1 0 5 ）となる反射膜を透明電極に形成する、あるいは反射率を 3 0 % 以下に低減できる場合は、円偏光板は不要である。写り込みが大幅に減少するからである。また、光の干渉も低減し望ましい。

【 0 0 3 3 】

トランジスタ 1 1 は L D D （ロー ドーピング ドレイン）構造を採用することが好ましい。また、本明細書では E L 素子として有機 E L 素子（O E L、P E L、P L E D、O L E D など多種多様な略称で記述される） 1 5 を例にあげて説明するがこれに限定するものではなく、無機 E L 素子にも適用されることは言うまでもない。

【 0 0 3 4 】

まず、有機 E L 表示パネルに用いられるアクティブマトリックス方式は、特定の画素を選択し、必要な表示情報を与えられること、1 フレーム期間を通じて E L 素子に電流を流すことができることという 2 つの条件を満足させなければならない。

【 0 0 3 5 】

この2つの条件を満足させるため、図62に図示する従来の有機ELの画素構成では、第1のトランジスタ11bは画素を選択するためのスイッチング用トランジスタ、第2のトランジスタ11aはEL素子（EL膜）15に電流を供給するための駆動用トランジスタとする。

【 0 0 3 6 】

この構成を用いて階調を表示させる場合、駆動用トランジスタ11aのゲート電圧として階調に応じた電圧を印加する必要がある。したがって、駆動用トランジスタ11aのオン電流のばらつきがそのまま表示に現れる。

【 0 0 3 7 】

トランジスタのオン電流は単結晶で形成されたトランジスタであれば、きわめて均一であるが、安価なガラス基板に形成することのできる形成温度が450度以下の低温ポリシリコン技術で形成した低温多結晶トランジスタでは、そのしきい値のばらつきが±0.2V～0.5Vの範囲でばらつきがある。そのため、駆動用トランジスタ11aを流れるオン電流がこれに対応してばらつき、表示にムラが発生する。これらのムラは、しきい値電圧のばらつきのみならず、トランジスタの移動度、ゲート絶縁膜の厚みなどでも発生する。また、トランジスタ11の劣化によっても特性は変化する。

【 0 0 3 8 】

この現象は、低温ポリシリコン技術に限定されるものではなく、プロセス温度が450度（摂氏）以上の高温ポリシリコン技術でも、固相（CGS）成長させた半導体膜を用いてトランジスタなどを形成したものでも発生する。その他、有機トランジスタでも発生する。アモルファスシリコントランジスタでも発生する。したがって、以下に説明する本発明は、これらの技術に対応し、対策できる構成あるいは方式である。なお、本明細書では低温ポリシリコン技術で形成したトランジスタを主として説明する。

【 0 0 3 9 】

したがって、図62のように、電圧を書き込むことにより、階調を表示させる方法では、均一な表示を得るために、デバイスの特性を厳密に制御する必要がある。

る。しかし、現状の低温多結晶ポリシリコントランジスタなどではこのバラツキを所定範囲以内の抑えるというスペックを満足できない。

【 0 0 4 0 】

本発明の E L 表示装置の画素構造は、具体的には図 1 に示すように単位画素が最低 4 つからなる複数のトランジスタ 1 1 ならびに E L 素子により形成される。画素電極はソース信号線と重なるように構成する。つまり、ソース信号線 1 8 上に絶縁膜あるいはアクリル材料からなる平坦化膜を形成して絶縁し、この絶縁膜上に画素電極 1 0 5 を形成する。このようにソース信号線 1 8 上の少なくとも 1 部に画素電極を重ねる構成をハイパーチャ (H A) 構造と呼ぶ。不要な干渉光などが低減し、良好な発光状態が期待できる。

【 0 0 4 1 】

ゲート信号線 (第 1 の走査線) 1 7 a をアクティブ (O N 電圧を印加) とすることにより E L 素子 1 5 の駆動用のトランジスタ 1 1 a およびスイッチ用トランジスタ 1 1 c を通して、前記 E L 素子 1 5 に流すべき電流値をソースドライバ回路 1 4 から流す。また、トランジスタ 1 1 a のゲートとドレイン間を短絡するようにトランジスタ 1 1 b がゲート信号線 1 7 a アクティブ (O N 電圧を印加) となることにより開くと共に、トランジスタ 1 1 a のゲートとソース間に接続されたコンデンサ (キャパシタ、蓄積容量、付加容量) 1 9 にトランジスタ 1 1 a のゲート電圧 (あるいはドレイン電圧) を記憶する (図 3 (a) を参照のこと)。

【 0 0 4 2 】

なお、トランジスタ 1 1 a のソース (S) - ゲート (G) 間容量 (コンデンサ) 1 9 は 0 . 2 p F 以上の容量とすることが好ましい。他の構成として、別途、コンデンサ 1 9 を形成する構成も例示される。つまり、コンデンサ電極レイヤーとゲート絶縁膜およびゲートメタルから蓄積容量を形成する構成である。トランジスタ 1 1 c のリークによる輝度低下を防止する観点、表示動作を安定化させるための観点からはこのように別途コンデンサを構成するほうが好ましい。

【 0 0 4 3 】

なお、コンデンサ (蓄積容量) 1 9 の大きさは、0 . 2 p F 以上 2 p F 以下とすることがよく、中でもコンデンサ (蓄積容量) 1 9 の大きさは、0 . 4 p F 以

上 1. 2 pF 以下とすることがよい。画素サイズを考慮してコンデンサ 1 9 の容量を決定する。1 画素に必要な容量を $C_s \text{ (pF)}$ とし、1 画素が占める面積（開口率ではない）を $S_p \text{ (平方 } \mu\text{m)}$ とすれば、 $500/S \leq C_s \leq 20000/S$ とし、さらに好ましくは、 $1000/S_p \leq C_s \leq 10000/S_p$ となるようにする。なお、トランジスタのゲート容量は小さいので、ここでいう Q とは、蓄積容量（コンデンサ）1 9 単独の容量である。

【 0 0 4 4 】

コンデンサ 1 9 は隣接する画素間の非表示領域におおむね形成することがこのましい。一般的に、フルカラー有機 EL 1 5 を作成する場合、有機 EL 層 1 5 をメタルマスクによるマスク蒸着で形成するためマスク位置ずれによる EL 層の形成位置が発生する。位置ずれが発生すると各色の有機 EL 層 1 5（1 5 R、1 5 G、1 5 B）が重なる危険性がある。そのため、各色の隣接する画素間の非表示領域は 10μ 以上離れなければならない。この部分は発光に寄与しない部分となる。したがって、蓄積容量 1 9 をこの領域に形成することは開口率向上のために有効な手段となる。

【 0 0 4 5 】

次に、ゲート信号線 1 7 a を非アクティブ（OFF 電圧を印加）、ゲート信号線 1 7 b をアクティブとして、電流の流れる経路を前記第 1 のトランジスタ 1 1 a 並びに EL 素子 1 5 に接続されたトランジスタ 1 1 d ならびに前記 EL 素子 1 5 を含む経路に切り替えて、記憶した電流を前記 EL 素子 1 5 に流すように動作する（図 3（b）を参照のこと）。

【 0 0 4 6 】

この回路は 1 画素内に 4 つのトランジスタ 1 1 を有しており、トランジスタ 1 1 a のゲートはトランジスタ 1 1 b のソースに接続されている。また、トランジスタ 1 1 b およびトランジスタ 1 1 c のゲートはゲート信号線 1 7 a に接続されている。トランジスタ 1 1 b のドレインはトランジスタ 1 1 c のソースならびにトランジスタ 1 1 d のソースに接続され、トランジスタ 1 1 c のドレインはソース信号線 1 8 に接続されている。トランジスタ 1 1 d のゲートはゲート信号線 1 7 b に接続され、トランジスタ 1 1 d のドレインは EL 素子 1 5 のアノード電

極に接続されている。

【0047】

なお、図1ではすべてのトランジスタはPチャンネルで構成している。Pチャンネルは多少Nチャンネルのトランジスタに比較してモビリティが低い、耐圧が大きくまた劣化も発生しにくいので好ましい。しかし、本発明はEL素子構成をPチャンネルで構成することのみに限定するものではない。Nチャンネルのみで構成してもよい。また、NチャンネルとPチャンネルの両方を用いて構成してもよい。

【0048】

なお、図1においてトランジスタ11c、11bは同一の極性で構成し、かつNチャンネルで構成し、トランジスタ11a、11dはPチャンネルで構成することが好ましい。一般的にPチャンネルトランジスタはNチャンネルトランジスタに比較して、信頼性が高い、キルク電流が少ないなどの特長があり、電流を制御することによって目的とする発光強度を得るEL素子15に対しては、トランジスタ11aをPチャンネルにする効果大きい。

【0049】

最適には画素を構成するトランジスタ11をすべてPチャンネルで形成し、内蔵ゲートドライバ12もPチャンネルで形成することが好ましい。このようにアレイをPチャンネルのみのトランジスタで形成することにより、マスク枚数が5枚となり、低コスト化、高歩留まり化を実現できる。

【0050】

以下、さらに本発明の理解を容易にするために、本発明のEL素子構成について図3を用いて説明する。本発明のEL素子構成は2つのタイミングにより制御される。第1のタイミングは必要な電流値を記憶させるタイミングである。このタイミングでトランジスタ11bならびにトランジスタ11cがONすることにより、等価回路として図3(a)となる。ここで、信号線より所定の電流 I_w が書き込まれる。これによりトランジスタ11aはゲートとドレインが接続された状態となり、このトランジスタ11aとトランジスタ11cを通じて電流 I_w が流れる。従って、トランジスタ11aのゲートソースの電圧は I_1 が流れるよ

うな電圧となる。

【 0 0 5 1 】

第2のタイミングはトランジスタ11aとトランジスタ11cが閉じ、トランジスタ11dが開くタイミングであり、そのときの等価回路は図3(b)となる。トランジスタ11aのソース・ゲート間の電圧は保持されたままとなる。この場合、トランジスタ11aは常に飽和領域で動作するため、 I_w の電流は一定となる。

【 0 0 5 2 】

このように動作させると、図5に図示するようになる。つまり、図5(a)の51aは表示画面50における、ある時刻での電流プログラムされている画素(行)(書き込み画素行)を示している。この画素(行)51aは、図5(b)に図示するように非点灯(非表示画素(行))とする。他の、画素(行)は表示画素(行)53とする(非画素53のEL素子15には電流が流れ、EL素子15が発光している)。

【 0 0 5 3 】

図1の画素構成の場合、図3(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定(プログラム)される。このとき、トランジスタ11dはオープン状態(オフ状態)である。

【 0 0 5 4 】

次に、EL素子15に電流を流す期間は図3(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧(V_{gh})が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧(V_{gl})が印加され、トランジスタ11dがオンする。

【 0 0 5 5 】

このタイミングチャートを図4に図示する。なお、図4などにおいて、括弧内の添え字(たとえば、(1)など)は画素行の番号を示している。つまり、ゲー

ト信号線 1 7 a (1) とは、画素行 (1) のゲート信号線 1 7 a を示している。また、図 4 の上段の * H (「*」には任意の記号、数値が当てはまり、水平走査線の番号を示す) とは、水平走査期間を示している。つまり、1 H とは第 1 番目の水平走査期間である。なお、以上の事項は、説明を容易にするためであって、限定 (1 H の番号、1 H 周期、画素行番号の順番など) するものではない。

【 0 0 5 6 】

図 4 でわかるように、各選択された画素行 (選択期間は、1 H としている) において、ゲート信号線 1 7 a にオン電圧が印加されている時には、ゲート信号線 1 7 b にはオフ電圧が印加されている。また、この期間は、E L 素子 1 5 には電流が流れていない (非点灯状態)。選択されていない画素行において、ゲート信号線 1 7 a にオフ電圧が印加され、ゲート信号線 1 7 b にはオン電圧が印加されている。また、この期間は、E L 素子 1 5 に電流が流れている (点灯状態)。

【 0 0 5 7 】

なお、トランジスタ 1 1 a のゲートとトランジスタ 1 1 c のゲートは同一のゲート信号線 1 1 a に接続している。しかし、トランジスタ 1 1 a のゲートとトランジスタ 1 1 c のゲートとを異なるゲート信号線 1 1 に接続してもよい (図 3 2 を参照のこと)。1 画素のゲート信号線は 3 本となる (図 1 の構成は 2 本である)。トランジスタ 1 1 b のゲートの ON / OFF タイミングとトランジスタ 1 1 c のゲートの ON / OFF タイミングを個別に制御することにより、トランジスタ 1 1 a のばらつきによる E L 素子 1 5 の電流値バラツキをさらに低減することができる。

【 0 0 5 8 】

ゲート信号線 1 7 a とゲート信号線 1 7 b とを共通にし、トランジスタ 1 1 c と 1 1 d が異なった導電型 (N チャンネルと P チャンネル) とすると、駆動回路の簡略化、ならびに画素の開口率を向上させることが出来る。

【 0 0 5 9 】

このように構成すれば本発明の動作タイミングとしては信号線からの書きこみ経路がオフになる。すなわち所定の電流が記憶される際に、電流の流れる経路に分岐があると正確な電流値がトランジスタ 1 1 a のソース (S) - ゲート (G)

間容量（コンデンサ）に記憶されない。トランジスタ 1 1 c とトランジスタ 1 1 d を異なった導電形にすることにより、お互いの閾値を制御することによって走査線の切り替わりのタイミングで必ずトランジスタ 1 1 c がオフしたのちに、トランジスタ 1 1 d がオンすることが可能になる。

【 0 0 6 0 】

ただし、この場合お互いの閾値を正確にコントロールする必要があるのでプロセスの注意が必要である。なお、以上述べた回路は最低 4 つのトランジスタで実現可能であるが、より正確なタイミングのコントロールあるいは後述するように、ミラー効果低減のためにトランジスタ 1 1 e を図 2 に示すように、カスケード接続してトランジスタの総数が 4 以上になっても動作原理は同じである。このようにトランジスタ 1 1 e を加えた構成とすることにより、トランジスタ 1 1 c を介してプログラムした電流がより精度よく E L 素子 1 5 に流すことができるようになる。

【 0 0 6 1 】

なお、図 1 ではトランジスタ 1 1 d をオンオフさせることにより、E L 素子 1 5 に流れる電流をオンオフさせるとした。しかし、E L 素子 1 5 に流れる電流と制御するように構成するのはこの構成に限定されるものではない。図 1 4 0 は本発明の他の実施例である。図 1 4 0 では E L 素子 1 5 のカソード端子に切り替え回路 1 4 0 1 が形成または配置されている。切り替え回路 1 4 0 1 はトランジスタ素子で構成されるアナログスイッチなどが例示される。切り替え回路 1 4 0 1 の c 端子は各画素 1 6 の E L 素子 1 5 のカソード端子に接続されている。切り替え回路 1 4 0 1 の他の 2 つの端子である a 端子は、一例として V d d 端子（アノード電圧）に接続され、b 端子はグランド（G N D）端子に接続されている。

【 0 0 6 2 】

切り替え回路 1 4 0 1 の a 端子と c 端子が接続された時、E L 素子 1 5 のカソード端子に V d d 電圧が印加される。したがって、E L 素子 1 5 には電流が流れない。逆に切り替え回路 1 4 0 1 の c 端子と b 端子とが接続されると E L 素子 1 5 に電流が流れる。

【 0 0 6 3 】

したがって、駆動用トランジスタ 1 1 a と E L 素子 1 5 間にスイッチング素子 1 1 d を形成しなくとも E L 素子 1 5 に流れる電流を制御することができる。つまり、図 1 4 0 において、切り替え回路 1 4 0 1 を制御することにより、E L 素子 1 5 に流れる電流を制御できる。

【 0 0 6 4 】

以上のように、本発明は、E L 素子 1 5 に電流が流れこむ経路または、E L 素子 1 5 から電流が流れ出す経路に E L 素子 1 5 に流れる電流を制御する回路手段を構成または形成もしくは配置したものである。

【 0 0 6 5 】

なお、E L 素子 1 5 に流れる電流経路を制御する構成は、図 1、図 1 4 0 などの電流プログラム方式の画素構成に限定されるものではない。たとえば、図 1 4 1 の電圧プログラム方式の画素構成においても、E L 素子 1 5 と駆動用トランジスタ 1 1 a 間にトランジスタ 1 1 d を配置することにより E L 素子 1 5 に流れる電流を制御することができる。もちろん、図 1 4 0 に図示するように、切り替え回路 1 4 0 1 を配置してもよい。

【 0 0 6 6 】

また、電流プログラム方式の 1 つであるカレントミラー方式であっても、図 1 4 2 に図示するように、駆動用トランジスタ 1 1 b と E L 素子 1 5 間にスイッチング素子としてのトランジスタ 1 1 g を形成または配置することにより E L 素子 1 5 に流れる電流をオンオフすることができる（制御することができる）。なお、図 1 4 2 のスイッチングトランジスタ 1 1 d、1 1 c は 1 本のゲート信号線 1 7 a に接続されているが、図 1 4 3 に図示するように、トランジスタ 1 1 c はゲート信号線 1 7 a 1 で制御し、トランジスタ 1 1 d はゲート信号線 1 7 a 2 で制御するように構成してもよい。図 1 4 3 の構成の方が、画素 1 6 の制御が容易になる。

【 0 0 6 7 】

トランジスタ 1 1 a の特性のバラツキはトランジスタサイズに相関がある。特性バラツキを小さくするため、第 1 のトランジスタ 1 1 a のチャンネル長が $5 \mu\text{m}$ 以上 $100 \mu\text{m}$ 以下とすることが好ましい。さらに好ましくは、第 1 のトラン

ジスタ 1 1 a のチャンネル長が $10\ \mu\text{m}$ 以上 $50\ \mu\text{m}$ 以下とすることが好ましい。これは、チャンネル長 L を長くした場合、チャンネルに含まれる粒界が増えることによって電界が緩和されキンク効果が低く抑えられるためであると考えられる。

【 0 0 6 8 】

また、画素を構成するトランジスタ 1 1 が、レーザー再結晶化方法（レーザーアニール）により形成されたポリシリコントランジスタで形成され、すべてのトランジスタにおけるチャンネルの方向がレーザーの照射方向に対して同一の方向であることが好ましい。また、レーザーは同一箇所を 2 回以上スキャンして半導体膜を形成することが好ましい。

【 0 0 6 9 】

本特許の発明の目的は、トランジスタ特性のばらつきが表示に影響を与えない回路構成を提案するものであり、そのために 4 トランジスタ以上が必要である。これらのトランジスタ特性により、回路定数を決定する場合、4 つのトランジスタの特性がそろわなければ、適切な回路定数を求めることが困難である。レーザー照射の長軸方向に対して、チャンネル方向が水平の場合と垂直の場合では、トランジスタ特性の閾値と移動度が異なって形成される。なお、どちらの場合もばらつきの程度は同じである。水平方向と、垂直方向では移動度、閾値の値の平均値が異なる。したがって、画素を構成するすべてのトランジスタのチャンネル方向は同一であるほうが望ましい。

【 0 0 7 0 】

また、蓄積容量 1 9 の容量値を C_s 、第 2 のトランジスタ 1 1 b のオフ電流値を I_{off} とした場合、次式を満足させることが好ましい。

【 0 0 7 1 】

$$3 < C_s / I_{off} < 24$$

さらに好ましくは、次式を満足させることが好ましい。

【 0 0 7 2 】

$$6 < C_s / I_{off} < 18$$

トランジスタ 1 1 b のオフ電流を $5\ \text{pA}$ 以下とすることにより、 E_L を流れる

電流値の変化を2%以下に抑えることが可能である。これはリーク電流が増加すると、電圧非書き込み状態においてゲートソース間（コンデンサの両端）に貯えられた電荷を1フィールド間保持できないためである。したがって、コンデンサ19の蓄積用容量が大きければオフ電流の許容量も大きくなる。前記式を満たすことによって隣接画素間の電流値の変動を2%以下に抑えることができる。

【0073】

また、アクティブマトリックスを構成するトランジスタがp-chポリシリコン薄膜トランジスタに構成され、トランジスタ11bがデュアルゲート以上であるマルチゲート構造とすることが好ましい。トランジスタ11bは、トランジスタ11aのソースドレイン間のスイッチとして作用するため、できるだけON/OFF比の高い特性が要求される。トランジスタ11bのゲートの構造をデュアルゲート構造以上のマルチゲート構造とすることによりON/OFF比の高い特性を実現できる。

【0074】

画素16のトランジスタ11を構成する半導体膜は、低温ポリシリコン技術において、レーザーアニールにより形成するのが一般的である。このレーザーアニールの条件のバラツキがトランジスタ11特性のバラツキとなる。しかし、1画素16内のトランジスタ11の特性が一致していれば、図1などの電流プログラムを行う方式では、所定の電流がEL素子15に流れるように駆動することができる。この点は、電圧プログラムにない利点である。レーザーとしてはエキシマレーザーを用いることが好ましい。

【0075】

なお、本発明において、半導体膜の形成は、レーザーアニール方法に限定するものではなく、熱アニール方法、固相（CGS）成長による方法でもよい。その他、低温ポリシリコン技術に限定するものではなく、高温ポリシリコン技術を用いても良いことはいうまでもない。

【0076】

この課題に対して、本発明では図7に示すように、アニールの時のレーザー照射スポット（レーザー照射範囲）72をソース信号線に平行に照射する。また、

1画素列に一致するようにレーザー照射スポット72を移動させる。もちろん、1画素列に限定するものではなく、たとえば、図72のRGBを1画素16という単位でレーザーを照射してもよい（この場合は、3画素列ということになる）。また、複数の画素に同時に照射してもよい。また、レーザーの照射範囲の移動がオーバーラップしてもよいことは言うまでもない（通常、移動するレーザー光の照射範囲はオーバーラップするのが普通である）。

【0077】

画素はRGBの3画素で正方形の形状となるように作製されている。したがって、R、G、Bの各画素は縦長の画素形状となる。したがって、レーザー照射スポット72を縦長にしてアニールすることにより、1画素内ではトランジスタ11の特性バラツキが発生しないようにすることができる。また、1つのソース信号線18に接続されたトランジスタ11の特性（モビリティ、 V_t 、S値など）を均一にすることができる（つまり、隣接したソース信号線18のトランジスタ11とは特性が異なる場合があるが、1つのソース信号線に接続されたトランジスタ11の特性はほぼ等しくすることができる）。

【0078】

一般的にレーザー照射スポット72の長さは10インチというように固定値である。このレーザー照射スポット72を移動させるのであるから、1つのレーザー照射スポット72を移動できる範囲内におさまるようにパネルを配置する必要がある（つまり、パネルの表示領域50の中央部でレーザー照射スポット72が重ならないようにする）。

【0079】

図7の構成では、レーザー照射スポット72の長さの範囲内に3つのパネルが縦に配置されるように形成されている。レーザー照射スポット72を照射するアニール装置はガラス基板74の位置決めマーカー73a、73bを認識（パターン認識による自動位置決め）してレーザー照射スポット72を移動させる。位置決めマーカー73の認識はパターン認識装置で行う。アニール装置（図示せず）は位置決めマーカー73を認識し、画素列の位置をわりだす（レーザー照射範囲72がソース信号線18と平行になるようにする）。画素列位置に重なるように

レーザー照射スポット 72 を照射してアニールを順次行う。

【 0 0 8 0 】

図 7 で説明したレーザーアニール方法（ソース信号線 18 に平行にライン状のレーザー照射スポットを照射する方式）は、有機 EL 表示パネルの電流プログラム方式の時に特に採用することが好ましい。なぜならば、ソース信号線に平行方向にトランジスタ 11 の特性が一致しているためである（縦方向に隣接した画素トランジスタの特性が近似している）。そのため、電流駆動時にソース信号線の電圧レベルの変化が少なく、電流書き込み不足が発生しにくい。

【 0 0 8 1 】

たとえば、白ラスタ表示であれば、隣接した各画素のトランジスタ 11 a に流す電流はほぼ同一のため、ソースドライバ IC 14 から出力する電流振幅の変化が少ない。もし、図 1 のトランジスタ 11 a の特性が同一であり、各画素に電流プログラムする電流値が画素列で等しいのであれば、電流プログラム時のソース信号線 18 の電位は一定である。したがって、ソース信号線 18 の電位変動は発生しない。1 つのソース信号線 18 に接続されたトランジスタ 11 a の特性がほぼ同一であれば、ソース信号線 18 の電位変動は小さいことになる。このことは、図 38 などの他の電流プログラム方式の画素構成でも同一である（つまり、図 7 の製造方法を適用することが好ましい）。

【 0 0 8 2 】

また、図 27、図 30 などでも説明する複数の画素行を同時書き込みする方式で均一な画像表示（主としてトランジスタ特性のばらつきに起因する表示ムラが発生しにくいからである）を実現できる。図 27 などは複数画素行同時に選択するから、隣接した画素行のトランジスタが均一であれば、縦方向のトランジスタ特性ムラはドライバ回路 14 で吸収できる。

【 0 0 8 3 】

なお、図 7 では、ソースドライバ回路 14 は、IC チップを積載するように図示しているが、これに限定するものではなく、ソースドライバ回路 14 を画素 16 と同一プロセスで形成してもよいことは言うまでもない。

【 0 0 8 4 】

本発明では特に、駆動用トランジスタ 1 1 b の閾電圧 V_{th2} が画素内で対応する駆動用トランジスタ 1 1 a の閾電圧 V_{th1} より低くならない様に設定している。例えば、トランジスタ 1 1 b のゲート長 L_2 をトランジスタ 1 1 a のゲート長 L_1 よりも長くして、これらの薄膜トランジスタのプロセスパラメータが変動しても、 V_{th2} が V_{th1} よりも低くならない様にする。これにより、微少な電流リークを抑制することが可能である。

【 0 0 8 5 】

なお、以上の事項は、図 3 8 に図示するカレントミラーの画素構成にも適用できる。図 3 8 では、信号電流が流れる駆動用トランジスタ 1 1 a、EL 素子 1 5 等からなる発光素子に流れる駆動電流を制御する駆動用トランジスタ 1 1 b の他、ゲート信号線 1 7 a 1 の制御によって画素回路とデータ線 $data$ とを接続もしくは遮断する取込用トランジスタ 1 1 c、ゲート信号線 1 7 a 2 の制御によって書き込み期間中にトランジスタ 1 1 a のゲート・ドレインを短絡するスイッチ用トランジスタ 1 1 d、トランジスタ 1 1 a のゲート・ソース間電圧を書き込み終了後も保持するための容量 C_{19} および発光素子としての EL 素子 1 5 などから構成される。

【 0 0 8 6 】

図 3 8 でトランジスタ 1 1 c、1 1 d は N チャンネルトランジスタ、その他のトランジスタは P チャンネルトランジスタで構成しているが、これは一例であって、必ずしもこの通りである必要はない。容量 C_s は、その一方の端子をトランジスタ 1 1 a のゲートに接続され、他方の端子は V_{dd} (電源電位) に接続されているが、 V_{dd} に限らず任意の一定電位でも良い。EL 素子 1 5 のカソード (陰極) は接地電位に接続されている。

【 0 0 8 7 】

次に、本発明の EL 表示パネルあるいは EL 表示装置について説明をする。図 6 は EL 表示装置の回路を中心とした説明図である。画素 1 6 がマトリックス状に配置または形成されている。各画素 1 6 には各画素の電流プログラムを行う電流を出力するソースドライバ回路 1 4 が接続されている。ソースドライバ回路 1 4 の出力段は映像信号のビット数に対応したカレントミラー回路が形成されてい

る（後に説明する）。たとえば、64階調であれば、63個のカレントミラー回路が各ソース信号線に形成され、これらのカレントミラー回路の個数を選択することにより所望の電流をソース信号線18に印加できるように構成されている。

【0088】

なお、1つのカレントミラー回路の最小出力電流は10nA以上50nAにしている。特にカレントミラー回路の最小出力電流は15nA以上35nAにすることがよい。ドライバIC14内のカレントミラー回路を構成するトランジスタの精度を確保するためである。

【0089】

また、ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路を内蔵する。ソース信号線18の電荷を強制的に放出または充電するプリチャージあるいはディスチャージ回路の電圧（電流）出力値は、R、G、Bで独立に設定できるように構成することが好ましい。EL素子15の閾値がRGBでことなるからである。

【0090】

有機EL素子は大きな温度依存性特性（温特）があることが知られている。この温特による発光輝度変化を調整するため、カレントミラー回路に出力電流を変化させるサーミスタあるいはポジスタなどの非直線素子を付加し、温特による変化を前記サーミスタなどで調整することによりアナログ的に基準電流を作成する。

【0091】

本発明において、ソースドライバ14は半導体シリコンチップで形成し、チップオンガラス（COG）技術で基板71のソース信号線18の端子と接続されている。ソース信号線18などの信号線の配線はクロム、銅、アルミニウム、銀などの金属配線が用いられる。細い配線幅で低抵抗の配線が得られるからである。配線は画素が反射型の場合は画素の反射膜を構成する材料で、反射膜と同時に形成することが好ましい。工程が簡略できるからである。

【0092】

ソースドライバ14の実装は、COG技術に限定するものではなく、チップオ

ンフィルム（COF）技術に前述のソースドライバIC14などを積載し、表示パネルの信号線と接続した構成としてもよい。また、ドライバICは電源IC82を別途作製し、3チップ構成としてもよい。

【0093】

一方、ゲートドライバ回路12は低温ポリシリコン技術で形成している。つまり、画素のトランジスタと同一のプロセスで形成している。これは、ソースドライバ回路14に比較して内部の構造が容易で、動作周波数も低いためである。したがって、低温ポリシリコン技術で形成しても容易に形成することができ、また、狭額縁化を実現できる。もちろん、ゲートドライバ12をシリコンチップで形成し、COG技術などを用いて基板71上に実装してもよいことは言うまでもない。また、画素トランジスタなどのスイッチング素子、ゲートドライバなどは高温ポリシリコン技術で形成してもよく、有機材料で形成（有機トランジスタ）してもよい。

【0094】

ゲートドライバ12はゲート信号線17a用のシフトレジスタ回路61aと、ゲート信号線17b用のシフトレジスタ回路61bとを内蔵する。各シフトレジスタ回路61は正相と負相のクロック信号（CLKxP、CLKxN）、スタートパルス（STx）で制御される。その他、ゲート信号線の出力、非出力を制御するイネーブル（ENABLE）信号、シフト方向を上下逆転するアップダウン（UPDWM）信号を付加することが好ましい。他に、スタートパルスがシフトレジスタにシフトされ、そして出力されていることを確認する出力端子などを設けることが好ましい。なお、シフトレジスタのシフトタイミングはコントロールIC81からの制御信号で制御される。また、外部データのレベルシフトを行うレベルシフト回路を内蔵する。また、検査回路を内蔵する。

【0095】

シフトレジスタ回路61のバッファ容量は小さいため、直接にはゲート信号線17を駆動することができない。そのため、シフトレジスタ回路61の出力とゲート信号線17を駆動する出力ゲート63間には少なくとも2つ以上のインバータ回路62が形成されている。

【 0 0 9 6 】

ソースドライバ 1 4 を低温ポリシリコンなどのポリシリコン技術で基板 7 1 上に直接形成する場合も同様であり、ソース信号線 1 8 を駆動するトランスファージェートなどのアナログスイッチのゲートとソースドライバ回路 1 4 のシフトレジスタ間には複数のインバータ回路が形成される。以下の事項（シフトレジスタの出力と、信号線を駆動する出力段（出力ゲートあるいはトランスファージェートなどの出力段間に配置されるインバータ回路に関する事項）は、ソースドライブおよびゲートドライブ回路に共通の事項である。

【 0 0 9 7 】

たとえば、図 6 ではソースドライバ 1 4 の出力が直接ソース信号線 1 8 に接続されているように図示したが、実際には、ソースドライバのシフトレジスタの出力は多段のインバータ回路が接続されて、インバータの出力がトランスファージェートなどのアナログスイッチのゲートに接続されている。

【 0 0 9 8 】

インバータ回路 6 2 は P チャンネルの MOS トランジスタと N チャンネルの MOS トランジスタから構成される。先にも説明したようにゲートドライブ回路 1 2 のシフトレジスタ回路 6 1 の出力端にはインバータ回路 6 2 が多段に接続されており、その最終出力が出力バッファ回路 6 3 に接続されている。なお、インバータ回路 6 2 は P チャンネルのみで構成してもよい。ただし、この場合は、インバータではなく単なるゲート回路として構成してもよい。

【 0 0 9 9 】

図 8 は本発明の表示装置の信号、電圧の供給の構成図あるいは表示装置の構成図である。コントロール IC 8 1 からソースドライバ回路 1 4 a に供給する信号（電源配線、データ配線など）はフレキシブル基板 8 4 を介して供給する。

【 0 1 0 0 】

図 8 ではゲートドライバ 1 2 の制御信号はコントロール IC で発生させ、ソースドライバ 1 4 で、レベルシフトを行った後、ゲートドライバ 1 2 に印加している。ソースドライバ 1 4 の駆動電圧は 4 ～ 8 (V) であるから、コントロール IC 8 1 から出力された 3. 3 (V) 振幅の制御信号を、ゲートドライバ 1 2 が受

け取れる 5 (V) 振幅に変換することができる。

【0101】

ソースドライバ 14 内には画像メモリを持たせることが好ましい。画像メモリの画像データは誤差拡散処理あるいはディザ処理を行った後のデータをメモリしてもよい。誤差拡散処理、ディザ処理などを行うことにより、26 万色表示データを 4096 色などに変換することができ、画像メモリの容量を小さくすることができる。誤差拡散処理などは誤差拡散コントローラ 81 で行うことができる。また、ディザ処理を行った後、さらに誤差拡散処理を行ってもよい。以上の事項は、逆誤差拡散処理にも適用される。

【0102】

なお、図 8 などにおいて 14 をソースドライバと記載したが、単なるドライバだけでなく、電源回路、バッファ回路（シフトレジスタなどの回路を含む）、データ変換回路、ラッチ回路、コマンドデコーダ、シフト回路、アドレス変換回路、画像メモリなどを内蔵させてもよい。なお、図 8 などで説明する構成にあっても、図 9 などで説明する 3 辺フリー構成あるいは構成、駆動方式などを適用できることはいうまでもない。

【0103】

表示パネルを携帯電話などの情報表示装置に使用する場合、ソースドライバ IC (回路) 14、ゲートドライバ IC (回路) 12 を図 9 に示すように、表示パネルの一辺に実装（形成）することが好ましい（なお、このように一辺にドライバ IC (回路) を実装（形成）する形態を 3 辺フリー構成（構造）と呼ぶ。従来は、表示領域の X 辺にゲートドライバ IC 12 が実装され、Y 辺にソースドライバ IC 14 が実装されていた）。画面 50 の中心線が表示装置の中心になるように設計し易く、また、ドライバ IC の実装も容易となるからである。なお、ゲートドライバ回路を高温ポリシリコンあるいは低温ポリシリコン技術などで 3 辺フリーの構成で作製してもよい（つまり、図 9 のソースドライバ回路 14 とゲートドライバ回路 12 のうち、少なくとも一方をポリシリコン技術で基板 71 に直接形成する）。

【0104】

なお、3辺フリー構成とは、基板71に直接ICを積載あるいは形成した構成だけでなく、ソースドライバIC（回路）14、ゲートドライバIC（回路）12などを取り付けたフィルム（TCP、TAB技術など）を基板71の一边（もしくはほぼ一边）にはりつけた構成も含む。つまり、2辺にICが実装あるいは取り付けられていない構成、配置あるいはそれに類似するすべてを意味する。

【0105】

図9のようにゲートドライバ回路12をソースドライバ回路14の横に配置すると、ゲート信号線17は辺Cにそって形成する必要がある。

【0106】

なお、図9などにおいて太い実線で図示した箇所はゲート信号線17が並列して形成した箇所を示している。したがって、bの部分（画面下部）は走査信号線の本数分のゲート信号線17が並列して形成され、aの部分（画面上部）はゲート信号線17が1本形成されている。

【0107】

C辺に形成するゲート信号線17のピッチは $5\mu\text{m}$ 以上 $12\mu\text{m}$ 以下にする。 $5\mu\text{m}$ 未満では隣接ゲート信号線に寄生容量の影響によりノイズが乗ってしまう。実験によれば $7\mu\text{m}$ 以下で寄生容量の影響が顕著に発生する。さらに $5\mu\text{m}$ 未満では表示画面にビート状などの画像ノイズが激しく発生する。特にノイズの発生は画面の左右で異なり、このビート状などの画像ノイズを低減することは困難である。また、低減 $12\mu\text{m}$ を越えると表示パネルの額縁幅が大きくなりすぎ実用的でない。

【0108】

前述の画像ノイズを低減するためには、ゲート信号線17を形成した部分の下層あるいは上層に、グラントパターン（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン）を配置することにより低減できる。また、別途設けたシールド板（シールド箔（一定電圧に電圧固定あるいは全体として安定した電位に設定されている導電パターン））をゲート信号線17上に配置すればよい。

【0109】

図9のC辺のゲート信号線17はITO電極で形成してもよいが、低抵抗化するため、ITOと金属薄膜とを積層して形成することが好ましい。また、金属膜で形成することが好ましい。ITOと積層する場合は、ITO上にチタン膜を形成し、その上にアルミニウムあるいはアルミニウムとモリブデンの合金薄膜を形成する。もしくはITO上にクロム膜を形成する。金属膜の場合は、アルミニウム薄膜、クロム薄膜で形成する。以上の事項は本発明の他の実施例でも同様である。

【0110】

なお、図9などにおいて、ゲート信号線17などは表示領域の片側に配置するとしたがこれに限定するものではなく、両方に配置してもよい。たとえば、ゲート信号線17aを表示領域50の右側に配置（形成）し、ゲート信号線17bを表示領域50の左側に配置（形成）してもよい。以上の事項は他の実施例でも同様である。

【0111】

また、ソースドライバIC14とゲートドライバIC12とを1チップ化してもよい。1チップ化すれば、表示パネルへのICチップの実装が1個で済む。したがって、実装コストも低減できる。また、1チップドライバIC内で使用する各種電圧も同時に発生することができる。

【0112】

なお、ソースドライバIC14、ゲートドライバIC12はシリコンなどの半導体ウエハで作製し、表示パネルに実装するとしたがこれに限定するものではなく、低温ポリシリコン技術、高温ポリシリコン技術により表示パネル82に直接形成してもよいことは言うまでもない。

【0113】

図1などで図示した構成ではEL素子15のトランジスタ11aを介してV_dd電位に接続されている。しかし、各色を構成する有機ELの駆動電圧が異なるという問題がある。たとえば、単位平方センチメートルあたり0.01(A)の電流を流した場合、青(B)ではEL素子の端子電圧は5(V)であるが、緑(G)および赤(R)では9(V)である。つまり、端子電圧がBとG、Rで異なる。

る。したがって、BとG、Rでは保持するトランジスタ11aのソースドレイン電圧（SD電圧）が異なる。そのため、各色でトランジスタのソースドレイン電圧（SD電圧）間オフリーク電流が異なることになる。オフリーク電流が発生し、かつオフリーク特性が各色で異なると、色バランスのずれた状態でフリックが発生する、発光色に相関してガンマ特性がずれるという複雑な表示状態となる。

【0114】

この課題に対応するため、少なくともR、G、B色のうち、1つのカソード電極の電位を他色のカソード電極の電位と異ならせるように構成している。もしくはR、G、B色のうち、1つのV_{d d}の電位を他色のV_{d d}の電位と異ならせるように構成している。

【0115】

R、G、BのEL素子15の端子電圧は極力一致させることが好ましいことは言うまでもない。少なくとも、白ピーク輝度を表示しており、色温度が7000K以上12000K以下の範囲で、R、G、BのEL素子の端子電圧は10（V）以下となるように材料あるいは構造選定をする必要がある。また、R、G、Bののうち、EL素子の最大の端子電圧と最小の端子電圧との差は、2.5（V）以内にする必要がある。さらに好ましくは1.5（V）以下にする必要がある。なお、以上の実施例では、色はRGBとしたがこれに限定するものではない。このことは後に説明する。

【0116】

なお、画素は、R、G、Bの3原色としたがこれに限定するものではなく、シアン、イエロー、マゼンダの3色でもよい。また、Bとイエローの2色でもよい。もちろん、単色でもよい。また、R、G、B、シアン、イエロー、マゼンダの6色でもよい。R、G、B、シアン、マゼンダの5色でもよい。これらはナチュラルカラーとして色再現範囲が拡大し良好な表示を実現できる。その他、R、G、B、白の4色でもよい。R、G、B、シアン、イエロー、マゼンダ、黒、白の7色でもよい。また、白色発光の画素を表示領域50全体に形成（作製）し、RGBなどのカラーフィルターで3原色表示としてもよい。この場合は、EL層に

各色の発光材料を積層して形成すればよい。また、1画素をBとイエローのように塗り分けても良い。以上のように本発明のEL表示装置は、RGBの3原色でカラー表示を行うものに限定されるものではない。

【0117】

有機EL表示パネルのカラー化には主に三つの方式があり、色変換方式はこのうちの一つである。発光層として青色のみの単層を形成すればよく、フルカラー化に必要な残りの緑色と赤色は、青色光から色変換によって作り出す。したがって、RGBの各層を塗り分ける必要がない、RGBの各色の有機EL材料をそろえる必要がないという利点がある。色変換方式は、塗り分け方式のようは歩留まり低下がない。本発明のEL表示パネルなどはこのいずれの方式でも適用される。

【0118】

また、3原色の他に、白色発光の画素を形成してもよい。白色発光の画素はR、G、B発光の構造を積層することにより作製（形成または構成）することにより実現できる。1組の画素は、RGBの3原色と、白色発光の画素16Wからなる。白色発光の画素を形成することにより、白色のピーク輝度が表現しやすくなる。したがって、輝き感のある画像表示実現できる。

【0119】

RGBなどの3原色を1組の画素をする場合であっても、各色の画素電極の面積は異ならせることが好ましい。もちろん、各色の発光効率がバランスよく、色純度もバランスがよければ、同一面積でもかまわない。しかし、1つまたは複数の色のバランスが悪ければ、画素電極（発光面積）を調整することが好ましい。各色の電極面積は電流密度を基準に決定すればよい。つまり、色温度が7000K（ケルビン）以上12000K以下の範囲で、ホワイトバランスを調整した時、各色の電流密度の差が±30%以内となるようにする。さらに好ましくは±15%以内となるようにする。たとえば、電流密度が100A/平方メートルとすれば、3原色がいずれも70A/平方メートル以上130A/平方メートル以下となるようにする。さらに好ましくは、3原色がいずれも85A/平方メートル以上115A/平方メートル以下となるようにする。

【 0 1 2 0 】

有機 E L 1 5 は自己発光素子である。この発光による光がスイッチング素子としてのトランジスタに入射するとホトコンダクタ現象（ホトコン）が発生する。ホトコンとは、光励起によりトランジスタなどのスイッチング素子のオフ時でのリーク（オフリーク）が増える現象を言う。

【 0 1 2 1 】

この課題に対処するため、本発明ではゲートドライバ 1 2（場合によってはソースドライバ 1 4）の下層、画素トランジスタ 1 1 の下層の遮光膜を形成している。遮光膜はクロムなどの金属薄膜で形成し、その膜厚は 5 0 n m 以上 1 5 0 n m 以下にする。膜厚が薄いと遮光効果が乏しく、厚いと凹凸が発生して上層のトランジスタ 1 1 A 1 のパターニングが困難になる。

【 0 1 2 2 】

遮光膜上に 2 0 以上 1 0 0 n m 以下の無機材料からなる平滑化膜を形成する。この遮光膜のレイヤーを用いて蓄積容量 1 9 の一方の電極を形成してもよい。この場合、平滑膜は極力薄く作り蓄積容量の容量値を大きくすることが好ましい。また遮光膜をアルミで形成し、陽極酸化技術を用いて酸化シリコン膜を遮光膜の表面に形成し、この酸化シリコン膜を蓄積容量 1 9 の誘電体膜として用いてもよい。平滑化膜上にはハイアパーチャ（H A）構造の画素電極が形成される。

【 0 1 2 3 】

ドライバ回路 1 2 などは裏面だけでなく、表面からの光の進入も抑制するべきである。ホトコンの影響により誤動作するからである。したがって、本発明では、カソード電極が金属膜の場合は、ドライバ 1 2 などの表面にもカソード電極を形成し、この電極を遮光膜として用いている。

【 0 1 2 4 】

しかし、ドライバ 1 2 の上にカソード電極を形成すると、このカソード電極からの電界によるドライバの誤動作あるいはカソード電極とドライバ回路の電氣的接触が発生する可能性がある。この課題に対処するため、本発明ではドライバ回路 1 2 などの上に少なくとも 1 層、好ましくは複数層の有機 E L 膜を画素電極上の有機 E L 膜形成と同時に形成する。

【0125】

基本的に有機EL膜は絶縁物であるから、ドライバ上に有機EL膜を形成することにより、カソードとドライバ間が隔離される。したがって、前述の課題を解消することができる。

【0126】

画素の1つ以上のトランジスタ11の端子間あるいはトランジスタ11と信号線とが短絡すると、EL素子15が常時、点灯する輝点となる場合がある。この輝点は視覚的にめだつので黒点化（非点灯）する必要がある。輝点に対しては、該当画素16を検出し、コンデンサ19にレーザー光を照射してコンデンサの端子間を短絡させる。したがって、コンデンサ19には電荷を保持できなくなるので、トランジスタ11aは電流を流さなくすることができる。

【0127】

なお、レーザー光を照射する位置にあたる。カソード膜を除去しておくことが望ましい。レーザー照射により、コンデンサ19の端子電極とカソード膜とがショートすることを防止するためである。

【0128】

画素16のトランジスタ11の欠陥は、ドライバIC14などにも影響を与える。例えば、図56では駆動用トランジスタ11aにソースドレイン（SD）ショート562が発生していると、パネルのV_{dd}電圧がソースドライバIC14に印加される。したがって、ソースドライバIC14の電源電圧は、パネルの電源電圧V_{dd}と同一かもしくは高くしておくことが好ましい。なお、ソースドライバICで使用する基準電流は電子ボリウム561で調整できるように構成しておくことが好ましい。

【0129】

トランジスタ11aにSDショート562が発生していると、EL素子15に過大な電流が流れる。つまり、EL素子15が常時点灯状態（輝点）となる。輝点は欠陥として目立ちやすい。たとえば、図56において、トランジスタ11aのソースドレイン（SD）ショートが発生していると、トランジスタ11aのゲート（G）端子電位の大小に関わらず、V_{dd}電圧からEL素子15に電流が

常時流れる（トランジスタ 1 1 d がオンの時）。したがって、輝点となる。

【 0 1 3 0 】

一方、トランジスタ 1 1 a に S D ショートが発生していると、トランジスタ 1 1 c がオン状態の時、V d d 電圧がソース信号線 1 8 に印加されソースドライバ 1 4 に V d d 電圧が印加される。もし、ソースドライバ 1 4 の電源電圧が V d d 以下であれば、耐圧を越えて、ソースドライバ 1 4 が破壊される恐れがある。そのため、ソースドライバ 1 4 の電源電圧は V d d 電圧（パネルの高い方の電圧）以上にすることが好ましい。

【 0 1 3 1 】

トランジスタ 1 1 a の S D ショートなどは、点欠陥にとどまらず、パネルのソースドライバ回路を破壊につながる恐れがあり、また、輝点は目立つためパネルとしては不良となる。したがって、トランジスタ 1 1 a と E L 素子 1 5 間を接続する配線を切断し、輝点を黒点欠陥にする必要がある。この切断には、レーザー光などの光学手段を用いて切断することがよい。

【 0 1 3 2 】

なお、以上の実施例は配線を切断させるとしたが、黒表示するためにはこれに限定されるものではない。たとえば、図 1 でもわかるように、トランジスタ 1 1 a の電源 V d d が、トランジスタ 1 1 a のゲート（G）端子に常時印加されるように修正してもよい。たとえば、コンデンサ 1 9 の 2 つの電極間をショートさせれば、V d d 電圧がトランジスタ 1 1 a のゲート（G）端子に印加されるようになる。したがって、トランジスタ 1 1 a は完全にオフ状態になり、E L 素子 1 5 に電流を流さなくすることができる。これば、コンデンサ 1 9 にレーザー光を照射することによりコンデンサ電極をショートできるから、容易に実現できる。

【 0 1 3 3 】

また、実際には、画素電極の下層に V d d 配線が配置されているから、V d d 配線と画素電極とにレーザー光を照射することにより、画素の表示状態を制御（修正）することができる。

【 0 1 3 4 】

その他、トランジスタ 1 1 a の S D 間（チャンネル）をオープンにすることで

も実現できる。簡単にはトランジスタ 1 1 a にレーザー光を照射し、トランジスタ 1 1 a のチャンネルをオープンにする。同様に、トランジスタ 1 1 d のチャンネルをオープンにしてもよい。もちろん、トランジスタ 1 1 b のチャンネルをオープンしても該当画素 1 6 が選択されないから、黒表示となる。

【 0 1 3 5 】

画素 1 6 を黒表示するためには、E L 素子 1 5 を劣化させてもよい。たとえば、レーザー光を E L 層 1 5 に照射し、E L 層 1 5 を物理的にあるいは化学的に劣化させ、発光しないようにする（常時黒表示）。レーザー光の照射により E L 層 1 5 を加熱し、容易に劣化させることができる。また、エキシマレーザーを用いれば、E L 膜 1 5 の化学的変化を容易に行うことができる。

【 0 1 3 6 】

なお、以上の実施例は、図 1 に図示した画素構成を例示したが、本発明はこれに限定するものではない。レーザー光を用いて配線あるいは電極をオープンあるいはショートさせることは、カレントミラーなどの他の電流駆動の画素構成あるいは図 6 2、図 5 1 など図示する電圧駆動の画素構成であっても適用できることは言うまでもない。

【 0 1 3 7 】

以下、図 1 の画素構成について、その駆動方法について説明をする。図 1 に示すように、ゲート信号線 1 7 a は行選択期間に導通状態（ここでは図 1 のトランジスタ 1 1 が p チャンネルトランジスタであるためローレベルで導通となる）となり、ゲート信号線 1 7 b は非選択期間時に導通状態とする。

【 0 1 3 8 】

ソース信号線 1 8 には寄生容量（図示せず）が存在する。寄生容量は、ソース信号線 1 8 とゲート信号線 1 7 とのクロス部の容量、トランジスタ 1 1 b、1 1 c のチャンネル容量などにより発生する。

【 0 1 3 9 】

ソース信号線 1 8 の電流値変化に要する時間 t は浮遊容量の大きさを C 、ソース信号線の電圧を V 、ソース信号線に流れる電流を I とすると $t = C \cdot V / I$ であるため電流値を 1 0 倍大きくできることは電流値変化に要する時間が 1 0 分の

1 近くまで短くできる。またはソース信号線 1 8 の寄生容量が 1 0 倍になっても所定の電流値に変化できるということを示す。従って、短い水平走査期間内に所定の電流値を書きこむためには電流値を増加させることが有効である。

【 0 1 4 0 】

入力電流を 1 0 倍にすると出力電流も 1 0 倍となり、E L の輝度が 1 0 倍となるため所定の輝度を得るために、図 1 のトランジスタ 1 7 d の導通期間を従来の 1 0 分の 1 とし、発光期間を 1 0 分の 1 とすることで、所定輝度を表示するようにした。

【 0 1 4 1 】

つまり、ソース信号線 1 8 の寄生容量の充放電を十分に行い、所定の電流値を画素 1 6 のトランジスタ 1 1 a にプログラムを行うためには、ソースドライバ 1 4 から比較的大きな電流を出力する必要がある。しかし、このように大きな電流をソース信号線 1 8 に流すとその電流値が画素にプログラムされてしまい、所定の電流に対し大きな電流が E L 素子 1 5 に流れる。たとえば、1 0 倍の電流でプログラムすれば、当然、1 0 倍の電流が E L 素子 1 5 に流れ、E L 素子 1 5 は 1 0 倍の輝度で発光する。所定の発光輝度にするためには、E L 素子 1 5 に流れる時間を $1/10$ にすればよい。このように駆動することにより、ソース信号線 1 8 の寄生容量を十分に充放電できるし、所定の発光輝度を得ることができる。

【 0 1 4 2 】

なお、1 0 倍の電流値を画素のトランジスタ 1 1 a（正確にはコンデンサ 1 9 の端子電圧を設定している）に書き込み、E L 素子 1 5 のオン時間を $1/10$ にするとしたがこれは一例である。場合によっては、1 0 倍の電流値を画素のトランジスタ 1 1 a に書き込み、E L 素子 1 5 のオン時間を $1/5$ にしてもよい。逆に 1 0 倍の電流値を画素のトランジスタ 1 1 a に書き込み、E L 素子 1 5 のオン時間を $1/2$ 倍にする場合もあるであろう。

【 0 1 4 3 】

本発明は、画素への書き込み電流を所定値以外の値にし、E L 素子 1 5 に流れる電流を間欠状態にして駆動することに特徴がある。本明細書では説明を容易にするため、N 倍の電流値を画素のトランジスタ 1 1 に書き込み、E L 素子 1 5 の

オン時間を $1/N$ 倍にするとして説明する。しかし、これに限定するものではなく、 N 1 倍の電流値を画素のトランジスタ 1 1 に書き込み、EL 素子 1 5 のオン時間を $1/(N 2)$ 倍 ($N 1$ と $N 2$ とは異なる) でもよいことは言うまでもない。なお、間欠する間隔は等間隔に限定するものではない。たとえば、ランダムでもよい (全体として、表示期間もしくは非表示期間が所定値 (一定割合) となればよい)。また、RGB で異なってもよい。つまり、白 (ホワイト) バランスが最適になるように、R、G、B 表示期間もしくは非表示期間が所定値 (一定割合) となるように調整 (設定) すればよい。

【0144】

また、説明を容易にするため、 $1/N$ とは、1 F (1 フィールドまたは 1 フレーム) を基準にしてこの 1 F を $1/N$ にするとして説明する。しかし、1 画素行が選択され、電流値がプログラムされる時間 (通常、1 水平走査期間 (1 H)) があるし、また、走査状態によっては誤差も生じる。したがって、以上の説明はあくまでも説明を容易にするための便宜状の問題だけであり、これに限定するものではない。

【0145】

たとえば、 $N = 10$ 倍の電流で画素 1 6 に電流プログラムし、 $1/5$ の期間の間、EL 素子 1 5 を点灯させてもよい。EL 素子 1 5 は、 $10/5 = 2$ 倍の輝度で点灯する。逆に、 $N = 2$ 倍の電流で画素 1 6 に電流プログラムし、 $1/4$ の期間の間、EL 素子 1 5 を点灯させてもよい。EL 素子 1 5 は、 $2/4 = 0.5$ 倍の輝度で点灯する。つまり、本発明は、 $N = 1$ 倍でない電流でプログラムし、かつ、常時点灯 ($1/1$ 、つまり、間欠駆動でない) 状態以外の表示を実施するものである。また、広義には、EL 素子 1 5 に供給する電流を 1 フレーム (あるいは 1 フィールド) の期間において、少なくとも 1 回、オフする駆動方式である。また、所定値よりも大きな電流で画素 1 6 にプログラムし、少なくとも、間欠表示を実施する駆動方式である。

【0146】

有機 (無機) EL 表示装置は、CRT のように電子銃で線表示の集合として画像を表示するディスプレイとは表示方法が基本的に異なる点にも課題がある。つ

まり、E L 表示装置では、1 F (1 フィールドあるいは1 フレーム) の期間の間は、画素に書き込んだ電流 (電圧) を保持する。そのため、動画表示を行うと表示画像の輪郭ぼけが発生するという課題が発生する。

【0 1 4 7】

本発明では、1 F / N の期間の間だけ、E L 素子 1 5 に電流を流し、他の期間 (1 F (N - 1) / N) は電流を流さない。この駆動方式を実施し画面の一点を観測した場合を考える。この表示状態では1 F ごとに画像データ表示、黒表示 (非点灯) が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示 (間欠表示) 状態となる。動画データ表示を、この間欠表示状態でみると画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、C R T に近い動画表示を実現することができる。また、間欠表示を実現するが、回路のメインクロックは従来と変わらない。したがって、回路の消費電力が増加することもない。

【0 1 4 8】

液晶表示パネルの場合は、光変調をする画像データ (電圧) は液晶層に保持される。したがって、黒挿入表示を実施しようとするとき液晶層に印加しているデータを書き換える必要がある。そのため、ソースドライバ I C 1 4 の動作クロックを高くし、画像データと黒表示データとを交互にソース信号線 1 8 に印加する必要がある。したがって、黒挿入 (黒表示などの間欠表示) を実現しようとするとき回路のメインクロックをあげる必要がある。また、時間軸伸張を実施するための画像メモリも必要になる。

【0 1 4 9】

図 1、図 2、図 3 8 などに示す本発明の E L 表示パネルの画素構成では、画像データはコンデンサ 1 9 に保持されている。このコンデンサ 1 9 の端子電圧に対応する電流を E L 素子 1 5 に流す。したがって、画像データは液晶表示パネルのように光変調層に保持されているのではない。

【0 1 5 0】

本発明はスイッチングのトランジスタ 1 1 d、あるいはトランジスタ 1 1 e などをオンオフさせるだけで E L 素子 1 5 に流す電流を制御する。つまり、E L 素

子 1 5 に流れる電流 I_w をオフしても、画像データはそのままコンデンサ 1 9 の保持されている。したがって、次のタイミングでスイッチング素子 1 1 d など オンさせ、E L 素子 1 5 に電流を流せば、その流れる電流は前に流れていた電流値と同一である。本発明では黒挿入（黒表示などの間欠表示）を実現する際においても、回路のメインクロックをあげる必要がない。また、時間軸伸張を実施する必要もないための画像メモリも不要である。また、有機 E L 素子 1 5 は電流を印加してから発光するまでの時間が短く、高速に応答する。そのため、動画表示に適し、さらに間欠表示を実施することにより従来のデータ保持型の表示パネル（液晶表示パネル、E L 表示パネルなど）の問題である動画表示の問題を解決できる。

【 0 1 5 1 】

さらに、大型の表示装置でソース容量が大きくなる場合はソース電流を 1 0 倍以上にしてやればよい。一般にソース電流値を N 倍にした場合、ゲート信号線 1 7 b（トランジスタ 1 1 d）の導通期間を $1 F / N$ とすればよい。これによりテレビ、モニター用の表示装置などにも適用が可能である。

【 0 1 5 2 】

以下、図面を参照しながら、本発明の駆動方法についてさらに詳しく説明をする。ソース信号線 1 8 の寄生容量は、隣接したソース信号線 1 8 間の結合容量、ソースドライバ I C（回路）1 4 のバッファ出力容量、ゲート信号線 1 7 とソース信号線 1 8 とのクロス容量などにより発生する。この寄生容量は通常 1 0 p F 以上となる。電圧駆動の場合は、ドライバ I C 1 4 からは低インピーダンスで電圧がソース信号線 1 8 に印加されるため、寄生容量が多少大きくとも駆動では問題とならない。

【 0 1 5 3 】

しかし、電流駆動では特に黒レベルの画像表示では 2 0 n A 以下の微小電流で画素のコンデンサ 1 9 をプログラムする必要がある。したがって、寄生容量が所定値以上の大きさで発生すると、1 画素行にプログラムする時間（通常、1 H 以内、ただし、2 画素行を同時に書き込む場合もあるので 1 H 以内に限定されるものではない。）内に寄生容量を充放電することができない。1 H 期間で充放電で

きなければ、画素への書き込み不足となり、解像度がでない。

【0154】

図1の画素構成の場合、図3(a)に示すように、電流プログラム時は、プログラム電流 I_w がソース信号線18に流れる。この電流 I_w がトランジスタ11aを流れ、 I_w を流す電流が保持されるように、コンデンサ19に電圧設定（プログラム）される。このとき、トランジスタ11dはオープン状態（オフ状態）である。

【0155】

次に、EL素子15に電流を流す期間は図3(b)のように、トランジスタ11c、11bがオフし、トランジスタ11dが動作する。つまり、ゲート信号線17aにオフ電圧 (V_{gh}) が印加され、トランジスタ11b、11cがオフする。一方、ゲート信号線17bにオン電圧 (V_{gl}) が印加され、トランジスタ11dがオンする。

【0156】

今、電流 I_1 が本来流す電流（所定値）の N 倍であるとする、図3(b)のEL素子15に流れる電流も I_w となる。したがって、所定値の10倍の輝度でEL素子15は発光する。つまり、図12に図示するように、倍率 N を高くするほど、表示パネルの表示輝度 B も高くなる。したがって、倍率と輝度とは比例関係となる。逆に、 $1/N$ と駆動することにより、輝度と倍率とは反比例の関係となる。

【0157】

そこで、トランジスタ11dを本来オンする時間（約1F）の $1/N$ の期間だけオンさせ、他の期間 $(N-1)/N$ 期間はオフさせれば、1F全体の平均輝度は所定の輝度となる。この表示状態は、CRTが電子銃で画面を走査しているのと近似する。異なる点は、画像を表示している範囲が画面全体の $1/N$ （全画面を1とする）が点灯している点である（CRTでは、点灯している範囲は1画素行（厳密には1画素である））。

【0158】

本発明では、この $1F/N$ の画像表示領域53が図13(b)に示すように画

面50の上から下に移動する。本発明では、 $1F/N$ の期間の間だけ、EL素子15に電流が流れ、他の期間($1F \cdot (N-1)/N$)は電流を流れない。したがって、各画素は間欠表示となる。しかし、人間の目には残像により画像が保持された状態となるので、全画面が均一に表示されているように見える。

【0159】

なお、図13に図示するように、書き込み画素行51aは非点灯表示52aとする。しかし、これは、図1、図2などの画素構成の場合である。図38などで図示するカレントミラーの画素構成では、書き込み画素行51aは点灯状態としてもよい。しかし、本明細書では、説明を容易にするため、主として、図1の画素構成を例示して説明をする。また、図13、図16などの所定駆動電流 I_w よりも大きい電流でプログラムし、間欠駆動する駆動方法をN倍パルス駆動と呼ぶ。

【0160】

この表示状態では1Fごとに画像データ表示、黒表示（非点灯）が繰り返し表示される。つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。液晶表示パネル（本発明以外のEL表示パネル）では、1Fの期間、画素にデータが保持されているため、動画表示の場合は画像データが変化してもその変化に追従することができず、動画ボケとなっていた（画像の輪郭ボケ）。しかし、本発明では画像を間欠表示するため、画像の輪郭ぼけがなくなり良好な表示状態を実現できる。つまり、CRTに近い動画表示を実現することができる。

【0161】

このタイミングチャートを図14に図示する。なお、本発明などにおいて、特に断りがない時の画素構成は図1であるとする。図14でわかるように、各選択された画素行（選択期間は、1Hとしている）において、ゲート信号線17aにオン電圧(V_{g1})が印加されている時（図14(a)を参照）には、ゲート信号線17bにはオフ電圧(V_{gh})が印加されている（図14(b)を参照）。また、この期間は、EL素子15には電流が流れていない（非点灯状態）。選択されていない画素行において、ゲート信号線17aにオフ電圧(V_{gh})が印加

され、ゲート信号線 1 7 b にはオン電圧 (V_{g1}) が印加されている。また、この期間は、EL 素子 1 5 に電流が流れている (点灯状態)。また、点灯状態では、EL 素子 1 5 は所定の N 倍の輝度 ($N \cdot B$) で点灯し、その点灯期間は $1 F / N$ である。したがって、 $1 F$ を平均した表示パネルの表示輝度は、 $(N \cdot B) \times (1 / N) = B$ (所定輝度) となる。

【 0 1 6 2 】

図 1 5 は、図 1 4 の動作を各画素行に適用した実施例である。ゲート信号線 1 7 に印加する電圧波形を示している。電圧波形はオフ電圧を V_{gh} (H レベル) とし、オン電圧を V_{g1} (L レベル) としている。(1) (2) などの添え字は選択している画素行番号を示している。

【 0 1 6 3 】

図 1 5 において、ゲート信号線 1 7 a (1) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。) である。したがって、コンデンサ 1 9 には 10 倍の電流がトランジスタ 1 1 a に流れるようにプログラムされる。画素行 (1) が選択されている時は、図 1 の画素構成ではゲート信号線 1 7 b (1) はオフ電圧 (V_{gh}) が印加され、EL 素子 1 5 には電流が流れない。

【 0 1 6 4 】

$1 H$ 後には、ゲート信号線 1 7 a (2) が選択され (V_{g1} 電圧)、選択された画素行のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このプログラム電流は所定値の N 倍 (説明を容易にするため、 $N = 10$ として説明する) である。したがって、コンデンサ 1 9 には 10 倍の電流がトランジスタ 1 1 a に流れるようにプログラムされる。画素行 (2) が選択されている時は、図 1 の画素構成ではゲート信号線 1 7 b (2) はオフ電圧 (V_{gh}) が印加され、EL 素子 1 5 には電流が流れない。しかし、先の画素行 (1) のゲート信号線 1 7 a (1) にはオフ電圧 (V_{gh}) が印加さ

れ、ゲート信号線 17b (1) にはオン電圧 (V_{g1}) が印加されるため、点灯状態となっている。

【0165】

次の 1H 後には、ゲート信号線 17a (3) が選択され、ゲート信号線 17b (3) はオフ電圧 (V_{gh}) が印加され、画素行 (3) の EL 素子 15 には電流が流れない。しかし、先の画素行 (1) (2) のゲート信号線 17a (1) (2) にはオフ電圧 (V_{gh}) が印加され、ゲート信号線 17b (1) (2) にはオン電圧 (V_{g1}) が印加されるため、点灯状態となっている。

【0166】

以上の動作を 1H の同期信号に同期して画像を表示していく。しかし、図 15 の駆動方式では、EL 素子 15 には 10 倍の電流が流れる。したがって、表示画面 50 は約 10 倍の輝度で表示される。もちろん、この状態で所定の輝度表示を行うためには、プログラム電流を $1/10$ にしておけばよいことは言うまでもない。しかし、 $1/10$ の電流であれば寄生容量などにより書き込み不足が発生するため、高い電流でプログラムし、黒画面 52 挿入により所定の輝度を得るのは本発明の基本的な主旨である。

【0167】

なお、本発明の駆動方法において、所定電流よりも高い電流が EL 素子 15 に流れるようにし、ソース信号線 18 の寄生容量を十分に充放電するという概念である。つまり、EL 素子 15 に N 倍の電流を流さなくともよい。たとえば、EL 素子 15 に並列に電流経路を形成し (ダミーの EL 素子を形成し、この EL 素子は遮光膜を形成して発光させないなど)、ダミー EL 素子と EL 素子 15 に分流して電流を流しても良い。たとえば、信号電流が $0.2\mu A$ のとき、プログラム電流を $2.2\mu A$ として、トランジスタ 11a には $2.2\mu A$ を流す。この電流のうち、信号電流 $0.2\mu A$ を EL 素子 15 に流して、 $2\mu A$ をダミーの EL 素子に流すなどの方式が例示される。つまり、図 27 のダミー画素行 281 を常時選択状態にする。なお、ダミー画素行は発光させないか、もしくは、遮光膜などを形成し、発光していても視覚的に見えないように構成する。

【0168】

以上のように構成することにより、ソース信号線 1 8 に流す電流を N 倍に増加させることにより、駆動用トランジスタ 1 1 a に N 倍の電流が流れるようにプログラムすることができ、かつ、電流 E L 素子 1 5 には、 N 倍よりは十分小さい電流をながすことができることになる。以上の方法では、図 5 に図示するように、非点灯領域 5 2 を設けることなく、全表示領域 5 0 を画像表示領域 5 3 とすることができる。

【 0 1 6 9 】

図 1 3 (a) は表示画像 5 0 への書き込み状態を図示している。図 1 3 (a) において、5 1 a は書き込み画素行である。ソースドライバ I C 1 4 から各ソース信号線 1 8 にプログラム電流が供給される。なお、図 1 3 などでは 1 H 期間に書き込む画素行は 1 行である。しかし、何ら 1 H に限定するものではなく、0.5 H 期間でも、2 H 期間でもよい。また、ソース信号線 1 8 にプログラム電流を書き込むとしたが、本発明は電流プログラム方式に限定するものではなく、ソース信号線 1 8 に書き込まれるのは電圧である電圧プログラム方式 (図 6 2 など) でもよい。

【 0 1 7 0 】

図 1 3 (a) において、ゲート信号線 1 7 a が選択されるとソース信号線 1 8 に流れる電流がトランジスタ 1 1 a にプログラムされる。この時、ゲート信号線 1 7 b はオフ電圧が印加され E L 素子 1 5 には電流が流れない。これは、E L 素子 1 5 側にトランジスタ 1 1 d がオン状態であると、ソース信号線 1 8 から E L 素子 1 5 の容量成分が見え、この容量に影響されてコンデンサ 1 9 に十分に正確な電流プログラムができなくなるためである。したがって、図 1 の構成を例にすれば、図 1 3 (b) で示すように電流を書き込まれている画素行は非点灯領域 5 2 となる。

【 0 1 7 1 】

今、 N (ここでは、先に述べたように $N = 1 0$ とする) 倍の電流でプログラムしたとすれば、画面の輝度は 1 0 倍になる。したがって、表示領域 5 0 の 9 0 % の範囲を非点灯領域 5 2 とすればよい。したがって、画像表示領域の水平走査線が Q C I F の 2 2 0 本 ($S = 2 2 0$) とすれば、2 2 本と表示領域 5 3 とし、2

$20 - 22 = 198$ 本を非表示領域52とすればよい。一般的に述べれば、水平走査線（画素行数）をSとすれば、 S/N の領域を表示領域53とし、この表示領域53をN倍の輝度で発光させる。そして、この表示領域53を画面の上下方向に走査する。したがって、 $S(N-1)/N$ の領域は非点灯領域52とする。この非点灯領域は黒表示（非発光）である。また、この非発光部52はトランジスタ11dをオフさせることにより実現する。なお、N倍の輝度で点灯させるとしたが、当然のことながら明るさ調整、ガンマ調整によりN倍の値と調整することとは言うまでもない。

【0172】

また、先の実施例で、10倍の電流でプログラムしたとすれば、画面の輝度は10倍になり、表示領域50の90%の範囲を非点灯領域52とすればよいとした。しかし、これは、RGBの画素を共通に非点灯領域52とすることに限定するものではない。例えば、Rの画素は、 $1/8$ を非点灯領域52とし、Gの画素は、 $1/6$ を非点灯領域52とし、Bの画素は、 $1/10$ を非点灯領域52と、それぞれの色により変化させてもよい。また、RGBの色で個別に非点灯領域52（あるいは点灯領域53）を調整できるようにしてもよい。これらを実現するためには、R、G、Bで個別のゲート信号線17bが必要になる。しかし、以上のRGBの個別調整を可能にすることにより、ホワイトバランスを調整することが可能になり、各階調において色のバランス調整が容易になる（図41を参照のこと）。

【0173】

図13（b）に図示するように、書き込み画素行51aを含む画素行が非点灯領域52とし、書き込み画素行51aよりも上画面の S/N （時間的には $1F/N$ ）の範囲を表示領域53とする（書き込み走査が画面の上から下方向の場合、画面を下から上に走査する場合は、その逆となる）。画像表示状態は、表示領域53が帯状になって、画面の上から下に移動する。

【0174】

図13の表示では、1つの表示領域53が画面の上から下方向に移動する。フレームレートが低いと、表示領域53が移動するのが視覚的に認識される。特に

、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0175】

この課題に対しては、図16に図示するように、表示領域53を複数に分割するとよい。この分割された総和が $S(N-1)/N$ の面積となれば、図13の明るさと同等になる。なお、分割された表示領域53は等しく（等分に）する必要はない。また、分割された非表示領域52も等しくする必要はない。

【0176】

以上のように、表示領域53を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割するほど動画表示性能は低下する。

【0177】

図17はゲート信号線17の電圧波形およびELの発光輝度を図示している。図17で明らかなように、ゲート信号線17bを V_{g1} にする期間（ $1F/N$ ）を複数に分割（分割数 K ）している。つまり、 V_{g1} にする期間は $1F/(K/N)$ の期間を K 回実施する。このように制御すれば、フリッカの発生を抑制でき、低フレームレートの画像表示を実現できる。また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更してもよい。また、ユーザーが輝度を調整するように構成してもよい。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0178】

なお、図17などにおいて、ゲート信号線17bを V_{g1} にする期間（ $1F/N$ ）を複数に分割（分割数 K ）し、 V_{g1} にする期間は $1F/(K/N)$ の期間を K 回実施するとしたがこれ限定するものではない。 $1F/(K/N)$ の期間を L （ $L \neq K$ ）回実施してもよい。つまり、本発明は、EL素子15に流す期間（時間）を制御することにより画像50を表示するものである。したがって、 $1F$

／(K/N)の期間をL(L≠K)回実施することは本発明の技術的思想に含まれる。また、Lの値を変化させることにより、画像50の輝度をデジタル的に変更することができる。たとえば、L=2とL=3では50%の輝度(コントラスト)変化となる。また、画像の表示領域53を分割する時、ゲート信号線17bをVg1にする期間は同一期間に限定するものではない。

【0179】

以上の実施例は、EL素子15に流れる電流を遮断し、また、EL素子に流れる電流を接続することにより、表示画面50をオンオフ(点灯、非点灯)するものであった。つまり、コンデンサ19に保持された電荷によりトランジスタ11aに複数回、略同一電流を流すものである。本発明はこれに限定するものではない。たとえば、コンデンサ19に保持された電荷を充放電させることにより、表示画面50をオンオフ(点灯、非点灯)する方式でもよい。

【0180】

図18は図16の画像表示状態を実現するための、ゲート信号線17に印加する電圧波形である。図18と図15の差異は、ゲート信号線17bの動作である。ゲート信号線17bは画面を分割する個数に対応して、その個数分だけオンオフ(Vg1とVgh)動作する。他の点は図15と同一であるので説明を省略する。

【0181】

EL表示装置では黒表示は完全に非点灯であるから、液晶表示パネルを間欠表示した場合のように、コントラスト低下もない。また、図1の構成においては、トランジスタ11dをオンオフ操作するだけで間欠表示を実現できる。また、図38、図51の構成においては、トランジスタ素子11eをオンオフ操作するだけで、間欠表示を実現することができる。これは、コンデンサ19に画像データがメモリ(アナログ値であるから階調数は無限大)されているからである。つまり、各画素16に、画像データは1Fの間中は保持されている。この保持されている画像データに相当する電流をEL素子15に流すか否かをトランジスタ11d、11eの制御により実現しているのである。したがって、以上の駆動方法は、電流駆動方式に限定されるものではなく、電圧駆動方式にも適用できるもの

である。つまり、E L 素子 1 5 に流す電流が各画素内で保存している構成において、駆動用トランジスタ 1 1 を E L 素子 1 5 間の電流経路をオンオフすることにより、間欠駆動を実現するものである。

【 0 1 8 2 】

コンデンサ 1 9 の端子電圧を維持することは重要である。1 フィールド（フレーム）期間でコンデンサ 1 9 の端子電圧が変化（充放電）すると、画面輝度が変化し、フレームレートが低下した時にちらつき（フリッカなど）が発生するからである。トランジスタ 1 1 a が 1 フレーム（1 フィールド）期間で E L 素子 1 5 に流す電流は、少なくとも 6 5 % 以下に低下しないようにする必要がある。この 6 5 % とは、画素 1 6 に書き込み、E L 素子 1 5 に流す電流の最初が 1 0 0 % とした時、次のフレーム（フィールド）で前記画素 1 6 に書き込む直前の E L 素子 1 5 に流す電流が 6 5 % 以上とすることである。

【 0 1 8 3 】

図 1 の画素構成では、間欠表示を実現する場合としない場合では、1 画素を構成するトランジスタ 1 1 の個数に変化はない。つまり、画素構成はそのまま、ソース信号線 1 8 の寄生容量の影響と除去し、良好な電流プログラムを実現している。その上、C R T に近い動画表示を実現しているのである。

【 0 1 8 4 】

また、ゲートドライバ回路 1 2 の動作クロックはソースドライバ回路 1 4 の動作クロックに比較して十分に遅いため、回路のメインクロックが高くなるということはない。また、N の値の変更も容易である。

【 0 1 8 5 】

なお、画像表示方向（画像書き込み方向）は、1 フィールド（1 フレーム）目では画面の上から下方向とし、つぎの第 2 フィールド（フレーム）目では画面の下から上方向としてもよい。つまり、上から下方向と、下から上方向とを交互にくりかえす。

【 0 1 8 6 】

さらに、1 フィールド（1 フレーム）目では画面の上から下方向とし、いったん、全画面を黒表示（非表示）とした後、つぎの第 2 フィールド（フレーム）目

では画面の下から上方向としてもよい。また、いったん、全画面を黒表示（非表示）としてもよい。

【0187】

なお、以上の駆動方法の説明では、画面の書き込み方法を画面の上から下あるいは下から上としたが、これに限定するものではない。画面の書き込み方向は絶えず、画面の上から下あるいは下から上と固定し、非表示領域52の動作方向を1フィールド目では画面の上から下方向とし、つぎの第2フィールド目では画面の下から上方向としてもよい。また、1フレームを3フィールドに分割し、第1のフィールドではR、第2のフィールドではG、第3のフィールドではBとして、3フィールドで1フレームを形成するとしてもよい。また、1水平走査期間（1H）ごとに、R、G、Bを切り替えて表示してもよい。以上の事項は他の本発明の実施例でも同様である。

【0188】

非表示領域52は完全に非点灯状態である必要はない。微弱な発光あるいはうっすらとした画像表示があっても実用上は問題ない。つまり、画像表示領域53よりも表示輝度が低い領域と解釈するべきである。また、非表示領域52とは、R、G、B画像表示のうち、1色または2色のみが非表示状態という場合も含まれる。

【0189】

基本的には表示領域53の輝度（明るさ）が所定値に維持される場合、表示領域53の面積が広がるほど、画面50の輝度は高くなる。たとえば、表示領域53の輝度が100（nt）の場合、表示領域53が全画面50に占める割合が10%から20%にすれば、画面の輝度は2倍となる。したがって、全画面50に占める表示領域53の面積を変化させることにより、画面の表示輝度を変化することができる。

【0190】

表示領域53の面積はシフトレジスタ61へのデータパルス（ST2）を制御することにより、任意に設定できる。また、データパルスの入力タイミング、周期を変化させることにより、図16の表示状態と図13の表示状態とを切り替え

ることができる。1 F 周期でのデータパルス数を多くすれば、画面 5 0 は明るくなり、少なくすれば、画面 5 0 は暗くなる。また、連続してデータパルスを印加すれば図 1 3 の表示状態となり、間欠にデータパルスを入力すれば図 1 6 の表示状態となる。

【 0 1 9 1 】

図 1 9 (a 1) ~ 図 1 9 (a 3) は図 1 3 のように表示領域 5 3 が連続している場合の明るさ調整方式である。図 1 9 (a 1) の画面 5 0 の表示輝度が最も明るい。図 1 9 (a 2) の画面 5 0 の表示輝度が次に明るく、図 1 9 (a 3) の画面 5 0 の表示輝度が最も暗い。図 1 9 (a 1) から図 1 9 (a 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。この際、図 1 の V_{dd} 電圧は変化させる必要がない。つまり、電源電圧を変化させずに表示画面 5 0 の輝度変化を実施できる。また、図 1 9 (a 1) から図 1 9 (a 3) への変化の際、画面のガンマ特性は全く変化しない。したがって、画面 5 0 の輝度によらず、表示画像のコントラスト、階調特性が維持される。これは本発明の効果のある特徴である。従来の画面の輝度調整では、画面 5 0 の輝度が低い時は、階調性能が低下する。つまり、高輝度表示の時は 6 4 階調表示を実現できても、低輝度表示の時は、半分以下の階調数しか表示できない場合がほとんどである。これに比較して、本発明の駆動方法では、画面の表示輝度に依存せず、最高の 6 4 階調表示を実現できる。

【 0 1 9 2 】

図 1 9 (b 1) ~ 図 1 9 (b 3) は図 1 6 のように表示領域 5 3 が分散している場合の明るさ調整方式である。図 1 9 (b 1) の画面 5 0 の表示輝度が最も明るい。図 1 9 (b 2) の画面 5 0 の表示輝度が次に明るく、図 1 9 (b 3) の画面 5 0 の表示輝度が最も暗い。図 1 9 (b 1) から図 1 9 (b 3) への変化（あるいはその逆）は、先にも記載したようにゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 などの制御により、容易に実現できる。図 1 9 (b 1) ~ 図 1 9 (b 3) のように表示領域 5 3 を分散させれば、低フレームレートでもフリッカが発生しない。

【0193】

さらに低フレームレートでも、フリッカが発生しないようにするには、図19 (c1)～図19 (c3) のように表示領域53を細かく分散させればよい。しかし、動画の表示性能は低下する。したがって、動画を表示するには、図19 (a1)～図19 (a3) の駆動方法が適している。静止画を表示し、低消費電力化を要望する時は、図19 (c1)～図19 (c3) の駆動方法が適している。図19 (a1)～図19 (a3) から図19 (c1)～図19 (c3) の駆動方法の切り替えも、シフトレジスタ61の制御により容易に実現できる。

【0194】

以上の実施例は、主として、 $N=2$ 倍、4 倍などにする実施例であった。しかし、本発明は整数倍に限定されるものではないことは言うまでもない。また、 $N=2$ 以上に限定されるものでもない。たとえば、ある時刻で表示領域50の半分以下の領域を非点灯領域52とすることもある。表示領域50の $1/5$ の領域を非表示領域52としてもよい。もし、所定値の $5/4$ 倍の電流 I_w で電流プログラムし、 $1F$ の $4/5$ 期間点灯させれば、目標の輝度を実現できる。しかし、本発明はこれに限定されるものではない、実際には、一例として、 $10/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $4/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の2倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $2/5$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $1/2$ 倍で点灯する。また、 $5/4$ 倍の電流 I_w で電流プログラミングし、 $1F$ の $1/1$ 期間の間点灯させるという方法もある。この場合は、所定輝度の $5/4$ 倍で点灯する。

【0195】

つまり、本発明は、プログラム電流の大きさと、 $1F$ の点灯期間を制御することにより、表示画面の輝度を制御する方式である。かつ、 $1F$ 期間よりも短い期間点灯させることにより、黒画面52を挿入でき、動画表示性能を向上できる。 $1F$ の期間、常時点灯させることにより明るい画面を表示できる。

【0196】

画素に書き込む電流（ソースドライバ回路14から出力するプログラム電流）

は、画素サイズがA平方mmとし、白ラスタ表示所定輝度をB (nt)とした時、プログラム電流I (μ A)は、

$$(A \times B) / 20 < I < (A \times B)$$

の範囲とすることが好ましい。発光効率が良好となり、かつ、電流書き込み不足が解消する。

【0197】

さらに、好ましくは、プログラム電流I (μ A)は、

$$(A \times B) / 10 < I < (A \times B)$$

の範囲とすることが好ましい。

【0198】

図20はソース信号線18に流れる電流を増大させる他の実施例の説明図である。基本的に複数の画素行を同時に選択し、複数の画素行をあわせた電流でソース信号線18の寄生容量などを充放電し電流書き込み不足を大幅に改善する方式である。ただし、複数の画素行を同時に選択するため、1画素あたりの駆動する電流を減少させることができる。したがって、EL素子15に流れる電流を減少させることができる。ここで、説明を容易にするため、一例として、N=10として説明する(ソース信号線18に流す電流を10倍にする)。

【0199】

図20で説明する本発明は、画素行は同時にK画素行を選択する。ソースドライバIC14からは所定電流のN倍電流をソース信号線18に印加する。各画素にはEL素子15に流す電流のN/K倍の電流がプログラムされる。EL素子15を所定発光輝度とするために、EL素子15に流れる時間を1フレーム(1フィールド)のK/N時間にする。このように駆動することにより、ソース信号線18の寄生容量を十分に充放電でき、良好な解像度を所定の発光輝度を得ることができる。

【0200】

つまり、1フレーム(1フィールド)のK/Nの期間の間だけ、EL素子15に電流を流し、他の期間(1F(N-1)K/N)は電流を流さない。この表示状態では1Fごとに画像データ表示、黒表示(非点灯)が繰り返し表示される。

つまり、画像データ表示状態が時間的に飛び飛び表示（間欠表示）状態となる。したがって、画像の輪郭ぼけがなくなり良好な動画表示を実現できる。また、ソース信号線 18 には N 倍の電流で駆動するため、寄生容量の影響を受けず、高精細表示パネルにも対応できる。

【0201】

図 21 は、図 20 の駆動方法を実現するための駆動波形の説明図である。信号波形はオフ電圧を V_{gh} （H レベル）とし、オン電圧を V_{gl} （L レベル）としている。各信号線の添え字は画素行の番号（（1）（2）（3）など）を記載している。なお、行数は Q C I F 表示パネルの場合は 220 本であり、VGA パネルでは 480 本である。

【0202】

図 21 において、ゲート信号線 17a（1）が選択され（ V_{gl} 電圧）、選択された画素行のトランジスタ 11a からソースドライバ 14 に向かってソース信号線 18 にプログラム電流が流れる。ここでは説明を容易にするため、まず、書き込み画素行 51a が画素行（1）番目であるとして説明する。

【0203】

また、ソース信号線 18 に流れるプログラム電流は所定値の N 倍（説明を容易にするため、 $N=10$ として説明する。もちろん、所定値とは画像を表示するデータ電流であるから、白ラスタ表示などでない限り固定値ではない。）である。また、5 画素行が同時に選択（ $K=5$ ）として説明をする。したがって、理想的には 1 つの画素のコンデンサ 19 には 2 倍（ $N/K=10/5=2$ ）に電流がトランジスタ 11a に流れるようにプログラムされる。

【0204】

書き込み画素行が（1）画素行目である時、図 21 で図示したように、ゲート信号線 17a は（1）（2）（3）（4）（5）が選択されている。つまり、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ゲート信号線 17b はゲート信号線 17a の逆位相となっている。したがって、画素行（1）（2）（3）（4）（5）のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL

素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

【0205】

理想的には、5 画素のトランジスタ 11a が、それぞれ $I_w \times 2$ の電流をソース信号線 18 に流す（つまり、ソース信号線 18 には $I_w \times 2 \times N = I_w \times 2 \times 5 = I_w \times 10$ 。したがって、本発明の N 倍パルス駆動を実施しない場合が所定電流 I_w とすると、 I_w の 10 倍の電流がソース信号線 18 に流れる）。

【0206】

以上の動作（駆動方法）により、各画素 16 のコンデンサ 19 には、2 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 11a は特性（ V_t 、S 値）が一致しているとして説明をする。

【0207】

同時に選択する画素行が 5 画素行（ $K=5$ ）であるから、5 つの駆動用トランジスタ 11a が動作する。つまり、1 画素あたり、 $10/5=2$ 倍の電流がトランジスタ 11a に流れる。ソース信号線 18 には、5 つのトランジスタ 11a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 51a に、本来、書き込む電流 I_w とし、ソース信号線 18 には、 $I_w \times 10$ の電流を流す。書き込み画素行（1）より以降に画像データを書き込む書き込み画素行 51b ソース信号線 18 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 51b は後に正規の画像データが書き込まれるので問題がない。

【0208】

したがって、4 画素行 51b において、1H 期間の間は 51a と同一表示である。そのため、書き込み画素行 51a と電流を増加させるために選択した画素行 51b とを少なくとも非表示状態 52 とするのである。ただし、図 38 のようなカレントミラーの画素構成、その他の電圧プログラム方式の画素構成では表示状態としてもよい。

【0209】

1H 後には、ゲート信号線 17a（1）は非選択となり、ゲート信号線 17b にはオン電圧（ V_{gl} ）が印加される。また、同時に、ゲート信号線 17a（6

）が選択され（ V_{g1} 電圧）、選択された画素行（6）のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行（1）には正規の画像データが保持される。

【0 2 1 0】

次の、1 H 後には、ゲート信号線 1 7 a（2）は非選択となり、ゲート信号線 1 7 b にはオン電圧（ V_{g1} ）が印加される。また、同時に、ゲート信号線 1 7 a（7）が選択され（ V_{g1} 電圧）、選択された画素行（7）のトランジスタ 1 1 a からソースドライバ 1 4 に向かってソース信号線 1 8 にプログラム電流が流れる。このように動作することにより、画素行（2）には正規の画像データが保持される。以上の動作と 1 画素行ずつシフトしながら走査することにより 1 画面が書き換えられる。

【0 2 1 1】

図 2 0 の駆動方法では、各画素には 2 倍の電流（電圧）でプログラムを行うため、各画素の EL 素子 1 5 の発光輝度は理想的には 2 倍となる。したがって、表示画面の輝度は所定値よりも 2 倍となる。これを所定の輝度とするためには、図 1 6 に図示するように、書き込み画素行 5 1 を含み、かつ表示領域 5 0 の $1/2$ の範囲を非表示領域 5 2 とすればよい。

【0 2 1 2】

図 1 3 と同様に、図 2 0 のように 1 つの表示領域 5 3 が画面の上から下方向に移動すると、フレームレートが低いと、表示領域 5 3 が移動するのが視覚的に認識される。特に、まぶたを閉じた時、あるいは顔を上下に移動させた時などに認識されやすくなる。

【0 2 1 3】

この課題に対しては、図 2 2 に図示するように、表示領域 5 3 を複数に分割するとよい。分割された非表示領域 5 2 を加えた部分が $S(N-1)/N$ の面積となれば、分割しない場合と同一となる。

【0 2 1 4】

図 2 3 はゲート信号線 1 7 に印加する電圧波形である。図 2 1 と図 2 3 との差

異は、基本的にはゲート信号線 1 7 b の動作である。ゲート信号線 1 7 b は画面を分割する個数に対応して、その個数分だけオンオフ (V g l と V g h) 動作する。他の点は図 2 1 とほぼ同一あるいは類推できるので説明を省略する。

【 0 2 1 5 】

以上のように、表示領域 5 3 を複数に分割することにより画面のちらつきは減少する。したがって、フリッカの発生はなく、良好な画像表示を実現できる。なお、分割はもっと細かくしてもよい。しかし、分割すればするほどフリッカは軽減する。特に E L 素子 1 5 の応答性は速いため、5 μ sec よりも小さい時間でオンオフしても、表示輝度の低下はない。

【 0 2 1 6 】

本発明の駆動方法において、E L 素子 1 5 のオンオフは、ゲート信号線 1 7 b に印加する信号のオンオフで制御できる。そのため、クロック周波数は K H z オーダーの低周波数で制御が可能である。また、黒画面挿入 (非表示領域 5 2 挿入) を実現するのには、画像メモリなどを必要としない。したがって、低コストで本発明の駆動回路あるいは方法を実現できる。

【 0 2 1 7 】

図 2 4 は同時に選択する画素行が 2 画素行の場合である。検討した結果によると、低温ポリシリコン技術で形成した表示パネルでは、2 画素行を同時に選択する方法は表示均一性が実用的であった。これは、隣接した画素の駆動用トランジスタ 1 1 a の特性が極めて一致しているためと推定される。また、レーザーアニールする際に、ストライプ状のレーザーの照射方向はソース信号線 1 8 と平行に照射することで良好な結果が得られた。

【 0 2 1 8 】

これは同一時間にアニールされる範囲の半導体膜は特性が均一であるためである。つまり、ストライプ状のレーザー照射範囲内では半導体膜が均一に作製され、この半導体膜を利用したトランジスタの V t、モビリティがほぼ等しくなるためである。したがって、ソース信号線 1 8 の形成方向に平行にストライプ状のレーザーショットを照射し、この照射位置を移動させることにより、ソース信号線 1 8 に沿った画素 (画素列、画面の上下方向の画素) の特性はほぼ等しく作製さ

れる。したがって、複数の画素行を同時にオンさせて電流プログラムを行った時、プログラム電流は、同時に選択されて複数の画素にはプログラム電流を選択された画素数で割った電流が、ほぼ同一に電流プログラムされる。したがって、目標値に近い電流プログラムを実施でき、均一表示を実現できる。したがって、レーザーショット方向と図 2 4 など で説明する駆動方式とは相乗効果がある。

【 0 2 1 9 】

以上のように、レーザーショットの方向をソース信号線 1 8 の形成方向と略一致させることにより、画素の上下方向のトランジスタ 1 1 a の特性がほぼ同一になり、良好な電流プログラムを実施することができる（画素の左右方向のトランジスタ 1 1 a の特性が一致していなくとも）。以上の動作は、1 H（1 水平走査期間）に同期して、1 画素行あるいは複数画素行ずつ選択画素行位置をずらせて実施する。なお、本発明は、レーザーショットの方向をソース信号線 1 8 と平行にするとしたが、必ずしも平行でなくともよい。ソース信号線 1 8 に対して斜め方向にレーザーショットを照射しても 1 つのソース信号線 1 8 に沿った画素の上下方向のトランジスタ 1 1 a の特性はほぼ一致して形成されるからである。したがって、ソース信号線に平行にレーザーショットを照射するとは、ソース信号線 1 8 の沿った任意の画素の上または下に隣接した画素を、1 つのレーザー照射範囲に入るように形成するということである。また、ソース信号線 1 8 とは一般的には、映像信号となるプログラム電流あるいは電圧を伝達する配線である。

【 0 2 2 0 】

なお、本発明の実施例では 1 H ごとに、書き込み画素行位置をシフトさせるとしたが、これに限定するものではなく、2 H ごとにシフトしてもよく、また、それ以上の画素行ずつシフトさせてもよい。また、任意の時間単位でシフトしてもよい。また、画面位置に応じて、シフトする時間を変化させてもよい。たとえば、画面の中央部でのシフト時間を短くし、画面の上下部でシフト時間を長くしてもよい。また、フレームごとにシフト時間を変化させてもよい。また、連続した複数画素行を選択することに限定するものではない。例えば、1 画素行へだてた画素行を選択してもよい。つまり、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行を選択し、第 2 番目の水平走査期間に第 2 番目の画素行と第

4 番目の画素行を選択し、第 3 番目の水平走査期間に第 3 番目の画素行と第 5 番目の画素行を選択し、第 4 番目の水平走査期間に第 4 番目の画素行と第 6 番目の画素行を選択する駆動方法である。もちろん、第 1 番目の水平走査期間に第 1 番目の画素行と第 3 番目の画素行と第 5 番目の画素行を選択するという駆動方法も技術的範疇である。もちろん、複数画素行へだてた画素行位置を選択してもより

【 0 2 2 1 】

なお、以上のレーザーショット方向と、複数本の画素行を同時に選択するという組み合わせは、図 1、図 2、図 3 2 の画素構成のみに限定されるものではなく、カレントミラーの画素構成である図 3 8、図 4 2、図 5 0 などの他の電流駆動方式の画素構成にも適用できることはいうまでもない。また、図 4 3、図 5 1、図 5 4、図 6 2 などの電圧駆動の画素構成にも適用できる。つまり、画素上下のトランジスタの特性が一致しておれば、同一のソース信号線 1 8 に印加した電圧値により良好に電圧プログラムを実施できるからである。

【 0 2 2 2 】

図 2 4 において、書き込み画素行が (1) 画素行目である時、ゲート信号線 1 7 a は (1) (2) が選択されている (図 2 5 を参照のこと)。つまり、画素行 (1) (2) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、ゲート信号線 1 7 b はゲート信号線 1 7 a の逆位相となっている。したがって、少なくとも画素行 (1) (2) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の EL 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。なお、図 2 4 では、フリッカの発生を低減するため、表示領域 5 3 を 5 分割している。

【 0 2 2 3 】

理想的には、2 画素 (行) のトランジスタ 1 1 a が、それぞれ $I_w \times 5$ ($N = 10$ の場合。つまり、 $K = 2$ であるから、ソース信号線 1 8 に流れる電流は $I_w \times K \times 5 = I_w \times 10$ となる) の電流をソース信号線 1 8 に流す。そして、各画素 1 6 のコンデンサ 1 9 には、5 倍の電流がプログラムされる。

【 0 2 2 4 】

同時に選択する画素行が2画素行 ($K=2$) であるから、2つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $10/2=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、2つのトランジスタ11aのプログラム電流を加えた電流が流れる。

【0225】

たとえば、書き込み画素行51aに、本来、書き込む電流 I_d とし、ソース信号線18には、 $I_w \times 10$ の電流を流す。書き込み画素行51bは後に正規の画像データが書き込まれるので問題がない。画素行51bは、1H期間の間は51aと同一表示である。そのため、書き込み画素行51aと電流を増加させるために選択した画素行51bとを少なくとも非表示状態52とするのである。

【0226】

次の、1H後には、ゲート信号線17a(1)は非選択となり、ゲート信号線17bにはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線17a(3)が選択され (V_{g1} 電圧)、選択された画素行(3)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(1)には正規の画像データが保持される。

【0227】

次の、1H後には、ゲート信号線17a(2)は非選択となり、ゲート信号線17bにはオン電圧 (V_{g1}) が印加される。また、同時に、ゲート信号線17a(4)が選択され (V_{g1} 電圧)、選択された画素行(4)のトランジスタ11aからソースドライバ14に向かってソース信号線18にプログラム電流が流れる。このように動作することにより、画素行(2)には正規の画像データが保持される。以上の動作と1画素行ずつシフト（もちろん、複数画素行ずつシフトしてもよい。たとえば、擬似インターレース駆動であれば、2行ずつシフトするであろう。また、画像表示の観点から、複数の画素行に同一画像を書き込む場合もあるであろう）しながら走査することにより1画面が書き換えられる。

【0228】

図16と同様であるが、図24の駆動方法では、各画素には5倍の電流（電圧

) でプログラムを行うため、各画素の E L 素子 1 5 の発光輝度は理想的には 5 倍となる。したがって、表示領域 5 3 の輝度は所定値よりも 5 倍となる。これを所定の輝度とするためには、図 1 6 などに図示するように、書き込み画素行 5 1 を含み、かつ表示画面 1 の $1/5$ の範囲を非表示領域 5 2 とすればよい。

【 0 2 2 9 】

図 2 7 に図示するように、2 本の書き込み画素行 5 1 (5 1 a、5 1 b) が選択され、画面 5 0 の上辺から下辺に順次選択されていく (図 2 6 も参照のこと。図 2 6 では画素行 1 6 a と 1 6 b が選択されている)。しかし、図 2 7 (b) のように、画面の下辺までくると書き込み画素行 5 1 a は存在するが、5 1 b はなくなる。つまり、選択する画素行が 1 本しかなくなる。そのため、ソース信号線 1 8 に印加された電流は、すべて画素行 5 1 a に書き込まれる。したがって、画素行 5 1 a に比較して、2 倍の電流が画素にプログラムされてしまう。

【 0 2 3 0 】

この課題に対して、本発明は、図 2 7 (b) に図示するように画面 5 0 の下辺にダミー画素行 2 8 1 を形成 (配置) している。したがって、選択画素行が画面 5 0 の下辺まで選択された場合は、画面 5 0 の最終画素行とダミー画素行 2 8 1 が選択される。そのため、図 2 7 (b) の書き込み画素行には、規定どおりの電流が書き込まれる。なお、ダミー画素行 2 8 1 は表示領域 5 0 の上端あるいは下端に隣接して形成したように図示したが、これに限定するものではない。表示領域 5 0 から離れた位置に形成されていてもよい。また、ダミー画素行 2 8 1 は、図 1 のスイッチングトランジスタ 1 1 d、E L 素子 1 5 などは形成する必要はない。形成しないことにより、ダミー画素行 2 8 1 のサイズは小さくなる。

【 0 2 3 1 】

図 2 8 は図 2 7 (b) の状態を示している。図 2 8 で明らかなように、選択画素行が画面 5 0 の下辺の画素 1 6 c 行まで選択された場合は、画面 5 0 の最終画素行 2 8 1 が選択される。ダミー画素行 2 8 1 は表示領域 5 0 外に配置する。つまり、ダミー画素行 2 8 1 は点灯しない、あるいは点灯させない、もしくは点灯しても表示として見えないように構成する。たとえば、画素電極とトランジスタ 1 1 とのコンタクトホールをなくすとか、ダミー画素行には E L 膜を形成しない

とかである。

【 0 2 3 2 】

図 2 7 では、画面 5 0 の下辺にダミー画素（行） 2 8 1 を設ける（形成する、配置する）としたが、これに限定するものではない。たとえば、図 2 9（a）に図示するように、画面の下辺から上辺に走査する（上下逆転走査）する場合は、図 2 9（b）に図示するように画面 5 0 の上辺にもダミー画素行 2 8 1 を形成すべきである。つまり、画面 5 0 の上辺を下辺のそれぞれにダミー画素行 2 8 1 を形成（配置）する。以上のように構成することにより、画面の上下反転走査にも対応できるようになる。以上の実施例は、2 画素行を同時選択する場合であった。

【 0 2 3 3 】

本発明はこれに限定するものではなく、たとえば、5 画素行を同時選択する方式（図 2 3 を参照のこと）でもよい。つまり、5 画素行同時駆動の場合は、ダミー画素行 2 8 1 は 4 行分形成すればよい。本発明のダミー画素行構成あるいはダミー画素行駆動は、少なくとも 1 つ以上のダミー画素行を用いる方式である。もちろん、ダミー画素行駆動方法と N 倍パルス駆動とを組み合わせる用いることが好ましい。

【 0 2 3 4 】

複数本の画素行を同時に選択する駆動方法では、同時に選択する画素行数が増加するほど、トランジスタ 1 1 a の特性バラツキを吸収することが困難になる。しかし、選択本数が低下すると、1 画素にプログラムする電流が大きくなり、E L 素子 1 5 に大きな電流を流すことになる。E L 素子 1 5 に流す電流が大きいと E L 素子 1 5 が劣化しやすくなる。

【 0 2 3 5 】

図 3 0 はこの課題を解決するものである。図 3 0 の基本概念は、 $1/2H$ （水平走査期間の $1/2$ ）は、図 2 2、図 2 9 で説明したように、複数の画素行を同時に選択する方法である。その後の $1/2H$ （水平走査期間の $1/2$ ）は図 5、図 1 3 など説明したように、1 画素行を選択する方法を組み合わせたものである。このようにくみあわせることにより、トランジスタ 1 1 a の特性バラツキを

吸収しより、高速にかつ面内均一性を良好にすることができる。

【 0 2 3 6 】

図 3 0 において、説明を容易にするため、第 1 の期間では 5 画素行を同時に選択し、第 2 の期間では 1 画素行を選択するとして説明をする。まず、第 1 の期間（前半の $1/2 H$ ）では、図 3 0（a 1）に図示するように、5 画素行を同時に選択する。この動作は図 2 2 を用いて説明したので省略する。一例としてソース信号線 1 8 に流す電流は所定値の 2.5 倍とする。したがって、各画素 1 6 のトランジスタ 1 1 a（図 1 の画素構成の場合）には 5 倍の電流（ $2.5 / 5 \text{ 画素行} = 5$ ）がプログラムされる。2.5 倍の電流であるから、ソース信号線 1 8 などに発生する寄生容量は極めて短期間に充放電される。したがって、ソース信号線 1 8 の電位は、短時間で目標の電位となり、各画素 1 6 のコンデンサ 1 9 の端子電圧も 5 倍電流を流すようにプログラムされる。この 2.5 倍電流の印加時間は前半の $1/2 H$ （1 水平走査期間の $1/2$ ）とする。

【 0 2 3 7 】

当然のことながら、書き込み画素行の 5 画素行は同一画像データが書き込まれるから、表示しないように 5 画素行のトランジスタ 1 1 d はオフ状態とされる。したがって、表示状態は図 3 0（a 2）となる。

【 0 2 3 8 】

次の後半の $1/2 H$ 期間は、1 画素行を選択し、電流（電圧）プログラムを行う。この状態を図 3 0（b 1）に図示している。書き込み画素行 5 1 a は先と同様に 5 倍の電流を流すように電流（電圧）プログラムされる。図 3 0（a 1）と図 3 0（b 1）とで各画素に流す電流を同一にするのは、プログラムされたコンデンサ 1 9 の端子電圧の変化を小さくして、より高速に目標の電流を流せるようにするためである。

【 0 2 3 9 】

つまり、図 3 0（a 1）で、複数の画素に電流を流し、高速に概略の電流が流れる値まで近づける。この第 1 の段階では、複数のトランジスタ 1 1 a でプログラムしているため、目標値に対してトランジスタのバラツキによる誤差が発生している。次の第 2 の段階で、データを書き込みかつ保持する画素行のみを選択し

て、概略の目標値から、所定の目標値まで完全なプログラムを行うのである。

【 0 2 4 0 】

なお、非点灯領域 5 2 を画面の上から下方向に走査し、また、書き込み画素行 5 1 a も画面の上から下方向に走査することは図 1 3 などの実施例と同様であるので説明を省略する。

【 0 2 4 1 】

図 3 1 は図 3 0 の駆動方法を実現するための駆動波形である。図 3 1 でわかるように、1 H (1 水平走査期間) は 2 つのフェーズで構成されている。この 2 つのフェーズは I S E L 信号で切り替える。I S E L 信号は図 3 1 に図示している。

【 0 2 4 2 】

まず、I S E L 信号について説明をしておく。図 3 0 を実施するドライバ回路 1 4 は、電流出力回路 A と電流出力回路 B とを具備している。それぞれの電流出力回路は、8 ビットの階調データを D A 変換する D A 回路とオペアンプなどから構成される。図 3 0 の実施例では、電流出力回路 A は 2 5 倍の電流を出力するように構成されている。一方、電流出力回路 B は 5 倍の電流を出力するように構成されている。電流出力回路 A と電流出力回路 B の出力は I S E L 信号により電流出力部に形成 (配置) されたスイッチ回路が制御され、ソース信号線 1 8 に印加される。この電流出力回路は各ソース信号線に配置されている。

【 0 2 4 3 】

I S E L 信号は、L レベルの時、2 5 倍電流を出力する電流出力回路 A が選択されてソース信号線 1 8 からの電流をソースドライバ I C 1 4 が吸収する (より適切には、ソースドライバ回路 1 4 内に形成された電流出力回路 A が吸収する) 。2 5 倍、5 倍などの電流出力回路電流の大きさ調整は容易である。複数の抵抗とアナログスイッチで容易に構成できるからである。

【 0 2 4 4 】

図 3 0 に示すように書き込み画素行が (1) 画素行目である時 (図 3 0 の 1 H の欄を参照) 、ゲート信号線 1 7 a は (1) (2) (3) (4) (5) が選択されている (図 1 の画素構成の場合) 。つまり、画素行 (1) (2) (3) (4)

(5) のスイッチングトランジスタ 1 1 b、トランジスタ 1 1 c がオン状態である。また、I S E L が L レベルであるから、2 5 倍電流を出力する電流出力回路 A が選択され、ソース信号線 1 8 と接続されている。また、ゲート信号線 1 7 b には、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 1 1 d がオフ状態であり、対応する画素行の E L 素子 1 5 には電流が流れていない。つまり、非点灯状態 5 2 である。

【 0 2 4 5 】

理想的には、5 画素のトランジスタ 1 1 a が、それぞれ $I_w \times 2$ の電流をソース信号線 1 8 に流す。そして、各画素 1 6 のコンデンサ 1 9 には、5 倍の電流がプログラムされる。ここでは、理解を容易にするため、各トランジスタ 1 1 a は特性 (V_t 、S 値) が一致しているとして説明をする。

【 0 2 4 6 】

同時に選択する画素行が 5 画素行 ($K=5$) であるから、5 つの駆動用トランジスタ 1 1 a が動作する。つまり、1 画素あたり、 $25/5=5$ 倍の電流がトランジスタ 1 1 a に流れる。ソース信号線 1 8 には、5 つのトランジスタ 1 1 a のプログラム電流を加えた電流が流れる。たとえば、書き込み画素行 5 1 a に、従来の駆動方法で画素に書き込む電流 I_w とする時、ソース信号線 1 8 には、 $I_w \times 25$ の電流を流す。書き込み画素行 (1) より以降に画像データを書き込む書き込み画素行 5 1 b ソース信号線 1 8 への電流量を増加させるため、補助的に用いる画素行である。しかし、書き込み画素行 5 1 b は後に正規の画像データが書き込まれるので問題がない。

【 0 2 4 7 】

したがって、画素行 5 1 b は、1 H 期間の間は 5 1 a と同一表示である。そのため、書き込み画素行 5 1 a と電流を増加させるために選択した画素行 5 1 b とを少なくとも非表示状態 5 2 とするのである。

【 0 2 4 8 】

次の $1/2$ H (水平走査期間の $1/2$) では、書き込み画素行 5 1 a のみを選択する。つまり、(1) 画素行目のみを選択する。図 3 1 で明らかなように、ゲ

ート信号線 17a (1) のみが、オン電圧 (V_{g1}) が印加され、ゲート信号線 17a (2) (3) (4) (5) はオフ (V_{gh}) が印加されている。したがって、画素行 (1) のトランジスタ 11a は動作状態 (ソース信号線 18 に電流を供給している状態) であるが、画素行 (2) (3) (4) (5) のスイッチングトランジスタ 11b、トランジスタ 11c がオフ状態である。つまり、非選択状態である。また、ISEL が H レベルであるから、5 倍電流を出力する電流出力回路 B が選択され、この電流出力回路 B とソース信号線 18 とが接続されている。また、ゲート信号線 17b の状態は先の 1/2 H の状態と変化がなく、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (1) (2) (3) (4) (5) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。

【0249】

以上のことから、画素行 (1) のトランジスタ 11a が、それぞれ $I_w \times 5$ の電流をソース信号線 18 に流す。そして、各画素行 (1) のコンデンサ 19 には、5 倍の電流がプログラムされる。

【0250】

次の水平走査期間では 1 画素行、書き込み画素行がシフトする。つまり、今度は書き込み画素行が (2) である。最初の 1/2 H の期間では、図 31 に示すように書き込み画素行が (2) 画素行目である時、ゲート信号線 17a は (2) (3) (4) (5) (6) が選択されている。つまり、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11b、トランジスタ 11c がオン状態である。また、ISEL が L レベルであるから、25 倍電流を出力する電流出力回路 A が選択され、ソース信号線 18 と接続されている。また、ゲート信号線 17b には、オフ電圧 (V_{gh}) が印加されている。したがって、画素行 (2) (3) (4) (5) (6) のスイッチングトランジスタ 11d がオフ状態であり、対応する画素行の EL 素子 15 には電流が流れていない。つまり、非点灯状態 52 である。一方、画素行 (1) のゲート信号線 17b (1) は V_{g1} 電圧が印加されているから、トランジスタ 11d はオン状態であり、画素行 (1) の EL 素子 15 は点灯する。

【0251】

同時に選択する画素行が5画素行($K=5$)であるから、5つの駆動用トランジスタ11aが動作する。つまり、1画素あたり、 $25/5=5$ 倍の電流がトランジスタ11aに流れる。ソース信号線18には、5つのトランジスタ11aのプログラム電流を加えた電流が流れる。

【0252】

次の $1/2H$ (水平走査期間の $1/2$)では、書き込み画素行51aのみを選択する。つまり、(2)画素行目のみを選択する。図31で明らかなように、ゲート信号線17a(2)のみが、オン電圧(V_{g1})が印加され、ゲート信号線17a(3)(4)(5)(6)はオフ(V_{gh})が印加されている。したがって、画素行(1)(2)のトランジスタ11aは動作状態(画素行(1)はEL素子15に電流を流し、画素行(2)はソース信号線18に電流を供給している状態)であるが、画素行(3)(4)(5)(6)のスイッチングトランジスタ11b、トランジスタ11cがオフ状態である。つまり、非選択状態である。また、ISELがHレベルであるから、5倍電流を出力する電流出力回路Bが選択され、この電流出力回路1222bとソース信号線18とが接続されている。また、ゲート信号線17bの状態は先の $1/2H$ の状態と変化がなく、オフ電圧(V_{gh})が印加されている。したがって、画素行(2)(3)(4)(5)(6)のスイッチングトランジスタ11dがオフ状態であり、対応する画素行のEL素子15には電流が流れていない。つまり、非点灯状態52である。

【0253】

以上のことから、画素行(2)のトランジスタ11aが、それぞれ $I_w \times 5$ の電流をソース信号線18に流す。そして、各画素行(2)のコンデンサ19には、5倍の電流がプログラムされる。以上の動作を順次、実施することにより1画面を表示することができる。

【0254】

図30で説明した駆動方法は、第1の期間でG画素行(Gは2以上)を選択し、各画素行にはN倍の電流を流すようにプログラムする。第1の期間後の第2の期間ではB画素行(BはGよりも小さく、1以上)を選択し、画素にはN倍の電

流を流すようにプログラムする方式である。

【0255】

しかし、他の方策もある。第1の期間でG画素行（Gは2以上）を選択し、各画素行の総和電流がN倍の電流となるようにプログラムする。第1の期間後の第2の期間ではB画素行（BはGよりも小さく、1以上）を選択し、選択された画素行の総和の電流（ただし、選択画素行が1の時は、1画素行の電流）がN倍となるようにプログラムする方式である。たとえば、図30（a1）において、5画素行を同時に選択し、各画素のトランジスタ11aには2倍の電流を流す。したがって、ソース信号線18には 5×2 倍=10倍の電流が流れる。次の第2の期間では図30（b1）において、1画素行を選択する。この1画素のトランジスタ11aには10倍の電流を流す。

【0256】

なお、図31において、複数の画素行を同時に選択する期間を $1/2H$ とし、1画素行を選択する期間を $1/2H$ としたがこれに限定するものではない。複数の画素行を同時に選択する期間を $1/4H$ とし、1画素行を選択する期間を $3/4H$ としてもよい。また、複数の画素行を同時に選択する期間と、1画素行を選択する期間とを加えた期間は $1H$ としたがこれに限定するものではない。たとえば、 $2H$ 期間でも、 $1.5H$ 期間であっても良い。

【0257】

また、図30において、5画素行を同時に選択する期間を $1/2H$ とし、次の第2の期間では2画素行を同時に選択するとしてもよい。この場合でも実用上、支障のない画像表示を実現できる。

【0258】

また、図30において、5画素行を同時に選択する第1の期間を $1/2H$ とし、1画素行を選択する第2の期間を $1/2H$ とする2段階としたがこれに限定するものではない。たとえば、第1の段階は、5画素行を同時に選択し、第2の期間は前記5画素行のうち、2画素行を選択し、最後に、1画素行を選択する3つの段階としてもよい。つまり、複数の段階で画素行に画像データを書き込んでも良い。

【 0 2 5 9 】

以上の本発明のN倍パルス駆動方法では、各画素行で、ゲート信号線17bの波形を同一にし、1Hの間隔でシフトさせて印加していく。このように走査することにより、EL素子15が点灯している時間を $1F/N$ に規定しながら、順次、点灯する画素行をシフトさせることができる。このように、各画素行で、ゲート信号線17bの波形を同一にし、シフトさせていることを実現することは容易である。図6のシフトレジスタ回路61a、61bに印加するデータであるST1、ST2を制御すればよいからである。たとえば、入力ST2がLレベルの時、ゲート信号線17bにVg1が出力され、入力ST2がHレベルの時、ゲート信号線17bにVghが出力されるとすれば、シフトレジスタ17bに印加するST2を $1F/N$ の期間だけLレベルで入力し、他の期間はHレベルにする。この入力されたST2を1Hに同期したクロックCLK2でシフトしていくだけである。

【 0 2 6 0 】

なお、EL素子15をオンオフする周期は0.5msec以上にする必要がある。この周期が短いと、人間の目の残像特性により完全な黒表示状態とならず、画像がぼやけたようになり、あたかも解像度が低下したようになる。また、データ保持型の表示パネルの表示状態となる。しかし、オンオフ周期を100msec以上になると、点滅状態に見える。したがって、EL素子のオンオフ周期は0.5μsec以上100msec以下にすべきである。さらに好ましくは、オンオフ周期を2msec以上30msec以下にすべきである。さらに好ましくは、オンオフ周期を3msec以上20msec以下にすべきである。

【 0 2 6 1 】

先にも記載したが、黒画面52の分割数は、1つにすると良好な動画表示を実現できるが、画面のちらつきが見えやすくなる。したがって、黒挿入部を複数に分割することが好ましい。しかし、分割数をあまりに多くすると動画ボケが発生する。分割数は1以上8以下とすべきである。さらに好ましくは1以上5以下とすることが好ましい。

【 0 2 6 2 】

なお、黒画面の分割数は静止画と動画で変更できるように構成することが好ましい。分割数とは、 $N=4$ では、75%が黒画面であり、25%が画像表示である。このとき、75%の黒表示部を75%の黒帯状態で画面の上下方向に走査するのが分割数1である。25%の黒画面と25/3%の表示画面の3ブロックで走査するのが分割数3である。静止画は分割数を多くする。動画は分割数を少なくする。切り替えは入力画像に応じて自動的（動画検出など）に行っても良く、ユーザーが手動で行ってもよい。また、表示装置の映像などに入力コンセントに対応して切り替ええするように構成すればよい。

【0263】

たとえば、携帯電話などにおいて、壁紙表示、入力画面では、分割数を10以上とする（極端には1Hごとにオンオフしてもよい）。NTSCの動画を表示するときは、分割数を1以上5以下とする。なお、分割数は3以上の多段階に切り替えできるように構成することが好ましい。たとえば、分割数なし、2、4、8などである。

【0264】

また、全表示画面に対する黒画面の割合は、全画面の面積を1とした時、0.2以上0.9以下（Nで表示すれば1.2以上9以下）とすることが好ましい。また、特に0.25以上0.6以下（Nで表示すれば1.25以上6以下）とすることが好ましい。0.20以下であると動画表示での改善効果が低い。0.9以上であると、表示部分の輝度が高くなり、表示部分が上下に移動することが視覚的に認識されやすくなる。

【0265】

また、1秒あたりのフレーム数は、10以上100以下（10Hz以上100Hz以下）が好ましい。さらには12以上65以下（12Hz以上65Hz以下）が好ましい。フレーム数が少ないと、画面のちらつきが目立つようになり、あまりにもフレーム数が多いと、ドライバ回路14などからの書き込みが苦しくなり解像度が劣化する。

【0266】

いずれにせよ、本発明では、ゲート信号線17の制御により画像の明るさを変

化させることができる。ただし、画像の明るさはソース信号線 18 に印加する電流（電圧）を変化させて行ってもよいことは言うまでもない。また、先に説明した（図 33、図 35 などを用いて）ゲート信号線 17 の制御と、ソース信号線 18 に印加する電流（電圧）を変化させることを組み合わせて行ってもよいことは言うまでもない。

【0267】

なお、以上の事項は、図 38 などの電流プログラムの画素構成、図 43、図 51、図 54 などの電圧プログラムの画素構成でも適用できることは言うまでもない。図 38 では、トランジスタ 11d を、図 43 ではトランジスタ 11d を、図 51 ではトランジスタ 11e をオンオフ制御すればよい。このように、EL 素子 15 に電流を流す配線をオンオフすることにより、本発明の N 倍パルス駆動を容易に実現できる。

【0268】

また、ゲート信号線 17b の $1F/N$ の期間だけ、 V_{g1} にする時刻は $1F$ （ $1F$ に限定するものではない。単位期間でよい。）の期間のうち、どの時刻でもよい。単位時間にうち、所定の期間だけ EL 素子 15 をオンさせることにより、所定の平均輝度を得るものだからである。ただし、電流プログラム期間（ $1H$ ）後、すぐにゲート信号線 17b を V_{g1} にして EL 素子 15 を発光させる方がよい。図 1 のコンデンサ 19 の保持率特性の影響を受けにくくなるからである。

【0269】

また、この画像の分割数も可変できるように構成することが好ましい。たとえば、ユーザーが明るさ調整スイッチを押すことにより、あるいは明るさ調整ボリュームを回すことにより、この変化を検出して K の値を変更する。表示する画像の内容、データにより手動で、あるいは自動的に変化させるように構成してもよい。

【0270】

このように K の値（画像表示部 53 の分割数）を変化させることも容易に実現できる。図 6 において ST に印加するデータのタイミング（ $1F$ のいつに L レベルにするか）を調整あるいは可変できるように構成しておけばよいからである。

【 0 2 7 1 】

なお、図 1 6 などでは、ゲート信号線 1 7 b を V_{g1} にする期間 ($1F/N$) を複数に分割 (分割数 K) し、 V_{g1} にする期間は $1F/(K/N)$ の期間を K 回実施するとしたがこれに限定するものではない。 $1F/(K/N)$ の期間を L ($L \neq K$) 回実施してもよい。つまり、本発明は、EL 素子 1 5 に流す期間 (時間) を制御することにより画像 5 0 を表示するものである。したがって、 $1F/(K/N)$ の期間を L ($L \neq K$) 回実施することは本発明の技術的思想に含まれる。また、 L の値を変化させることにより、画像 5 0 の輝度をデジタル的に変更することができる。たとえば、 $L=2$ と $L=3$ では 5 0 % の輝度 (コントラスト) 変化となる。これらの制御も、本発明の他の実施例にも適用できることは言うまでもない (もちろん、以降に説明する本発明にも適用できる)。これらも本発明の N 倍パルス駆動である。

【 0 2 7 2 】

以上の実施例は、EL 素子 1 5 と駆動用トランジスタ 1 1 a との間にスイッチング素子としてのトランジスタ 1 1 d を配置 (形成) し、このトランジスタ 1 1 d を制御することにより、画面 5 0 をオンオフ表示するものであった。この駆動方法により、電流プログラム方式の黒表示状態での電流書き込み不足をなくし、良好な解像度あるいは黒表示を実現するものであった。つまり、電流プログラム方式では、良好な黒表示を実現することが重要である。次に説明する駆動方法は、駆動用トランジスタ 1 1 a をリセットし、良好な黒表示を実現するものである。以下、図 3 2 を用いて、その実施例について説明をする。

【 0 2 7 3 】

図 3 2 は基本的には図 1 の画素構成である。図 3 2 の画素構成では、プログラムされた I_w 電流が EL 素子 1 5 に流れ、EL 素子 1 5 が発光する。つまり、駆動用トランジスタ 1 1 a はプログラムされることにより、電流を流す能力を保持している。この電流を流す能力を利用してトランジスタ 1 1 a をリセット (オフ状態) にする方式が図 3 2 の駆動方式である。以降、この駆動方式をリセット駆動と呼ぶ。

【 0 2 7 4 】

図1の画素構成でリセット駆動を実現するためには、トランジスタ11bとトランジスタ11cを独立してオンオフ制御できるように構成する必要がある。つまり、図32で図示するようにトランジスタ11bをオンオフ制御するゲート信号線11a（ゲート信号線WR）、トランジスタ11cをオンオフ制御するゲート信号線11c（ゲート信号線EL）を独立して制御できるようにする。ゲート信号線11aとゲート信号線11cの制御は図6に図示するように独立した2つのシフトレジスタ61で行えばよい。

【0275】

ゲート信号線WRとゲート信号線ELの駆動電圧は変化させるとよい。ゲート信号線WRの振幅値（オン電圧とオフ電圧との差）は、ゲート信号線ELの振幅値よりも小さくする。基本的にゲート信号線の振幅値が大きいと、ゲート信号線と画素との突き抜け電圧が大きくなり、黒浮きが発生する。ゲート信号線WRの振幅は、ソース信号線18の電位が画素16に印加されない（印加する（選択時））を制御すればよいのである。ソース信号線18の電位変動は小さいから、ゲート信号線WRの振幅値は小さくすることができる。一方、ゲート信号線ELはELのオンオフ制御を実施する必要がある。したがって、振幅値は大きくなる。これに対応するため、シフトレジスタ61aと61bとの出力電圧を変化させる。画素がPチャンネルトランジスタで形成されている場合は、シフトレジスタ61aと61bの V_{gh} （オフ電圧）を略同一にし、シフトレジスタ61aの V_{g1} （オン電圧）をシフトレジスタ61bの V_{g1} （オン電圧）よりも低くする。

【0276】

以下、図33を参照しながら、リセット駆動方式について説明をする。図33はリセット駆動の原理説明図である。まず、図33（a）に図示するように、トランジスタ11c、トランジスタ11dをオフ状態にし、トランジスタ11bをオン状態にする。すると、駆動用トランジスタ11aのドレイン（D）端子とゲート（G）端子はショート状態となり、 I_b 電流が流れる。一般的に、トランジスタ11aは1つ前のフィールド（フレーム）で電流プログラムされ、電流を流す能力がある。この状態でトランジスタ11dがオフ状態となり、トランジスタ11bがオン状態にすれば、駆動電流 I_b がトランジスタ11aのゲート（G）

端子に流れる。そのため、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 1 1 a はリセット (電流を流さない状態) になる。

【 0 2 7 7 】

このトランジスタ 1 1 a のリセット状態 (電流を流さない状態) は、図 5 1 など で説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 3 3 (a) の状態では、コンデンサ 1 9 の端子間には、オフセット電圧が保持されていることになる。このオフセット電圧はトランジスタ 1 1 a の特性に応じて異なる電圧値である。したがって、図 3 3 (a) の動作を実施することにより、各画素のコンデンサ 1 9 にはトランジスタ 1 1 a が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい) が保持されることになるのである。

【 0 2 7 8 】

なお、図 3 3 (a) の動作の前に、トランジスタ 1 1 b、トランジスタ 1 1 c をオフ状態にし、トランジスタ 1 1 d をオン状態にし、駆動用トランジスタ 1 1 a に電流を流すという動作を実施することが好ましい。この動作は、極力短時間にすることが好ましい。E L 素子 1 5 に電流が流れて E L 素子 1 5 が点灯し、表示コントラストを低下させる恐れがあるからである。この動作時間は、1 H (1 水平走査期間) の 0. 1 % 以上 1 0 % 以下とすることが好ましい。さらに好ましくは 0. 2 % 以上 2 % 以下となるようにすることが好ましい。もしくは $0. 2 \mu \text{sec}$ 以上 $5 \mu \text{sec}$ 以下となるようにすることが好ましい。また、全画面の画素 1 6 に一括して前述の動作 (図 3 3 (a) の前に行う動作) を実施してもよい。以上の動作を実施することにより、駆動用トランジスタ 1 1 a のドレイン (D) 端子電圧が低下し、図 3 3 (a) の状態でスムーズな I b 電流を流すことができるようになる。なお、以上の事項は、本発明の他のリセット駆動方式にも適用される。

【 0 2 7 9 】

図 3 3 (a) の実施時間を長くするほど、I b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 3 3 (a) の実施時間は固定

値にする必要がある。実験および検討によれば、図33(a)の実施時間は、1 H以上5 H以下にすることが好ましい。なお、この期間は、R、G、Bの画素で異ならせることが好ましい。各色の画素でEL材料が異なり、このEL材料の立ち上がり電圧などに差異があるためである。RGBの各画素で、EL材料に適応して、もっとも最適な期間を設定する。なお、実施例において、この期間は1 H以上5 H以下にするとしたが、黒挿入（黒画面を書き込む）を主とする駆動方式では、5 H以上であってもよいことは言うまでもない。なお、この期間が長いほど、画素の黒表示状態は良好となる。

【0280】

図33(a)を実施後、1 H以上5 H以下の期間において、図33(b)の状態にする。図33(b)はトランジスタ11c、トランジスタ11bをオンさせ、トランジスタ11dをオフさせた状態である。図33(b)の状態は、以前にも説明したが、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 I_w を出力（あるいは吸収）し、このプログラム電流 I_w を駆動用トランジスタ11aに流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ11aのゲート（G）端子の電位を設定するのである（設定電位はコンデンサ19に保持される）。

【0281】

もし、プログラム電流 I_w が0（A）であれば、トランジスタ11aは電流を図33(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図33(b)で白表示の電流プログラムを行う場合であっても、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ11aの特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0282】

図33(b)の電流プログラミング後、図33(c)に図示するように、トランジスタ11b、トランジスタ11cとオフし、トランジスタ11dをオンさせて、駆動用トランジスタ11aからのプログラム電流 I_w （= I_e ）をEL素子

15に流し、EL素子15を発光させる。図33(c)に関しても、図1などで以前に説明をしたので詳細は省略する。

【0283】

つまり、図33で説明した駆動方式（リセット駆動）は、駆動用トランジスタ11aとEL素子15間を切断（電流が流れない状態）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む2端子）間をショートする第1の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第2の動作とを実施するものである。そして、少なくとも第2の動作は第1の動作後に行うものである。なお、リセット駆動を実施するためには、図32の構成のように、トランジスタ11bとトランジスタ11cとを独立に制御できるように、構成しておかねばならない。

【0284】

画像表示状態は（もし、瞬時的な変化が観察できるのであれば）、まず、電流プログラムが行われる画素行は、リセット状態（黒表示状態）になり、1H後に電流プログラムが行われる（この時も黒表示状態である。トランジスタ11dがオフだからである。）。次に、EL素子15に電流が供給され、画素行は所定輝度（プログラムされた電流）で発光する。つまり、画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。なお、リセット後、1H後に電流プログラムを行うとしたがこの期間は、5H程度以内としてもよい。図33(a)のリセットが完全に行われるのに比較的長時間を必要とするからである。もし、この期間を5Hとすれば、5画素行が黒表示（電流プログラムの画素行もいれど6画素行）となるはずである。

【0285】

また、リセット状態は1画素行ずつ行うことに限定するものではなく、複数画素行ずつ同時にリセット状態にしてもよい。また、複数画素行ずつ同時にリセット状態にし、かつオーバーラップしながら走査してもよい。たとえば、4画素行を同時にリセットするのであれば、第1の水平走査期間（1単位）に、画素行（

1) (2) (3) (4) をリセット状態にし、次の第2の水平走査期間に、画素行(3) (4) (5) (6) をリセット状態にし、さらに次の第3の水平走査期間に、画素行(5) (6) (7) (8) をリセット状態にする。また、次の第4の水平走査期間に、画素行(7) (8) (9) (10) をリセット状態にするという駆動状態が例示される。なお、当然、図33(b)、図33(c)の駆動状態も図33(a)の駆動状態と同期して実施される。

【0286】

また、1画面の画素すべてを同時にあるいは走査状態でリセット状態にしてから、図33(b)(c)の駆動を実施してもよいことは言うまでもない。また、インターレース駆動状態(1画素行あるいは複数画素行の飛び越し走査)で、リセット状態(1画素行あるいは複数画素行飛び越し)にしてもよいことは言うまでもない。また、ランダムのリセット状態を実施してもよい。また、本発明のリセット駆動の説明は、画素行を操作する方式である(つまり、画面の上下方向の制御する)。しかし、リセット駆動の概念は、制御方向が画素行に限定されるものではない。たとえば、画素列方向にリセット駆動を実施してもよいことは言うまでもない。

【0287】

なお、図33のリセット駆動は、本発明のN倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。特に図22の構成は、間欠N/K倍パルス駆動(1画面に点灯領域を複数設ける駆動方法である。この駆動方法は、ゲート信号線17bを制御し、トランジスタ11dをオンオフ動作させることにより容易に実現できる。このことは以前に説明をした。)を容易に実現できるので、フリッカの発生もなく、良好な画像表示を実現できる。これは、図22あるいはその変形構成のすぐれた特徴である。また、他の駆動方法、たとえば、以降の説明する逆バイアス駆動方式、プリチャージ駆動方式、突き抜け電圧駆動方式などと組み合わせることによりさらに優れた画像表示を実現できることは言うまでもない。以上のように、本発明と同様にリセット駆動も本明細書の他の実施例と組み合わせて実施することができることは言うまでもない。

【 0 2 8 8 】

図 3 4 はリセット駆動を実現する表示装置の構成図である。ゲートドライバ回路 1 2 a は、図 3 2 におけるゲート信号線 1 7 a およびゲート信号線 1 7 b を制御する。ゲート信号線 1 7 a にオンオフ電圧を印加することによりトランジスタ 1 1 b がオンオフ制御される。また、ゲート信号線 1 7 b にオンオフ電圧を印加することによりトランジスタ 1 1 d がオンオフ制御される。ゲートドライバ回路 1 2 b は、図 3 2 におけるゲート信号線 1 7 c を制御する。ゲート信号線 1 7 c にオンオフ電圧を印加することによりトランジスタ 1 1 c がオンオフ制御される。

【 0 2 8 9 】

したがって、ゲート信号線 1 7 a はゲートドライバ回路 1 2 a で操作し、ゲート信号線 1 7 c はゲートドライバ回路 1 2 b で操作する。そのため、トランジスタ 1 1 b をオンさせて駆動用トランジスタ 1 1 a をリセットするタイミングと、トランジスタ 1 1 c をオンさせて駆動用トランジスタ 1 1 a に電流プログラムを行うタイミングとを自由に設定できる。他の構成などは、以前に説明したものと同一または類似するため説明を省略する。

【 0 2 9 0 】

図 3 5 はリセット駆動のタイミングチャートである。ゲート信号線 1 7 a にオン電圧を印加し、トランジスタ 1 1 b をオンさせ、駆動用トランジスタ 1 1 a をリセットしている時には、ゲート信号線 1 7 b にはオフ電圧を印加し、トランジスタ 1 1 d をオフ状態にしている。したがって、図 3 2 (a) の状態となっている。この期間に I b 電流が流れる。

【 0 2 9 1 】

図 3 5 のタイミングチャートでは、リセット時間は 2 H (ゲート信号線 1 7 a にオン電圧が印加され、トランジスタ 1 1 b がオンする) としているが、これに限定するものではない。2 H 以上でもよい。また、リセットが極めて高速に行える場合は、リセット時間は 1 H 未満であってもよい。また、リセット期間を何 H 期間にするかはゲートドライバ回路 1 2 に入力する DATA (S T) パルス期間で容易に変更できる。たとえば、S T 端子に入力する DATA を 2 H 期間の間 H

レベルとすれば、各ゲート信号線 1 7 a から出力されるリセット期間は 2 H 期間となる。同様に、S T 端子に入力する D A T A を 5 H 期間の間 H レベルとすれば、各ゲート信号線 1 7 a から出力されるリセット期間は 5 H 期間となる。

【 0 2 9 2 】

1 H 期間のリセット後、画素行 (1) のゲート信号線 1 7 c (1) に、オン電圧が印加される。トランジスタ 1 1 c がオンすることにより、ソース信号線 1 8 に印加されたプログラム電流 I_w がトランジスタ 1 1 c を介して駆動用トランジスタ 1 1 a に書き込まれる。

【 0 2 9 3 】

電流プログラム後、画素 (1) のゲート信号線 1 7 c にオフ電圧が印加され、トランジスタ 1 1 c がオフし、画素がソース信号線と切り離される。同時に、ゲート信号線 1 7 a にもオフ電圧が印加され、駆動用トランジスタ 1 1 a のリセット状態が解消される（なお、この期間は、リセット状態と表現するよりも、電流プログラム状態と表現する方が適切である）。また、ゲート信号線 1 7 b にはオン電圧が印加され、トランジスタ 1 1 d がオンして、駆動用トランジスタ 1 1 a にプログラムされた電流が E L 素子 1 5 に流れる。なお、画素行 (2) 以降についても、画素行 (1) と同様であり、また、図 3 5 からその動作は明らかであるから説明を省略する。

【 0 2 9 4 】

図 3 5 において、リセット期間は 1 H 期間であった。図 3 6 はリセット期間を 5 H とした実施例である。リセット期間を何 H 期間にするかはゲートドライバ回路 1 2 に入力する D A T A (S T) パルス期間で容易に変更できる。図 3 6 ではゲートドライバ回路 1 2 a の S T 1 端子に入力する D A T A を 5 H 期間の間 H レベルし、各ゲート信号線 1 7 a から出力されるリセット期間を 5 H 期間とした実施例である。リセット期間は、長いほど、リセットが完全に行われ、良好な黒表示を実現できる。しかし、リセット期間の割合分は表示輝度が低下することになる。

【 0 2 9 5 】

図 3 6 はリセット期間を 5 H とした実施例であった。また、このリセット状態

は連続状態であった。しかし、リセット状態は連続して行うことに限定されるものではない。たとえば、各ゲート信号線 1 7 a から出力される信号を 1 H ごとにオンオフ動作させてもよい。このようにオンオフ動作させるのは、シフトレジスタの出力段に形成されたイネーブル回路（図示せず）を操作することにより容易に実現できる。また、ゲートドライバ回路 1 2 に入力する DATA (ST) パルスを制御することで容易に実現できる。

【 0 2 9 6 】

図 3 4 の回路構成では、ゲートドライバ回路 1 2 a は少なくとも 2 つのシフトレジスタ回路（1 つはゲート信号線 1 7 a 制御用、他の 1 つはゲート信号線 1 7 b 制御用）が必要であった。そのため、ゲートドライバ回路 1 2 a の回路規模が大きくなるという課題があった。図 3 7 はゲートドライバ回路 1 2 a のシフトレジスタを 1 つにした実施例である。図 3 7 の回路を動作させた出力信号のタイミングチャートは図 3 5 のごとくなる。なお、図 3 5 と図 3 7 とはゲートドライバ回路 1 2 a、1 2 b から出力されているゲート信号線 1 7 の記号が異なっているので注意が必要である。

【 0 2 9 7 】

図 3 7 の OR 回路 3 7 1 が付加されていることから明らかであるが、各ゲート信号線 1 7 a の出力は、シフトレジスタ回路 6 1 a の前段出力との OR をとって出力される。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力される。一方、ゲート信号線 1 7 c はシフトレジスタ回路 6 1 a の出力がそのまま出力される。したがって、1 H 期間の間、オン電圧が印加される。

【 0 2 9 8 】

たとえば、シフトレジスタ回路 6 1 a の 2 番目に H レベル信号が出力されている時、画素 1 6 (1) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (1) が電流（電圧）プログラムの状態である。同時に、画素 1 6 (2) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (2) のトランジスタ 1 1 b がオン状態となり、画素 1 6 (2) の駆動用トランジスタ 1 1 a がリセットされる。

【 0 2 9 9 】

同様に、シフトレジスタ回路 6 1 a の 3 番目に H レベル信号が出力されている時、画素 1 6 (2) のゲート信号線 1 7 c にオン電圧が出力され、画素 1 6 (2) が電流 (電圧) プログラムの状態である。同時に、画素 1 6 (3) のゲート信号線 1 7 a にもオン電圧が出力され、画素 1 6 (3) トランジスタ 1 1 b がオン状態となり、画素 1 6 (3) 駆動用トランジスタ 1 1 a がリセットされる。つまり、2 H 期間、ゲート信号線 1 7 a からはオン電圧が出力され、ゲート信号線 1 7 c に 1 H 期間、オン電圧が出力される。

【 0 3 0 0 】

プログラム状態の時は、トランジスタ 1 1 b とトランジスタ 1 1 c が同時にオン状態となる (図 3 3 (b)) から、非プログラム状態 (図 3 3 (c)) に移行する際、トランジスタ 1 1 c がトランジスタ 1 1 b よりも先にオフ状態となると、図 3 3 (b) のリセット状態となってしまう。これを防止するためには、トランジスタ 1 1 c がトランジスタ 1 1 b よりもあとからオフ状態にする必要がある。そのためには、ゲート信号線 1 7 a がゲート信号線 1 7 c よりも先にオン電圧が印加されるように制御する必要がある。

【 0 3 0 1 】

以上の実施例は、図 3 2 (基本的には図 1) の画素構成に関する実施例であった。しかし、本発明はこれに限定されるものではない。たとえば、図 3 8 に示すようなカレントミラーの画素構成であっても実施することができる。なお、図 3 8 ではトランジスタ 1 1 e をオンオフ制御することにより、図 1 3、図 1 5 などで図示する N 倍パルス駆動を実現できる。図 3 9 は図 3 8 のカレントミラーの画素構成での実施例の説明図である。以下、図 3 9 を参照しながら、カレントミラーの画素構成におけるリセット駆動方式について説明をする。

【 0 3 0 2 】

図 3 9 (a) に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 e をオフ状態にし、トランジスタ 1 1 d をオン状態にする。すると、電流プログラム用トランジスタ 1 1 b のドレイン (D) 端子とゲート (G) 端子はショート状態となり、図に示すように I b 電流が流れる。一般的に、トランジスタ 1 1 b は 1 つ前のフィールド (フレーム) で電流プログラムされ、電流を流す能力がある (

ゲート電位はコンデンサ 1 9 に 1 F 期間保持され、画像表示をおこなっているから当然である。ただし、完全な黒表示を行っている場合、電流は流れない）。この状態でトランジスタ 1 1 e がオフ状態とし、トランジスタ 1 1 d がオン状態にすれば、駆動電流 I_b がトランジスタ 1 1 a のゲート (G) 端子の方向に流れる (ゲート (G) 端子とドレイン (D) 端子がショートされる)。そのため、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子とが同一電位となり、トランジスタ 1 1 a はリセット (電流を流さない状態) になる。また、駆動用トランジスタ 1 1 b のゲート (G) 端子は電流プログラム用トランジスタ 1 1 a のゲート (G) 端子と共通であるから、駆動用トランジスタ 1 1 b もリセット状態となる。

【 0 3 0 3 】

このトランジスタ 1 1 a、トランジスタ 1 1 b のリセット状態 (電流を流さない状態) は、図 5 1 などで説明する電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図 3 9 (a) の状態では、コンデンサ 1 9 の端子間には、オフセット電圧 (電流が流れ始める開始電圧。この電圧の絶対値以上の電圧を印加することにより、トランジスタ 1 1 に電流が流れる) が保持されていることになる。このオフセット電圧はトランジスタ 1 1 a、トランジスタ 1 1 b の特性に応じて異なる電圧値である。したがって、図 3 9 (a) の動作を実施することにより、各画素のコンデンサ 1 9 にはトランジスタ 1 1 a、トランジスタ 1 1 b が電流を流さない (つまり、黒表示電流 (ほとんど 0 に等しい)) 状態が保持されることになるのである (電流が流れ始める開始電圧にリセットされた)。

【 0 3 0 4 】

なお、図 3 9 (a) においても図 3 3 (a) と同様に、リセットの実施時間を長くするほど、 I_b 電流が流れ、コンデンサ 1 9 の端子電圧が小さくなる傾向がある。したがって、図 3 9 (a) の実施時間は固定値にする必要がある。実験および検討によれば、図 3 9 (a) の実施時間は、1 H 以上 1 0 H (1 0 水平走査期間) 以下とすることが好ましい。さらには 1 H 以上 5 H 以下とすることが好ましい。あるいは、2 0 μ s e c 以上 2 m s e c 以下とすることが好ましい。この

ことは図33の駆動方式でも同様である。

【0305】

図33(a)も同様であるが、図39(a)のリセット状態と、図39(b)の電流プログラム状態とを同期をとって行う場合は、図39(a)のリセット状態から、図39(b)の電流プログラム状態までの期間が固定値(一定値)となるから問題はない(固定値にされている)。つまり、図33(a)あるいは図39(a)のリセット状態から、図33(b)あるいは図39(b)の電流プログラム状態までの期間が、1H以上10H(10水平走査期間)以下とすることが好ましい。さらには1H以上5H以下にすることが好ましいのである。あるいは、20 μ sec以上2msec以下とすることが好ましいのである。この期間が短いと駆動用トランジスタ11が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ11が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面50の輝度も低下する。

【0306】

図39(a)を実施後、図39(b)の状態にする。図39(b)はトランジスタ11c、トランジスタ11dをオンさせ、トランジスタ11eをオフさせた状態である。図39(b)の状態は、電流プログラムを行っている状態である。つまり、ソースドライバ回路14からプログラム電流 I_w を出力(あるいは吸収)し、このプログラム電流 I_w を電流プログラム用トランジスタ11aに流す。このプログラム電流 I_w が流れるように、駆動用トランジスタ11bのゲート(G)端子の電位をコンデンサ19に設定するのである。

【0307】

もし、プログラム電流 I_w が0(A)(黒表示)であれば、トランジスタ11bは電流を図33(a)の電流を流さない状態が保持されたままとなるから、良好な黒表示を実現できる。また、図39(b)で白表示の電流プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧(各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧)から電流プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ1

1 a あるいはトランジスタ 1 1 b の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【0 3 0 8】

図 3 9 (b) の電流プログラミング後、図 3 9 (c) に図示するように、トランジスタ 1 1 c、トランジスタ 1 1 d とオフし、トランジスタ 1 1 e をオンさせて、駆動用トランジスタ 1 1 b からのプログラム電流 $I_w (= I_e)$ を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。図 3 9 (c) に関しても、以前に説明をしたので詳細は省略する。

【0 3 0 9】

図 3 3、図 3 9 で説明した駆動方式（リセット駆動）は、駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と EL 素子 1 5 間を切断（電流が流れない状態。トランジスタ 1 1 e あるいはトランジスタ 1 1 d で行う）し、かつ、駆動用トランジスタのドレイン（D）端子とゲート（G）端子（もしくはソース（S）端子とゲート（G）端子、さらに一般的に表現すれば駆動用トランジスタのゲート（G）端子を含む 2 端子）間をショートする第 1 の動作と、前記動作の後、駆動用トランジスタに電流（電圧）プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。なお、第 1 の動作における駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と EL 素子 1 5 間を切断するという動作は、必ずしも必須の条件ではない。もし、第 1 の動作における駆動用トランジスタ 1 1 a あるいはトランジスタ 1 1 b と EL 素子 1 5 間を切断せずに、駆動用トランジスタのドレイン（D）端子とゲート（G）端子間をショートする第 1 の動作を行っても多少のリセット状態のバラツキが発生する程度で済む場合があるからである。これは、作製したアレイのトランジスタ特性を検討して決定する。

【0 3 1 0】

図 3 9 のカレントミラーの画素構成は、電流プログラムトランジスタ 1 1 a をリセットすることにより、結果として駆動用トランジスタ 1 1 b をリセットする駆動方法であった。

【0 3 1 1】

図 3 9 のカレントミラーの画素構成では、リセット状態では、必ずしも駆動用トランジスタ 1 1 b と E L 素子 1 5 間を切断する必要はない。したがって、電流プログラム用トランジスタ a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば電流プログラム用トランジスタのゲート (G) 端子を含む 2 端子、あるいは駆動用トランジスタのゲート (G) 端子を含む 2 端子) 間をショートする第 1 の動作と、前記動作の後、電流プログラム用トランジスタに電流 (電圧) プログラムを行う第 2 の動作とを実施するものである。そして、少なくとも第 2 の動作は第 1 の動作後に行うものである。

【 0 3 1 2 】

画像表示状態は (もし、瞬時的な変化が観察できるのであれば)、まず、電流プログラムが行われる画素行は、リセット状態 (黒表示状態) になり、所定 H 後に電流プログラムが行われる。画面の上から下方向に、黒表示の画素行が移動し、この画素行が通りすぎた位置で画像が書き換わっていくように見えるはずである。

【 0 3 1 3 】

以上の実施例は、電流プログラムの画素構成を中心として説明をしたが、本発明のリセット駆動は電圧プログラムの画素構成にも適用することができる。図 4 3 は電圧プログラムの画素構成におけるリセット駆動を実施するための本発明の画素構成 (パネル構成) の説明図である。

【 0 3 1 4 】

図 4 3 の画素構成では、駆動用トランジスタ 1 1 a をリセット動作させるためのトランジスタ 1 1 e が形成されている。ゲート信号線 1 7 e にオン電圧が印加されることにより、トランジスタ 1 1 e がオンし、駆動用トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子間をショートさせる。また、E L 素子 1 5 と駆動用トランジスタ 1 1 a との電流経路を切断するトランジスタ 1 1 d が形成されている。以下、図 4 4 を参照しながら、電圧プログラムの画素構成における本発明のリセット駆動方式について説明をする。

【 0 3 1 5 】

図44(a)に図示するように、トランジスタ11b、トランジスタ11dをオフ状態にし、トランジスタ11eをオン状態にする。駆動用トランジスタ11aのドレイン(D)端子とゲート(G)端子はショート状態となり、図に示すようにI_b電流が流れる。そのため、トランジスタ11aのゲート(G)端子とドレイン(D)端子とが同一電位となり、駆動用トランジスタ11aはリセット(電流を流さない状態)になる。なお、トランジスタ11aをリセットする前に、図33あるいは図39で説明したように、HD同期信号に同期して、最初にトランジスタ11dをオンさせ、トランジスタ11eをオフさせて、トランジスタ11aに電流を流しておく。その後、図44(a)の動作を実施する。

【0316】

このトランジスタ11a、トランジスタ11bのリセット状態(電流を流さない状態)は、図41などで説明した電圧オフセットキャンセラ方式のオフセット電圧を保持した状態と等価である。つまり、図44(a)の状態では、コンデンサ19の端子間には、オフセット電圧(リセット電圧)が保持されていることになる。このリセット電圧は駆動用トランジスタ11aの特性に応じて異なる電圧値である。つまり、図44(a)の動作を実施することにより、各画素のコンデンサ19には駆動用トランジスタ11aが電流を流さない(つまり、黒表示電流(ほとんど0に等しい))状態が保持されることになるのである(電流が流れ始める開始電圧にリセットされた)。

【0317】

なお、電圧プログラムの画素構成においても、電流プログラムの画素構成と同様に、図44(a)のリセットの実施時間を長くするほど、I_b電流が流れ、コンデンサ19の端子電圧が小さくなる傾向がある。したがって、図44(a)の実施時間は固定値にする必要がある。実施時間は、0.2H以上5H(5水平走査期間)以下とすることが好ましい。さらには0.5H以上4H以下とすることが好ましい。あるいは、2μsec以上400μsec以下とすることが好ましい。

【0318】

また、ゲート信号線17eは前段の画素行のゲート信号線17aと共通にして

おくことが好ましい。つまり、ゲート信号線 17e と前段の画素行のゲート信号線 17a とをショート状態で形成する。この構成を前段ゲート制御方式と呼ぶ。なお、前段ゲート制御方式とは、着目画素行より少なくとも 1H 前以上に選択される画素行のゲート信号線波形を用いるものである。したがって、1 画素行前に限定されるものではない。たとえば、2 画素行前のゲート信号線の信号波形を用いて着目画素の駆動用トランジスタ 11a のリセットを実施してもよい。

【0319】

前段ゲート制御方式をさらに具体的に記載すれば以下ようになる。着目する画素行が (N) 画素行とし、そのゲート信号線がゲート信号線 17e (N)、ゲート信号線 17a (N) とする。1H 前に選択される前段の画素行は、画素行が (N-1) 画素行とし、そのゲート信号線がゲート信号線 17e (N-1)、ゲート信号線 17a (N-1) とする。また、着目画素行の次の 1H 後に選択される画素行が (N+1) 画素行とし、そのゲート信号線がゲート信号線 17e (N+1)、ゲート信号線 17a (N+1) とする。

【0320】

第 (N-1) H 期間では、第 (N-1) 画素行のゲート信号線 17a (N-1) にオン電圧が印加されると、第 (N) 画素行のゲート信号線 17e (N) にもオン電圧が印加される。ゲート信号線 17e (N) と前段の画素行のゲート信号線 17a (N-1) とがショート状態で形成されているからである。したがって、第 (N-1) 画素行の画素のトランジスタ 11b (N-1) がオンし、ソース信号線 18 の電圧が駆動用トランジスタ 11a (N-1) のゲート (G) 端子に書き込まれる。同時に、第 (N) 画素行の画素のトランジスタ 11e (N) がオンし、駆動用トランジスタ 11a (N) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 11a (N) がリセットされる。

【0321】

第 (N-1) H 期間の次の第 (N) 期間では、第 (N) 画素行のゲート信号線 17a (N) にオン電圧が印加されると、第 (N+1) 画素行のゲート信号線 17e (N+1) にもオン電圧が印加される。したがって、第 (N) 画素行の画素のトランジスタ 11b (N) がオンし、ソース信号線 18 に印加されている電圧

が駆動用トランジスタ 1 1 a (N) のゲート (G) 端子に書き込まれる。同時に、第 (N+1) 画素行の画素のトランジスタ 1 1 e (N+1) がオンし、駆動用トランジスタ 1 1 a (N+1) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 1 1 a (N+1) がリセットされる。

【 0 3 2 2 】

以下同様に、第 (N) H 期間の次の第 (N+1) 期間では、第 (N+1) 画素行のゲート信号線 1 7 a (N+1) にオン電圧が印加されると、第 (N+2) 画素行のゲート信号線 1 7 e (N+2) にもオン電圧が印加される。したがって、第 (N+1) 画素行の画素のトランジスタ 1 1 b (N+1) がオンし、ソース信号線 1 8 に印加されている電圧が駆動用トランジスタ 1 1 a (N+1) のゲート (G) 端子に書き込まれる。同時に、第 (N+2) 画素行の画素のトランジスタ 1 1 e (N+2) がオンし、駆動用トランジスタ 1 1 a (N+2) のゲート (G) 端子とドレイン (D) 端子間がショートされ、駆動用トランジスタ 1 1 a (N+2) がリセットされる。

【 0 3 2 3 】

以上の本発明の前段ゲート制御方式では、1 H 期間、駆動用トランジスタ 1 1 a はリセットされ、その後、電圧 (電流) プログラムが実施される。

【 0 3 2 4 】

図 3 3 (a) も同様であるが、図 4 4 (a) のリセット状態と、図 4 4 (b) の電圧プログラム状態とを同期をとって行う場合は、図 4 4 (a) のリセット状態から、図 4 4 (b) の電流プログラム状態までの期間が固定値 (一定値) となるから問題はない (固定値にされている)。この期間が短いと駆動用トランジスタ 1 1 が完全にリセットされない。また、あまりにも長いと駆動用トランジスタ 1 1 a が完全にオフ状態となり、今度は電流をプログラムするのに長時間を要するようになる。また、画面 1 2 の輝度も低下する。

【 0 3 2 5 】

図 4 4 (a) を実施後、図 4 4 (b) の状態にする。図 4 4 (b) はトランジスタ 1 1 b をオンさせ、トランジスタ 1 1 e、トランジスタ 1 1 d をオフさせた状態である。図 4 4 (b) の状態は、電圧プログラムを行っている状態である。

つまり、ソースドライバ回路 1 4 からプログラム電圧を出力し、このプログラム電圧を駆動用トランジスタ 1 1 a のゲート (G) 端子に書き込む (駆動用トランジスタ 1 1 a のゲート (G) 端子の電位をコンデンサ 1 9 に設定する)。なお、電圧プログラム方式の場合は、電圧プログラム時にトランジスタ 1 1 d を必ずしもオフさせる必要はない。また、図 1 3、図 1 5 などの N 倍パルス駆動などと組み合わせること、あるいは以上のような、間欠 N / K 倍パルス駆動 (1 画面に点灯領域を複数設ける駆動方法である。この駆動方法は、トランジスタ 1 1 e をオンオフ動作させることにより容易に実現できる) を実施する必要がなければ、トランジスタ 1 1 e が不要でない。このことは以前に説明をしたので、説明を省略する。

【 0 3 2 6 】

図 4 3 の構成あるいは図 4 4 の駆動方法で白表示の電圧プログラムを行う場合は、各画素の駆動用トランジスタの特性バラツキが発生していても、完全に黒表示状態のオフセット電圧 (各駆動用トランジスタの特性に応じて設定された電流が流れる開始電圧) から電圧プログラムを行う。したがって、目標の電流値にプログラムされる時間が階調に応じて等しくなる。そのため、トランジスタ 1 1 a の特性バラツキによる階調誤差がなく、良好な画像表示を実現できる。

【 0 3 2 7 】

図 4 4 (b) の電流プログラミング後、図 4 4 (c) に図示するように、トランジスタ 1 1 b をオフし、トランジスタ 1 1 d をオンさせて、駆動用トランジスタ 1 1 a からのプログラム電流を EL 素子 1 5 に流し、EL 素子 1 5 を発光させる。

【 0 3 2 8 】

以上のように、図 4 3 の電圧プログラムにおける本発明のリセット駆動は、まず、HD 同期信号に同期して、最初にトランジスタ 1 1 d をオンさせ、トランジスタ 1 1 e をオフさせて、トランジスタ 1 1 a に電流を流す第 1 の動作と、トランジスタ 1 1 a と EL 素子 1 5 間を切断し、かつ、駆動用トランジスタ 1 1 a のドレイン (D) 端子とゲート (G) 端子 (もしくはソース (S) 端子とゲート (G) 端子、さらに一般的に表現すれば駆動用トランジスタのゲート (G) 端子を

含む 2 端子) 間をショートする第 2 の動作と、前記動作の後、駆動用トランジスタ 1 1 a に電圧プログラムを行う第 3 の動作を実施するものである。

【 0 3 2 9 】

以上の実施例では、駆動用トランジスタ素子 1 1 a (図 1 の画素構成の場合) から E L 素子 1 5 に流す電流を制御するのに、トランジスタ 1 1 d をオンオフさせて行う。トランジスタ 1 1 d をオンオフさせるためには、ゲート信号線 1 7 b を走査する必要があり、走査のためには、シフトレジスタ 6 1 (ゲート回路 1 2) が必要となる。しかし、シフトレジスタ 6 1 は規模が大きく、ゲート信号線 1 7 b の制御にシフトレジスタ 6 1 を用いたのでは狭額縁化できない。図 4 0 で説明する方式は、この課題を解決するものである。

【 0 3 3 0 】

なお、本発明は、主として図 1 などに図示する電圧プログラムの画素構成を例示して説明をするが、これに限定するものではなく、図 3 8 などで説明した他の電圧プログラム構成 (カレントミラーの画素構成) であっても適用できることはいうまでもない。また、ブロックでオンオフする技術的概念は、図 4 1 などの電圧プログラムの画素構成であっても適用できることは言うまでもない。また、本発明は、E L 素子 1 5 に流れる電流を間欠にする方式であるから、図 5 0 などで説明する逆バイアス電圧を印加する方式とも組み合わせることができることは言うまでもない。以上のように、本発明は他の実施例と組み合わせて実施することができる。

【 0 3 3 1 】

図 4 0 はブロック駆動方式の実施例である。まず、説明を容易にするため、ゲートドライバ回路 1 2 は基板 7 1 に直接形成したか、もしくはシリコンチップのゲートドライバ I C 1 2 を基板 7 1 に積載したとして説明をする。また、ソースドライバ 1 4 およびソース信号線 1 8 は図面が煩雑になるため省略する。

【 0 3 3 2 】

図 4 0 において、ゲート信号線 1 7 a はゲートドライバ回路 1 2 と接続されている。一方、各画素のゲート信号線 1 7 b は点灯制御線 4 0 1 と接続されている。図 4 0 では 4 本のゲート信号線 1 7 b が 1 つの点灯制御線 4 0 1 と接続されて

いる。

【 0 3 3 3 】

なお、4本のゲート信号線17bでブロックするというのはこれに限定するものではなく、それ以上であってもよいことは言うまでもない。一般的に表示領域50は少なくとも5以上に分割することが好ましい。さらに好ましくは、10以上に分割することが好ましい。さらには、20以上に分割することが好ましい。分割数が少ないと、フリッカが見えやすい。あまりにも分割数が多いと、点灯制御線401の本数が多くなり、制御線401のレイアウトが困難になる。

【 0 3 3 4 】

したがって、QCIF表示パネルの場合は、垂直走査線の本数が220本であるから、少なくとも、 $220 / 5 = 44$ 本以上でブロック化する必要があり、好ましくは、 $220 / 10 = 22$ 以上でブロック化する必要がある。ただし、奇数行と偶数行で2つのブロック化を行った場合は、低フレームレートでも比較的フリッカの発生が少ないため、2つのブロック化で十分の場合がある。

【 0 3 3 5 】

図40の実施例では、点灯制御線401a、401b、401c、401d…
…401nと順次、オン電圧(Vg1)を印加するか、もしくはオフ電圧(Vgh)を印加し、ブロックごとにEL素子15に流れる電流をオンオフさせる。

なお、図40の実施例では、ゲート信号線17bと点灯制御線401とがクロスすることがない。したがって、ゲート信号線17bと点灯制御線401とのショート欠陥は発生しない。また、ゲート信号線17bと点灯制御線401とが容量結合することがないため、点灯制御線401からゲート信号線17b側を見た時の容量付加が極めて小さい。したがって、点灯制御線401を駆動しやすい。

【 0 3 3 6 】

ゲートドライバ12にはゲート信号線17aが接続されている。ゲート信号線17aにオン電圧を印加することにより、画素行が選択され、選択された各画素

のトランジスタ 1 1 b、1 1 c はオンして、ソース信号線 1 8 に印加された電流（電圧）を各画素のコンデンサ 1 9 にプログラムする。一方、ゲート信号線 1 7 b は各画素のトランジスタ 1 1 d のゲート（G）端子と接続されている。したがって、点灯制御線 4 0 1 にオン電圧（ V_{gl} ）が印加されたとき、駆動用トランジスタ 1 1 a と E L 素子 1 5 との電流経路を形成し、逆にオフ電圧（ V_{gh} ）が印加された時は、E L 素子 1 5 のアノード端子をオープンにする。

【 0 3 3 7 】

なお、点灯制御線 4 0 1 に印加するオンオフ電圧の制御タイミングと、ゲートドライバ回路 1 2 がゲート信号線 1 7 a に出力する画素行選択電圧（ V_{gl} ）のタイミングは 1 水平走査クロック（1 H）に同期していることが好ましい。しかし、これに限定するものではない。

【 0 3 3 8 】

点灯制御線 4 0 1 に印加する信号は単に、E L 素子 1 5 への電流をオンオフさせるだけである。また、ソースドライバ 1 4 が出力する画像データと同期がとれている必要もない。点灯制御線 4 0 1 に印加する信号は、各画素 1 6 のコンデンサ 1 9 にプログラムされた電流を制御するものだからである。したがって、必ずしも、画素行の選択信号と同期がとれている必要はない。また、同期する場合であってもクロックは 1 H 信号に限定されるものではなく、 $1/2$ H でも、 $1/4$ H であってもよい。

【 0 3 3 9 】

図 3 8 に図示したカレントミラーの画素構成の場合であっても、ゲート信号線 1 7 b を点灯制御線 4 0 1 に接続することにより、トランジスタ 1 1 e をオンオフ制御できる。したがって、ブロック駆動を実現できる。

【 0 3 4 0 】

なお、図 3 2 において、ゲート信号線 1 7 a を点灯制御線 4 0 1 に接続し、リセットを実施すれば、ブロック駆動を実現できる。つまり、本発明のブロック駆動とは、1 つの制御線で、複数の画素行を同時に非点灯（あるいは黒表示）とする駆動方法である。

【 0 3 4 1 】

以上の実施例は、1画素行ごとに1本の選択画素行を配置（形成）する構成であった。本発明は、これに限定するものではなく、複数の画素行で1本の選択ゲート信号線を配置（形成）してもよい。

【0342】

図41はその実施例である。なお、説明を容易にするため、画素構成は図1の場合を主として例示して説明をする。図41では画素行の選択ゲート信号線17aは3つの画素（16R、16G、16B）を同時に選択する。Rの記号とは赤色の画素関連を意味し、Gの記号とは緑色の画素関連を意味し、Bの記号とは青色の画素関連を意味するものとする。

【0343】

したがって、ゲート信号線17aの選択により、画素16R、画素16Gおよび画素16Bが同時に選択されデータ書き込み状態となる。画素16Rはソース信号線18Rからデータをコンデンサ19Rに書き込み、画素16Gはソース信号線18Gからデータをコンデンサ19Gに書き込む。画素16Bはソース信号線18Bからデータをコンデンサ19Bに書き込む。

【0344】

画素16Rのトランジスタ11dはゲート信号線17bRに接続されている。また、画素16Gのトランジスタ11dはゲート信号線17bGに接続され、画素16Bのトランジスタ11dはゲート信号線17bBに接続されている。したがって、画素16RのEL素子15R、画素16GのEL素子15G、画素16BのEL素子15Bは別個にオンオフ制御することができる。つまり、EL素子15R、EL素子15G、EL素子15Bはそれぞれのゲート信号線17bR、17bG、17bBを制御することにより、点灯時間、点灯周期を個別に制御可能である。

【0345】

この動作を実現するためには、図6の構成において、ゲート信号線17aを走査するシフトレジスタ回路61と、ゲート信号線17bRを走査するシフトレジスタ回路61と、ゲート信号線17bGを走査するシフトレジスタ回路61と、ゲート信号線17bBを走査するシフトレジスタ回路61の4つを形成（配置）

することが適切である。

【0346】

なお、ソース信号線18に所定電流のN倍の電流を流し、EL素子15に所定電流のN倍の電流を $1/N$ の期間流すとしたが、実用上はこれを実現できない。実際にはゲート信号線17に印加した信号パルスがコンデンサ19に突き抜け、コンデンサ19に所望の電圧値（電流値）を設定できないからである。一般的にコンデンサ19には所望の電圧値（電流値）よりも低い電圧値（電流値）が設定される。たとえば、10倍の電流値を設定するように駆動しても、5倍程度の電流しかコンデンサ19には設定されない。たとえば、 $N=10$ としても実際にEL素子15に流れる電流は $N=5$ の場合と同一となる。したがって、本発明はN倍の電流値を設定し、N倍に比例したあるいは対応する電流をEL素子15に流れるように駆動する方法である。もしくは、所望値よりも大きい電流をEL素子15にパルス状に印加する駆動方法である。

【0347】

また、所望値より電流（そのまま、EL素子15に連続して電流を流すと所望輝度よりも高くなるような電流）を駆動用トランジスタ11a（図1を例示する場合）に電流（電圧）プログラムを行い、EL素子15に流れる電流を間欠にすることにより、所望のEL素子の発光輝度を得るものである。

【0348】

なお、このコンデンサ19への突き抜けによる補償回路は、ソースドライバ回路14内に導入する。この事項については後ほど説明をする。

【0349】

また、図1などのスイッチングトランジスタ11b、11cなどはNチャンネルで形成することが好ましい。コンデンサ19への突き抜け電圧が低減するからである。また、コンデンサ19のオフリークも減少するから、10Hz以下の低いフレームレートにも適用できるようになる。

【0350】

また、画素構成によっては、突き抜け電圧がEL素子15に流れる電流を増加させる方向に作用する場合は、白ピーク電流が増加し、画像表示のコントラスト

感が増加する。したがって、良好な画像表示を実現できる。

【0351】

逆に、図1のスイッチングトランジスタ11b、11cをPチャンネルにすることにより突き抜けを発生させて、より黒表示を良好にする方法も有効である。Pチャンネルトランジスタ11bがオフするときには V_{gh} 電圧となる。そのため、コンデンサ19の端子電圧が V_{dd} 側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。また、第1階調表示とする電流値を大きくすることができるから(階調1までに一定のベース電流を流すことができる)、電流プログラム方式で書き込み電流不足を軽減できる。

【0352】

その他、ゲート信号線17aとトランジスタ11aのゲート(G)端子間に積極的にコンデンサ19bを形成し、突き抜け電圧を増加させる構成も有効である(図42(a)を参照)。このコンデンサ19bの容量は正規のコンデンサ19aの容量の $1/50$ 以上 $1/10$ 以下にすることが好ましい。さらには $1/40$ 以上 $1/15$ 以下とすることが好ましい。もしくはトランジスタ11bのソースゲート(ソースドレイン(SG)もしくはゲートドレイン(GD))容量の1倍以上10倍以下にする。さらに好ましくは、SG容量の2倍以上6倍以下にすることが好ましい。なお、コンデンサ19bの形成位置は、コンデンサ19aの一方の端子(トランジスタ11aのゲート(G)端子)とトランジスタ11dのソース(S)端子間に形成または配置してもよい。この場合も容量などは先に説明した値と同様である。

【0353】

突き抜け電圧発生用のコンデンサ19bの容量(容量を C_b (pF)とする)は、電荷保持用のコンデンサ19aの容量(容量を C_a (pF)とする)と、トランジスタ11aの白ピーク電流時(画像表示で表示最大輝度の白ラスター時)のゲート(G)端子電圧 V_w を黒表示での電流を流す(基本的には電流は0である。つまり、画像表示で黒表示としている時)時のゲート(G)端子電圧 V_b が関連する。これらの関係は、

$$C_a / (200 C_b) \leq |V_w - V_b| \leq C_a / (8 C_b)$$

の条件を満足させることが好ましい。なお、 $|V_w - V_b|$ とは、駆動用トランジスタの白表示時の端子電圧と黒表示時の端子電圧との差の絶対値である（つまり、変化する電圧幅）。

【0354】

さらに好ましくは、

$$C_a / (100 C_b) \leq |V_w - V_b| \leq C_a / (10 C_b)$$

の条件を満足させることが好ましい。

【0355】

トランジスタ11bはPチャンネルにし、このPチャンネルは少なくともダブルゲート以上にする。このましくは、トリプルゲート以上にする。さらに好ましくは、4ゲート以上にする。そして、トランジスタ11bのソースゲート（SGもしくはゲートドレイン（GD））容量（トランジスタがオンしているときの容量）の1倍以上10倍以下のコンデンサを並列に形成または配置することが好ましい。

【0356】

なお、以上の事項は、図1の画素構成だけでなく、他の画素構成でも有効である。たとえば、図42（b）に図示するようにカレントミラーの画素構成において、突き抜けを発生させるコンデンサをゲート信号線17aまたは17bとトランジスタ11aのゲート（G）端子間に配置または形成する。スイッチングトランジスタ11cのNチャンネルはダブルゲート以上とする。もしくはスイッチングトランジスタ11c、11dをPチャンネルとし、トリプルゲート以上とする。

【0357】

41の電圧プログラムの構成にあっては、ゲート信号線17cと駆動用トランジスタ11aのゲート（G）端子間に突き抜け電圧発生用のコンデンサ19cを形成または配置する。また、スイッチングトランジスタ11cはトリプルゲート以上とする。突き抜け電圧発生用のコンデンサ19cはトランジスタ11cのドレイン（D）端子（コンデンサ19b側）と、ゲート信号線17a間に配置して

もよい。また、突き抜け電圧発生用のコンデンサ19cはトランジスタ11aのゲート(G)端子と、ゲート信号線17a間に配置してもよい。また、突き抜け電圧発生用のコンデンサ19cはトランジスタ11cのドレイン(D)端子(コンデンサ19b側)と、ゲート信号線17c間に配置してもよい。

【0358】

また、電荷保持用のコンデンサ19aの容量を C_a とし、スイッチング用のトランジスタ11cまたは11d)のソースゲート容量 C_c (突き抜け用のコンデンサがある場合には、その容量を加えた値)とし、ゲート信号線に印加される高電圧信号(V_{gh})とし、ゲート信号線に印加される低電圧信号(V_{gl})とした時、以下の条件を満足するように構成することにより、良好な黒表示を実現できる。

【0359】

$$0.05(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.8(V)$$

さらに好ましくは、以下の条件を満足させることが好ましい。

【0360】

$$0.1(V) \leq (V_{gh} - V_{gl}) \times (C_c / C_a) \leq 0.5(V)$$

以上の事項は図43などの画素構成にも有効である。図43の電圧プログラムの画素構成では、トランジスタ11aのゲート(G)端子とゲート信号線17a間に突き抜け電圧発生用のコンデンサ19bを形成または配置する。

【0361】

なお、突き抜け電圧を発生させるコンデンサ19bは、トランジスタのソース配線とゲート配線で形成する。ただし、トランジスタ11のソース幅を広げて、ゲート信号線17と重ねて形成する構成であるから、実用上は明確にトランジスタと分離できない構成である場合がある。

【0362】

また、スイッチングトランジスタ11b、11c(図1の構成の場合)を必要以上に大きく形成することにより、見かけ上、突き抜け電圧用のコンデンサ19bを構成する方式も本発明の範疇である。スイッチングトランジスタ11b、1

1c はチャンネル幅 W / チャンネル長 $L = 6 / 6 \mu m$ で形成することが多い。これを W と大きくすることも突き抜け電圧用のコンデンサ 19b を構成することになる。例えば、 $W : L$ の比を 2 : 1 以上 20 : 1 以下にする構成が例示される。好ましくは、 $W : L$ の比を 3 : 1 以上 10 : 1 以下にすることがよい。

【0363】

また、突き抜け電圧用のコンデンサ 19b は、画素が変調する R、G、B で大きさ（容量）を変化させることが好ましい。R、G、B の各 EL 素子 15 の駆動電流が異なるためである。また、EL 素子 15 のカットオフ電圧が異なるためである。そのため、EL 素子 15 の駆動用トランジスタ 11a のゲート（G）端子にプログラムする電圧（電流）が異なるからである。たとえば、R の画素のコンデンサ 11bR を 0.02 pF とした場合、他の色（G、B の画素）のコンデンサ 11bG、11bB を 0.025 pF とする。また、R の画素のコンデンサ 11bR を 0.02 pF とした場合、G の画素のコンデンサ 11bG と 0.03 pF とし、B の画素のコンデンサ 11bB を 0.025 pF とするなどである。このように、R、G、B の画素ごとにコンデンサ 11b の容量を変化させることによりオフセットの駆動電流を RGB ごとに調整することができる。したがって、各 RGB の黒表示レベルを最適値にすることができる。

【0364】

以上は、突き抜け電圧発生用のコンデンサ 19b の容量を変化させるとしたが、突き抜け電圧は、保持用のコンデンサ 19a と突き抜け電圧発生用のコンデンサ 19b との容量の相対的なものである。したがって、コンデンサ 19b を R、G、B の画素で変化することに限定するものではない。つまり、保持用コンデンサ 19a の容量を変化させてもよい。たとえば、R の画素のコンデンサ 11aR を 1.0 pF とした場合、G の画素のコンデンサ 11aG と 1.2 pF とし、B の画素のコンデンサ 11aB を 0.9 pF とするなどである。この時、突き抜け用コンデンサ 19b の容量は、R、G、B で共通の値とする。したがって、本発明は、保持用のコンデンサ 19a と突き抜け電圧発生用のコンデンサ 19b との容量比を、R、G、B の画素のうち、少なくとも 1 つを他と異ならせたものである。なお、保持用のコンデンサ 19a の容量と突き抜け電圧発生用のコンデンサ

19bとの容量との両方をR、G、B画素で変化させてもよい。

【0365】

また、画面50の左右で突き抜け電圧用のコンデンサ19bの容量を変化させてもよい。ゲートドライバ12に近い位置にある画素16は信号供給側に配置されているので、ゲート信号の立ち上がりが速い（スルーレートが高いからである）ため、突き抜け電圧が大きくなる。ゲート信号線17端に配置（形成）されている画素は、信号波形が鈍っている（ゲート信号線17には容量があるためである）。ゲート信号の立ち上がりが遅い（スルーレートが遅い）ため、突き抜け電圧が小さくなるためである。したがって、ゲートドライバ12との接続側に近い画素16の突き抜け電圧用コンデンサ19bを小さくする。また、ゲート信号線17端はコンデンサ19bを大きくする。たとえば、画面の左右でコンデンサの容量は10%程度変化させる。

【0366】

発生する突き抜け電圧は、保持用コンデンサ19aと突き抜け電圧発生用のコンデンサ19bの容量比で決定される。したがって、画面の左右で突き抜け電圧発生用のコンデンサ19bの大きさを変化させるとしたが、これに限定するものではない。突き抜け電圧発生用のコンデンサ19bは画面の左右で一定にし、電荷保持用のコンデンサ19aの容量を画面の左右で変化させてもよい。また、突き抜け電圧発生用のコンデンサ19bと、電荷保持用のコンデンサ19a容量の両方を画面の左右で変化させてもよいことは言うまでもない。

【0367】

本発明のN倍パルス駆動の課題にEL素子15に印加する電流が瞬時的ではあるが、従来と比較してN倍大きいという問題がある。電流が大きいとEL素子の寿命を低下させる場合がある。この課題を解決するためには、EL素子15に逆バイアス電圧 V_m を印加することが有効である。

【0368】

EL素子15において、電子は陰極（カソード）より電子輸送層に注入されると同時に正孔も陽極（アノード）から正孔輸送層に注入される。注入された電子、正孔は印加電界により対極に移動する。その際、有機層中にトラップされたり

、発光層界面でのエネルギー準位の差によりキャリアが蓄積されたりする。

【0369】

有機層中に空間電荷が蓄積されると分子が酸化もしくは還元され、生成されたラジカル陰イオン分子もしくはラジカル陽イオン分子が不安定であることで、膜質の低下により輝度の低下および定電流駆動時の駆動電圧の上昇を招くことが知られている。これを防ぐために、一例としてデバイス構造を変化させ、逆方向電圧を印加している。

【0370】

逆バイアス電圧が印加されると、逆方向電流が印加されるため、注入された電子及び正孔がそれぞれ陰極及び陽極へ引き抜かれる。これにより、有機層中の空間電荷形成を解消し、分子の電気化学的劣化を抑えることで寿命を長くすることが可能となる。

【0371】

図45は、逆バイアス電圧 V_m とEL素子15の端子電圧の変化を示している。この端子電圧とは、EL素子15に定格電流を印加した時である。図45はEL素子15に流す電流が電流密度100A/平方メートルの場合であるが、図45の傾向は、電流密度50～100A/平方メートルの場合とほとんど差がなかった。したがって、広い範囲の電流密度で適用できると推定される。

【0372】

縦軸は初期のEL素子15の端子電圧に対して、2500時間後の端子電圧との比である。たとえば、経過時間0時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧が8(V)とし、経過時間2500時間において、電流密度100A/平方メートルの電流の印加した時の端子電圧が10(V)とすれば、端子電圧比は、 $10/8 = 1.25$ である。

【0373】

横軸は、逆バイアス電圧 V_m と1周期に逆バイアス電圧を印加した時間 t_1 の積に対する定格端子電圧 V_0 の比である。たとえば、60Hz（とくに60Hzに意味はないが）で、逆バイアス電圧 V_m を印加した時間が1/2（半分）であれば、 $t_1 = 0.5$ である。また、経過時間0時間において、電流密度100A

／平方メートルの電流の印加した時の端子電圧（定格端子電圧）が8（V）とし、逆バイアス電圧 V_m を8（V）とすれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2) = | -8 \text{ (V)} \times 0.5 | / (8 \text{ (V)} \times 0.5) = 1.0$ となる。

【0374】

図45によれば、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.0以上で端子電圧比の変化はなくなる（初期の定格端子電圧から変化しない）。逆バイアス電圧 V_m の印加による効果がよく発揮されている。しかし、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が1.75以上で端子電圧比は増加する傾向にある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.0以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は1.75以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

【0375】

ただし、バイアス駆動を行う場合は、逆バイアス V_m と定格電流とを交互に印加する必要がある。図46のようにサンプルAとBとの単位時間あたりの平均輝度を等しくしようとすると、逆バイアス電圧を印加する場合は、印加しない場合に比較して瞬時的には高い電流を流す必要がある。そのため、逆バイアス電圧 V_m を印加する場合（図46のサンプルA）のEL素子15の端子電圧も高くなる。

【0376】

しかし、図45では、逆バイアス電圧を印加する駆動方法でも、定格端子電圧 V_0 とは、平均輝度を満足する端子電圧（つまり、EL素子15を点灯する端子電圧）とする（本明細書の具体例によれば、電流密度200A／平方メートルの電流の印加した時の端子電圧である。ただし、1／2デューティであるので、1周期の平均輝度は電流密度200A／平方メートルでの輝度となる）。

【0377】

以上の事項は、E L 素子 1 5 を、白ラスター表示（画面全体の E L 素子に最大電流を印加している場合）を想定している。しかし、E L 表示装置の映像表示を行う場合は、自然画であり、階調表示を行う。したがって、たえず、E L 素子 1 5 の白ピーク電流（最大白表示で流れる電流。本明細書の具体例では、平均電流密度 1 0 0 A / 平方メートルの電流）が流れているのではない。

【 0 3 7 8 】

一般的に、映像表示を行う場合は、各 E L 素子 1 5 に印加される電流（流れる電流）は、白ピーク電流（定格端子電圧時に流れる電流。本明細書の具体例によれば、電流密度 1 0 0 A / 平方メートルの電流）の約 0. 2 倍である。

【 0 3 7 9 】

したがって、図 4 5 の実施例では、映像表示を行う場合は横軸の値に 0. 2 をかけるものとする必要がある。したがって、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は 0. 2 以上にするように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 （もしくは t_2 、あるいは t_1 と t_2 との比率など）を決定するとよい。また、好ましくは、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ は $1. 75 \times 0. 2 = 0. 35$ 以下になるように逆バイアス電圧 V_m の大きさおよび印加時間比 t_1 などを決定するとよい。

【 0 3 8 0 】

つまり、図 4 5 の横軸（ $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ ）において、1. 0 の値を 0. 2 とする必要がある。したがって、表示パネルに映像を表示する（この使用状態が通常であろう。白ラスターを常時表示することはないであろう）時は、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ が 0. 2 よりも大きくなるように、逆バイアス電圧 V_m を所定時間 t_1 印加するようにする。また、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が大きくなっても、図 4 5 で図示するように、端子電圧比の増加は大きくない。したがって、上限値は白ラスター表示を実施することも考慮して、 $| \text{逆バイアス電圧} \times t_1 | / (\text{定格端子電圧} \times t_2)$ の値が 1. 75 以下を満足するようにすればよい。

【 0 3 8 1 】

以下、図面を参照しながら、本発明の逆バイアス方式について説明をする。なお、本発明はEL素子15に電流が流れていない期間に逆バイアス電圧 V_m （電流）を印加することを基本とする。しかし、これに限定するものではない。たとえば、EL素子15に電流が流れている状態で、強制的に逆バイアス電圧 V_m を印加してもよい。なお、この場合は、結果としてEL素子15には電流が流れず、非点灯状態（黒表示状態）となるであろう。また、本発明は、主として電流プログラムの画素構成で逆バイアス電圧 V_m を印加することを中心として説明するがこれに限定するものではない。

【0382】

逆バイアス駆動の画素構成では、図47に図示するように、トランジスタ11gをNチャンネルとする。もちろん、Pチャンネルでもよい。

【0383】

図47では、ゲート電位制御線473に印加する電圧を逆バイアス線471に印加している電圧よりも高くすることにより、トランジスタ11g（N）がオンし、EL素子15のアノード電極に逆バイアス電圧 V_m が印加される。

【0384】

また、図47の画素構成などにおいて、ゲート電位制御線473を常時、電位固定して動作させてもよい。たとえば、図47において V_k 電圧が0（V）とする時、ゲート電位制御線473の電位を0（V）以上（好ましくは2（V）以上）にする。なお、この電位を V_{sg} とする。この状態で、逆バイアス線471の電位を逆バイアス電圧 V_m （0（V）以下、好ましくは V_k より-5（V）以上小さい電圧）にすると、トランジスタ11g（N）がオンし、EL素子15のアノードに、逆バイアス電圧 V_m が印加される。逆バイアス線471の電圧をゲート電位制御線473の電圧（つまり、トランジスタ11gのゲート（G）端子電圧）よりも高くすると、トランジスタ11gはオフ状態であるため、EL素子15には逆バイアス電圧 V_m は印加されない。もちろん、この状態の時に、逆バイアス線471をハイインピーダンス状態（オープン状態など）としてもよいことは言うまでもない。

【0385】

また、図 4 8 に図示するように、逆バイアス線 4 7 1 を制御するゲートドライバ回路 1 2 c を別途形成または配置してもよい。ゲートドライバ回路 1 2 c は、ゲートドライバ回路 1 2 a と同様に順次シフト動作し、シフト動作に同期して、逆バイアス電圧を印加する位置がシフトされる。

【 0 3 8 6 】

以上の駆動方法では、トランジスタ 1 1 g のゲート (G) 端子は電位固定し、逆バイアス線 4 7 1 の電位を変化させるだけで、E L 素子 1 5 に逆バイアス電圧 V_m を印加することができる。したがって、逆バイアス電圧 V_m の印加制御が容易である。また、トランジスタ 1 1 g のゲート (G) 端子とソース (S) 端子間に印加される電圧を低減できる。このことは、トランジスタ 1 1 g が P チャンネルの場合も同様である。

【 0 3 8 7 】

また、逆バイアス電圧 V_m の印加は、E L 素子 1 5 に電流を流していない時に行うものである。したがって、トランジスタ 1 1 d がオンしていない時に、トランジスタ 1 1 g をオンさせることにより行えばよい。つまり、トランジスタ 1 1 d のオンオフロジックの逆をゲート電位制御線 4 7 3 に印加すればよい。たとえば、図 4 7 では、ゲート信号線 1 7 b にトランジスタ 1 1 d およびトランジスタ 1 1 g のゲート (G) 端子を接続すればよい。トランジスタ 1 1 d は P チャンネルであり、トランジスタ 1 1 g は N チャンネルであるため、オンオフ動作は反対となる。

【 0 3 8 8 】

図 4 9 は逆バイアス駆動のタイミングチャートである。なお、チャート図において (1) (2) などの添え字は、画素行を示している。説明を容易にするため、(1) とは、第 1 画素行目と示し、(2) とは第 2 画素行目を示すとして説明をするが、これに限定するものではない。(1) が N 画素行目を示し、(2) が N+1 画素行目を示すと考えても良い。以上のことは他の実施例でも、特例を除いて同様である。また、図 4 9 などの実施例では、図 1 などの画素構成を例示して説明をするがこれに限定されるものではない。たとえば、図 4 1、図 3 8 などの画素構成においても適用できるものである。

【0389】

第1画素行目のゲート信号線17a(1)にオン電圧(V_{g1})が印加されている時には、第1画素行目のゲート信号線17b(1)にはオフ電圧(V_{gh})が印加される。つまり、トランジスタ11dはオフであり、EL素子15には電流が流れていない。

【0390】

逆バイアス線471(1)には、 V_{s1} 電圧(トランジスタ11gがオンする電圧)が印加される。したがって、トランジスタ11gがオンし、EL素子15には逆バイアス電圧が印加されている。逆バイアス電圧は、ゲート信号線17bにオフ電圧(V_{gh})が印加された後、所定期間(1Hの $1/200$ 以上の期間、または、 $0.5\mu\text{sec}$)後に、逆バイアス電圧が印加される。また、ゲート信号線17bにオン電圧(V_{g1})が印加される所定期間(1Hの $1/200$ 以上の期間、または、 $0.5\mu\text{sec}$)前に、逆バイアス電圧がオフされる。これは、トランジスタ11dとトランジスタ11gが同時にオンとなることを回避するためである。

【0391】

次の水平走査期間(1H)には、ゲート信号線17aにはオフ電圧(V_{gh})が印加され、第2画素行が選択される。つまり、ゲート信号線17b(2)にオン電圧が印加される。一方、ゲート信号線17bにはオン電圧(V_{g1})が印加され、トランジスタ11dがオンして、EL素子15にトランジスタ11aから電流が流れEL素子15が発光する。また、逆バイアス線471(1)にはオフ電圧(V_{sh})が印加されて、第1画素行(1)のEL素子15には逆バイアス電圧が印加されないようになる。第2画素行の逆バイアス線471(2)には V_{s1} 電圧(逆バイアス電圧)が印加される。

【0392】

以上の動作を順次くりかえすことにより、1画面の画像が書き換えられる。以上の実施例では、各画素にプログラムされている期間に、逆バイアス電圧を印加するという構成であった。しかし、図48の回路構成はこれに限定されるものではない。複数の画素行に連続して逆バイアス電圧を印加することもできることは

明らかである。また、ブロック駆動（図 4 0 参照）や、N 倍パルス駆動、リセット駆動、ダミー画素駆動とも組み合わせることができることは明らかである。

【 0 3 9 3 】

また、逆バイアス電圧の印加は、画像表示の途中に実施することに限定するものではない。EL 表示装置の電源オフ後、一定の期間の間、逆バイアス電圧が印加されるように構成してもよい。

【 0 3 9 4 】

以上の実施例は、図 1 の画素構成の場合であったが、他の構成においても、図 3 8、図 4 1 などの逆バイアス電圧を印加する構成に適用できることは言うまでもない。たとえば、図 5 0 は電流プログラム方式の画素構成である。

【 0 3 9 5 】

図 5 0 は、カレントミラーの画素構成である。トランジスタ 1 1 c は画素選択素子である。ゲート信号線 1 7 a 1 にオン電圧を印加することにより、トランジスタ 1 1 c がオンする。トランジスタ 1 1 d はリセット機能と、駆動用トランジスタ 1 1 a のドレイン (D) - ゲート (G) 端子間をショート (GD ショート) する機能を有するスイッチ素子である。トランジスタ 1 1 d はゲート信号線 1 7 a 2 にオン電圧を印加することによりオンする。

【 0 3 9 6 】

トランジスタ 1 1 d は、該当画素が選択する 1 H (1 水平走査期間、つまり 1 画素行) 以上前にオンする。好ましくは 3 H 前にはオンさせる。3 H 前とすれば、3 H 前にトランジスタ 1 1 d がオンし、トランジスタ 1 1 a のゲート (G) 端子とドレイン (D) 端子がショートされる。そのため、トランジスタ 1 1 a はオフする。したがって、トランジスタ 1 1 b には電流が流れなくなり、EL 素子 1 5 は非点灯となる。

【 0 3 9 7 】

EL 素子 1 5 が非点灯状態の時、トランジスタ 1 1 g がオンし、EL 素子 1 5 に逆バイアス電圧が印加される。したがって、逆バイアス電圧は、トランジスタ 1 1 d がオンされている期間、印加されることになる。そのため、ロジック的にはトランジスタ 1 1 d とトランジスタ 1 1 g とは同時にオンすることになる。

【 0 3 9 8 】

トランジスタ 1 1 g のゲート (G) 端子は V_{sg} 電圧が印加されて固定されている。逆バイアス線 4 7 1 を V_{sg} 電圧より十分に小さな逆バイアス電圧を逆バイアス線 4 7 1 に印加することによりトランジスタ 1 1 g がオンする。

【 0 3 9 9 】

その後、前記該当画素に映像信号が印加（書き込まれる）される水平走査期間がくると、ゲート信号線 1 7 a 1 にオン電圧が印加され、トランジスタ 1 1 c がオンする。したがって、ソースドライバ回路 1 4 からソース信号線 1 8 に出力された映像信号電圧がコンデンサ 1 9 に印加される（トランジスタ 1 1 d はオン状態が維持されている）。

【 0 4 0 0 】

トランジスタ 1 1 d をオンさせると黒表示となる。1 フィールド（1 フレーム）期間に占めるトランジスタ 1 1 d のオン期間が長くなるほど、黒表示期間の割合が長くなる。したがって、黒表示期間が存在しても 1 フィールド（1 フレーム）の平均輝度を所望値とするためには、表示期間の輝度を高くする必要がある。つまり、表示期間に EL 素子 1 5 に流す電流と大きくする必要がある。この動作は、本発明の N 倍パルス駆動である。したがって、N 倍パルス駆動と、トランジスタ 1 1 d をオンさせて黒表示とする駆動とを組み合わせることが本発明の 1 つの特徴ある動作である。また、EL 素子 1 5 が非点灯状態で、逆バイアス電圧を EL 素子 1 5 に印加することが本発明の特徴ある構成（方式）である。

【 0 4 0 1 】

以上の実施例では、画像表示時において、画素が非点灯時に逆バイアス電圧を印加する方式であったが、逆バイアス電圧を印加する構成はこれに限定するものではない。画像を非表示に逆バイアス電圧を印加するのであれば、逆バイアス用のトランジスタ 1 1 g を各画素に形成する必要はない。非点灯時とは、表示パネルの使用を終了した後、あるいは使用前に逆バイアス電圧を印加する構成である。

【 0 4 0 2 】

例えば、図 1 の画素構成において、画素 1 6 を選択し（トランジスタ 1 1 b、

トランジスタ11cをオンさせる)、ソースドライバIC(回路)14から、ソースドライバICが出力できる低い電圧V0(例えば、GND電圧)を出力して駆動用トランジスタ11aのドレイン端子(D)に印加する。この状態でトランジスタ11dもオンさせればELのアノード端子にV0電圧が印加される。同時に、EL素子15のカソードVkにV0電圧に対し、-5~-15(V)低い電圧Vm電圧を印加すればEL素子15に逆バイアス電圧が印加される。また、Vdd電圧もV0電圧より0~-5(V)低い電圧を印加することにより、トランジスタ11aもオフ状態となる。以上のようにソースドライバ回路14から電圧を出力し、ゲート信号線17を制御することにより、逆バイアス電圧をEL素子15に印加することができる。

【0403】

N倍パルス駆動は、1フィールド(1フレーム)期間内において、1度、黒表示をしても再度、EL素子15に所定の電流(プログラムされた電流(コンデンサ19に保持されている電圧による))を流すことができる。しかし、図50の構成では、一度、トランジスタ11dがオンすると、コンデンサ19の電荷は放電(減少を含む)されるため、EL素子15に所定の電流(プログラムされた電流を流すことができない。しかし、回路動作が容易であるという特徴がある。

【0404】

なお、以上の実施例は画素が電流プログラムの画素構成であったが、本発明はこれに限定するものではなく、図38、図50のような他の電流方式の画素構成にも適用することができる。また、図51、図54、図62に図示するような電圧プログラムの画素構成でも適用することができる。

【0405】

図51は一般的に最も簡単な電圧プログラムの画素構成である。トランジスタ11bが選択スイッチング素子であり、トランジスタ11aがEL素子15に電流を印加する駆動用トランジスタである。この構成で、EL素子15のアノードに逆バイアス電圧印加用のトランジスタ(スイッチング素子)11gを配置(形成)している。

【0406】

図51の画素構成では、EL素子15に流す電流は、ソース信号線18に印加され、トランジスタ11bが選択されることにより、トランジスタ11aのゲート(G)端子に印加される。

【0407】

まず、図51の構成を説明するために、基本動作について図52を用いて説明をする。図51の画素構成は電圧オフセットキャンセラという構成であり、初期化動作、リセット動作、プログラム動作、発光動作の4段階で動作する。

【0408】

水平同期信号(HD)後、初期化動作が実施される。ゲート信号線17bにオン電圧が印加され、トランジスタ11gがオンする。また、ゲート信号線17aにもオン電圧が印加され、トランジスタ11cがオンする。この時、ソース信号線18にはV_{dd}電圧が印加される。したがって、コンデンサ19bのa端子にはV_{dd}電圧が印加されることになる。この状態で、駆動用トランジスタ11aはオンし、EL素子15に僅かな電流が流れる。この電流により駆動用トランジスタ11aのドレイン(D)端子は少なくともトランジスタ11aの動作点よりも大きな絶対値の電圧値となる。

【0409】

次にリセット動作が実施される。ゲート信号線17bにオフ電圧が印加され、トランジスタ11eがオフする。一方、ゲート信号線17cにT₁の期間、オン電圧が印加され、トランジスタ11bがオンする。このT₁の期間がリセット期間である。また、ゲート信号線17aには1Hの期間、継続してオン電圧が印加される。なお、T₁は1H期間の20%以上90%以下の期間とすることが好ましい。もしくは、20 μ sec以上160 μ sec以下の時間とすることが好ましい。また、コンデンサ19b(C_b)とコンデンサ19a(C_a)の容量の比率は、C_b:C_a=6:1以上1:2以下とすることが好ましい。

【0410】

リセット期間では、トランジスタ11bのオンにより、駆動用トランジスタ11aのゲート(G)端子とドレイン(D)端子間がショートされる。したがって、トランジスタ11aのゲート(G)端子電圧とドレイン(D)端子電圧が等し

くなり、トランジスタ 1 1 a はオフセット状態（リセット状態：電流が流れない状態）となる。このリセット状態とはトランジスタ 1 1 a のゲート（G）端子が、電流を流し始める開始電圧近傍になる状態である。このリセット状態を維持するゲート電圧はコンデンサ 1 9 b の b 端子に保持される。したがって、コンデンサ 1 9 には、オフセット電圧（リセット電圧）が保持されていることになる。

【 0 4 1 1 】

次のプログラム状態では、ゲート信号線 1 7 c にオフ電圧が印加されトランジスタ 1 1 b がオフする。一方、ソース信号線 1 8 には、T d の期間、DATA 電圧が印加される。したがって、駆動用トランジスタ 1 1 a のゲート（G）端子には、DATA 電圧 + オフセット電圧（リセット電圧）が加えられたものが印加される。そのため、駆動用トランジスタ 1 1 a はプログラムされた電流を流せるようになる。

【 0 4 1 2 】

プログラム期間後、ゲート信号線 1 7 a にはオフ電圧が印加され、トランジスタ 1 1 c はオフ状態となり、駆動用トランジスタ 1 1 a はソース信号線 1 8 から切り離される。また、ゲート信号線 1 7 c にもオフ電圧が印加され、トランジスタ 1 1 b がオフし、このオフ状態は 1 F の期間保持される。一方、ゲート信号線 1 7 b には、必要に応じてオン電圧とオフ電圧とが周期的に印加される。つまり、図 1 3、図 1 5 などの N 倍パルス駆動などと組み合わせること、インターレース駆動と組み合わせることによりさらに良好な画像表示を実現できる。

【 0 4 1 3 】

図 5 2 の駆動方式では、リセット状態でコンデンサ 1 9 には、トランジスタ 1 1 a の開始電流電圧（オフセット電圧、リセット電圧）が保持される。そのため、このリセット電圧がトランジスタ 1 1 a のゲート（G）端子に印加されている時が、最も暗い黒表示状態である。しかし、ソース信号線 1 8 と画素 1 6 とのカップリング、コンデンサ 1 9 への突き抜け電圧あるいはトランジスタの突き抜けにより、黒浮き（コントラスト低下）が発生する。したがって、図 5 3 で説明した駆動方法では、表示コントラストを高くすることができない。

【 0 4 1 4 】

逆バイアス電圧 V_m を EL 素子 15 に印加するためには、トランジスタ 11 a がオフさせる必要がある。トランジスタ 11 a をオフさせるためには、トランジスタ 11 a の V_{dd} 端子とゲート (G) 端子間をショートすればよい。この構成については、後に図 5 3 を用いて説明をする。

【 0 4 1 5 】

また、ソース信号線 1 8 に V_{dd} 電圧またはトランジスタ 11 a をオフさせる電圧を印加し、トランジスタ 11 b をオンさせてトランジスタ 11 a のゲート (G) 端子に印加させてもよい。この電圧によりトランジスタ 11 a がオフする（もしくは、ほとんど、電流が流れないような状態にする（略オフ状態：トランジスタ 11 a が高インピーダンス状態））。その後、トランジスタ 11 g をオンさせて、EL 素子 15 に逆バイアス電圧を印加する。この逆バイアス電圧 V_m の印加は、全画素同時に行ってもよい。つまり、ソース信号線 1 8 にトランジスタ 11 a を略オフする電圧を印加し、すべての（複数の）画素行のトランジスタ 11 b をオンさせる。したがって、トランジスタ 11 a がオフする。その後、トランジスタ 11 g をオンさせて、逆バイアス電圧を EL 素子 15 に印加する。その後、順次、各画素行に映像信号を印加し、表示装置に画像を表示する。

【 0 4 1 6 】

次に、図 5 1 の画素構成におけるリセット駆動について説明をする。図 5 3 はその実施例である。図 5 3 に示すように画素 1 6 a のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 11 b のゲート (G) 端子にも接続されている。同様に、画素 1 6 b のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 11 b のゲート (G) 端子に接続されている。

【 0 4 1 7 】

したがって、画素 1 6 a のトランジスタ 11 c のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 11 b がオンし、画素 1 6 b の駆動用トランジスタ 11 a がリセット状態となる。同様に、画素 1

6 b のトランジスタ 1 1 c のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリセット用トランジスタ 1 1 b がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。また、各画素あたりのゲート信号線の引き出し本数を減少させることができる。

【0418】

さらに詳しく説明する。図 5 3 (a) のようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、ゲート信号線 1 7 b は画素 1 6 a、1 6 b にはオフ電圧が印加され、画素 1 6 c、1 6 d にはオン電圧が印加されているとする。

【0419】

この状態では、画素 1 6 a は電圧プログラム状態で非点灯、画素 1 6 b はリセット状態で非点灯、画素 1 6 c はプログラム電流の保持状態で点灯、画素 1 6 d はプログラム電流の保持状態で点灯状態である。

【0420】

1 H 後、制御用ゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、図 5 3 (b) の状態となる。図 5 3 (b) の状態は、画素 1 6 a はプログラム電流保持状態で点灯、画素 1 6 b は電流プログラム状態で非点灯、画素 1 6 c はリセット状態で非点灯、画素 1 6 d はプログラム保持状態で点灯状態である。

【0421】

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【0422】

図 4 3 に図示する電圧プログラムの画素構成でも前段ゲート制御を実現できる

。図 5 4 は図 4 3 の画素構成を前段ゲート制御方式の接続とした実施例である。

【 0 4 2 3 】

図 5 4 に示すように画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 b のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a は次段画素 1 6 c のリセット用トランジスタ 1 1 e のゲート (G) 端子に接続されている。

【 0 4 2 4 】

したがって、画素 1 6 a のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 a が電圧プログラム状態となるとともに、次段画素 1 6 b のリセット用トランジスタ 1 1 e がオンし、画素 1 6 b の駆動用トランジスタ 1 1 a がリセット状態となる。同様に、画素 1 6 b のトランジスタ 1 1 b のゲート (G) 端子に接続されたゲート信号線 1 7 a にオン電圧を印加すると、画素 1 6 b が電流プログラム状態となるとともに、次段画素 1 6 c のリセット用トランジスタ 1 1 e がオンし、画素 1 6 c の駆動用トランジスタ 1 1 a がリセット状態となる。したがって、容易に前段ゲート制御方式によるリセット駆動を実現できる。

【 0 4 2 5 】

さらに詳しく説明する。図 5 5 (a) のようにゲート信号線 1 7 に電圧が印加されているとする。つまり、画素 1 6 a のゲート信号線 1 7 a にオン電圧が印加され、他の画素 1 6 のゲート信号線 1 7 a にオフ電圧が印加されているとする。また、すべての逆バイアス用トランジスタ 1 1 g はオフ状態であるとする。

【 0 4 2 6 】

この状態では、画素 1 6 a は電圧プログラム状態、画素 1 6 b はリセット状態、画素 1 6 c はプログラム電流の保持状態、画素 1 6 d はプログラム電流の保持状態である。

【 0 4 2 7 】

1 H 後、制御用ゲートドライバ回路 1 2 のシフトレジスタ回路 6 1 内のデータが 1 ビットシフトし、図 5 5 (b) の状態となる。図 5 5 (b) の状態は、画素

1 6 a はプログラム電流保持状態、画素 1 6 b は電流プログラム状態、画素 1 6 c はリセット状態、画素 1 6 d はプログラム保持状態である。

【 0 4 2 8 】

以上のことから、各画素は前段に印加されたゲート信号線 1 7 a の電圧により、次段の画素の駆動用トランジスタ 1 1 a がリセットされ、次の水平走査期間に電圧プログラムが順次行われることがわかる。

【 0 4 2 9 】

電流駆動方式では、完全黒表示では、画素の駆動用トランジスタ 1 1 にプログラムされる電流は 0 である。つまり、ソースドライバ回路 1 4 からは電流が流れない。電流が流れなければ、ソース信号線 1 8 に発生した寄生容量を充放電することができず、ソース信号線 1 8 の電位を変化させることができない。したがって、駆動用トランジスタのゲート電位も変化しないことになり、1 フレーム（フィールド）（1 F）前の電位がコンデンサ 1 9 に蓄積されたままとなる。たとえば、1 フレーム前が白表示で、次のフレームが完全黒表示であっても白表示が維持されることになる。この課題を解決するため、本発明では、1 水平走査期間（1 H）の最初に黒レベルの電圧をソース信号線 1 8 に書き込んでから、ソース信号線 1 8 にプログラムする電流を出力する。たとえば、映像データが黒レベルに近い 0 階調目～7 階調目の場合、1 水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を 0 階調目とし、完全白表示を 6 3 階調目とする（6 4 階調表示の場合）。

【 0 4 3 0 】

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

【 0 4 3 1 】

好ましくは、階調データの階調 0 から 1 / 8 の領域の階調で、選択プリチャー

ジを行う（たとえば、64階調の時は、0階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

【0432】

特に黒表示で、コントラストを高くするためには、階調0のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調1、2の場合に画面が黒浮きして見えることである。したがって、階調データの階調0から1/8の領域の階調と、一定の範囲で選択プリチャージを行う。

【0433】

なお、プリチャージの電圧、階調範囲は、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、階調データの階調0から1/8の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、01階調目から7階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調0から1/16の領域の階調で、選択プリチャージを行う（たとえば、64階調の時は、0階調目から3階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、Rは7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線18に書き込むようにする。最適なプリチャージ電圧は、EL表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【0434】

以後、本発明の電流駆動方式のソースドライバIC（回路）14について説明をする。本発明のソースドライバICは、以前に説明した本発明の駆動方法、駆

動回路を実現するために用いる。また、本発明の駆動方法、駆動回路、表示装置と組み合わせて用いる。なお、説明は、ICチップとして説明をするがこれに限定するものではなく、低温ポリシリコン技術などを用いて、表示パネル上に作製してもよいことは言うまでもない。

【0435】

まず、図72に、従来の電流駆動方式のドライバ回路の一例を示す。ただし、図72は本発明の電流駆動方式のソースドライバIC（ソースドライバ回路）を説明するための原理的なものである。

【0436】

図72において、721はD/A変換器である。D/A変換器721にはnビットのデータ信号が入力され、入力されたデータに基づき、D/A変換器からアナログ信号が出力される。このアナログ信号はオペアンプ722に入力される。オペアンプ722はNチャンネルトランジスタ631aに入力され、トランジスタ631aに流れる電流が抵抗691に流れる。抵抗Rの端子電圧はオペアンプ722の-入力となり、この-端子の電圧とオペアンプ722の+端子とは同一電圧となる。したがってD/A変換器721の出力電圧は抵抗691の端子電圧となる。

【0437】

今、抵抗691の抵抗値が $1\text{M}\Omega$ とし、D/A変換器721の出力が1（V）であれば、抵抗691には $1\text{（V）} / 1\text{M}\Omega = 1\text{（}\mu\text{A）}$ の電流が流れる。これが定電流回路となる。したがって、データ信号の値に応じて、D/A変換器721のアナログ出力が変化し、このアナログ出力に値にもとづいて抵抗691に所定電流が流れる。

【0438】

トランジスタ631p1と631p2とはカレントミラー回路を構成している。なお、トランジスタ631pはPチャンネル型トランジスタである。一方、633nはカレントミラーを構成するnチャンネル型トランジスタである。駆動用トランジスタ631aのソースドレイン（SD）にも同じ電流が流れ、631p1と631p2で構成されるカレントミラー回路にも同じ電流値が流れ、各ト

ランジスタ 633n で構成されるカレントミラー回路にも同じ電流値が流れるので、出力端子 O1、O2、O3、O4、O5、・・・は同一の電流が流れる定電流出力端子となる（カレント倍率が等しい時）。

【0439】

しかしながら、IC は、同一のマスクから同一のプロセスに基づいて製造されても、半導体チップ上に形成されるトランジスタや抵抗などの各素子の電気的特性は異なり、ドライバ IC の出力電流は、たとえ同一 IC であっても、定電流出力端子間では各出力間のばらつきは存在する。この場合、各定電流出力端子の出力電流値にばらつきが生じると、発光素子の発光量などにばらつきが生じ、ディスプレイパネルでは表示むらを生じる。したがって、ドライバ IC 14 を使用して、有機 EL 表示パネルなどの発光素子を駆動する場合は、定電流出力端子間のばらつきをできるだけ最小限にすることが必要となる。

【0440】

本発明はかかる点に鑑みてなされたものであり、定電流出力端子間の出力電流ばらつきをできるだけ最小限にするための回路構成、レイアウト構成を有する電流駆動型ドライバ IC（回路）14 を提供する。

【0441】

図 63 に、本発明の電流駆動方式のソースドライバ IC（回路）14 の構成図を示す。図 63 は、一例として電流源を 3 段構成（631、632、633）とした場合の多段式カレントミラー回路を示している。

【0442】

図 63 において、第 1 段の電流源 631 の電流値は、N 個（ただし、N は任意の整数）の第 2 段電流源 632 にカレントミラー回路によりコピーされる。更に、第 2 段電流源 632 の電流値は、M 個（ただし、M は任意の整数）の第 3 段電流源 633 にカレントミラー回路によりコピーされる。この構成により、結果として第 1 段電流源 631 の電流値は、 $N \times M$ 個の第 3 段電流源 633 にコピーされることになる。

【0443】

例えば、QCIF 形式の表示パネルのソース信号線 18 に 1 個のドライバ IC

14で駆動する場合は、176出力（ソース信号線が各RGBで176出力必要なため）となる。この場合は、Nを16個とし、M=11個とする。しがたって、 $16 \times 11 = 176$ となり、176出力に対応できる。このように、NまたはMのうち、一方を8または16もしくはその倍数とすることにより、ドライバICの電流源のレイアウト設計が容易になる。

【0444】

従来の電流駆動方式のソースドライバIC（仮想で想定している）では、第1段電流源631の電流値を直接N×M個の第3段電流源にカレントミラー回路でコピーしていたので、第1段電流源631のトランジスタ特性と第3段電流源のトランジスタ特性に差が生じると、それがそのまま電流値のばらつきとなって、表示パネルの表示むらとなって現れていた。特に、ソースドライバIC14は、幅が2mm程度で長さが20mm程度という細長い形状をしているので、中央部と両端ではトランジスタ特性のばらつきが大きく、このような問題は顕著であると考えられる。

【0445】

この課題に対して、本発明の多段式カレントミラー回路による電流駆動方式のソースドライバIC（回路）14では、前記したように、第1段電流源631の電流値を直接N×M個の第3段電流源633にカレントミラー回路でコピーするのではなく、中間に第2段電流源632を配備しているので、そこでトランジスタ特性のばらつきを吸収することが可能である。

【0446】

特に、本発明は、第1段のカレントミラー回路（電流源631）と第2段にカレントミラー回路（電流源632）を密接して配置するところに特徴がある。第1段の電流源631から第3段の電流源633（つまり、カレントミラー回路の2段構成）であれば、第1段の電流源と接続される第2段の電流源633の個数が多く、第1段の電流源631と第3段の電流源633を密接して配置することができない。

【0447】

本発明のソースドライバ回路14のように、第1段のカレントミラー回路（電

流源 6 3 1) の電流を第 2 段のカレントミラー回路 (電流源 6 3 2) にコピーし、第 2 段のカレントミラー回路 (電流源 6 3 2) の電流を第 3 段にカレントミラー回路 (電流源 6 3 2) にコピーする構成である。この構成では、第 1 段のカレントミラー回路 (電流源 6 3 1) に接続される第 2 段のカレントミラー回路 (電流源 6 3 2) の個数は少ない。したがって、第 1 段のカレントミラー回路 (電流源 6 3 1) と第 2 段のカレントミラー回路 (電流源 6 3 2) とを密接して配置することができる。

【 0 4 4 8 】

密接してカレントミラー回路を構成するトランジスタを配置できれば、当然のことながら、トランジスタのばらつきは少なくなるから、コピーされる電流値のバラツキも少なくなる。また、第 2 段のカレントミラー回路 (電流源 6 3 2) に接続される第 3 段のカレントミラー回路 (電流源 6 3 3) の個数も少なくなる。したがって、第 2 段のカレントミラー回路 (電流源 6 3 2) と第 3 段のカレントミラー回路 (電流源 6 3 3) とを密接して配置することができる。

【 0 4 4 9 】

つまり、全体として、第 1 段のカレントミラー回路 (電流源 6 3 1)、第 2 段のカレントミラー回路 (電流源 6 3 2)、第 3 段のカレントミラー回路 (電流源 6 3 3) の電流受け取り部のトランジスタを密接して配置することができる。したがって、密接してカレントミラー回路を構成するトランジスタを配置できるから、トランジスタのばらつきは少なくなり、出力端子からの電流信号のバラツキは極めて少なくなる (精度が高い)。

【 0 4 5 0 】

なお、本例では簡単のため多段式カレントミラー回路を 3 段構成で説明したが、この段数が大きければ大きいほど、電流駆動型表示パネルのソースドライバ IC 1 4 の電流ばらつきが小さくなることは言うまでもない。したがって、カレントミラー回路の段数は 3 段に限定するものではなく、3 段以上であってもよい。

【 0 4 5 1 】

本発明において、電流源 6 3 1、6 3 2、6 3 3 と表現したり、カレントミラー回路と表現したりしている。これらは同義に用いている。つまり、電流源とは

、本発明の基本的な構成概念であり、電流源を具体的に構成するとカレントミラー回路となるからである。したがって、電流源はカレントミラー回路のみに限定するものではなく、図72に図示するようにオペアンプ722とトランジスタ631と抵抗Rの組み合わせからなる電流回路でもよい。

【0452】

図64はさらに具体的なソースドライバIC（回路）14の構造図である。図64は第3の電流源633の部分を図示している。つまり、1つのソース信号線18に接続される出力部である。最終段のカレントミラー構成として、複数の同一サイズのカレントミラー回路（電流源634（1単位））で構成されており、その個数が画像データのビットに対応して、ビット重み付けされている。

【0453】

なお、本発明のソースドライバIC（回路）14を構成するトランジスタは、MOSタイプに限定するものではなく、バイポーラタイプでもよい。また、シリコン半導体に限定するものではなく、ガリウム砒素半導体でもよい。また、ゲルマニウム半導体でもよい。また、基板に低温ポリシリコンなどのポリシリコン技術、アモルファスシリコン技術で直接形成したものでもよい。

【0454】

図64で明らかであるが、本発明の1実施例として、6ビットのデジタル入力の場合を図示している。つまり、2の6乗であるから、64階調表示である。このソースドライバIC14をアレイ基板に積載することにより、赤（R）、緑（G）、青（B）が各64階調であるから、 $64 \times 64 \times 64 = \text{約} 26 \text{万色}$ を表示できることになる。

【0455】

図64において、D0はLSB入力を示しており、D5はMSB入力を示している。D0入力端子にHレベル（正論理時）の時、スイッチ641a（オンオフ手段である。もちろん、単体トランジスタで構成してもよいし、PチャンネルトランジスタとNチャンネルトランジスタとを組み合わせたアナログスイッチなどでもよい）がオンする。すると、カレントミラーを構成する電流源（1単位）634に向かって電流が流れる。この電流はIC14内の内部配線643に流れる

。この内部配線643はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線643に流れる電流が画素16のプログラム電流となる。

【0456】

D1入力端子にHレベル（正論理時）の時、スイッチ641bがオンする。すると、カレントミラーを構成する2つの電流源（1単位）634に向かって電流が流れる。この電流はIC14内の内部配線643に流れる。この内部配線643はIC14の端子電極を介してソース信号線18に接続されているから、この内部配線643に流れる電流が画素16のプログラム電流となる。

【0457】

他のスイッチ641でも同様である。D2入力端子にHレベル（正論理時）の時は、スイッチ641cがオンする。すると、カレントミラーを構成する4つの電流源（1単位）634に向かって電流が流れる。D5入力端子にHレベル（正論理時）の時は、スイッチ641fがオンする。すると、カレントミラーを構成する32つの電流源（1単位）634に向かって電流が流れる。

【0458】

以上のように、外部からのデータ（D0～D5）に応じて、それに対応する電流源（1単位）に向かって電流が流れる。したがって、データに応じて、0個から63個に電流源（1単位）に電流が流れるように構成されている。なお、本発明は説明を容易にするため、電流源は6ビットの63個としているが、これに限定するものではない。8ビットの場合は、255個の単位電流源634を形成（配置）すればよい。また、4ビットの時は、15個の単位電流源634を形成（配置）すればよい。単位電流源を構成するトランジスタ634は同一のチャンネル幅W、チャンネル幅Lとする。このように同一のトランジスタで構成することにより、ばらつきの少ない出力段を構成することができる。

【0459】

また、電流源634はすべてが、同一の電流を流すことに限定するものではない。たとえば、各電流源634を重み付けしてもよい。たとえば、1単位の電流源634と、2倍の電流源634と、4倍の電流源634などを混在させて電流

出力回路を構成してもよい。しかし、電流源 6 3 4 を重み付けして構成すると、各重み付けした電流源が重み付けした割合にならず、バラツキが発生する可能性がある。したがって、重み付けする場合であっても、各電流源は、1 単位の電流源となるトランジスタを複数個形成することにより構成することが好ましい。

【 0 4 6 0 】

単位電流源 6 3 4 を構成するトランジスタの大きさは一定以上の大きさが必要である。トランジスタサイズが小さいほど出力電流のバラツキが大きくなる。トランジスタ 6 3 4 の大きさとは、チャンネル長 L とチャンネル幅 W をかけたサイズをいう。たとえば、 $W = 3 \mu\text{m}$ 、 $L = 4 \mu\text{m}$ であれば、1 つの単位電流源を構成するトランジスタ 6 3 4 のサイズは、 $W \times L = 12$ 平方 μm である。トランジスタサイズが小さくなるほどバラツキが大きくなるのはシリコンウエハの結晶界面の状態が影響しているためと考えられる。したがって、1 つのトランジスタが複数の結晶界面にまたがって形成されているとトランジスタの出力電流バラツキは小さくなる。

【 0 4 6 1 】

トランジスタサイズと出力電流のバラツキの関係を図 1 1 7 に示す。図 1 1 7 のグラフの横軸はトランジスタサイズ（平方 μm ）である。縦軸は、出力電流のバラツキ（ σ ）を % で示したものである。ただし、出力電流のバラツキ % は、単位電流源（1 つの単位トランジスタ）6 3 4 を 6 3 個の組で形成し（6 3 個形成し）、この組を多数組ウエハ上に形成し、出力電流のバラツキをもとめたものである。したがって、グラフの横軸は、1 つの単位電流源を構成するトランジスタサイズで図示しているが、実際の並列するトランジスタは 6 3 個あるので面積は 6 3 倍である。しかし、本発明は単位電流源 6 3 4 の大きさを単位として検討している。したがって、図 1 1 7 において、30 平方 μm の単位トランジスタ 6 3 を 6 3 個形成したとき、その時の出力電流のバラツキは、0.5 % となることを示している。

【 0 4 6 2 】

6 4 階調の場合は、 $100 / 64 = 1.5\%$ である。したがって、出力電流バラツキは 1.5 % 以内にする必要がある。図 1 1 7 から 1.5 % 以下にするため

には、単位トランジスタのサイズは2平方 μm 以上にする必要がある（64階調は63個の2平方 μm の単位トランジスタが動作する）。一方でトランジスタサイズには制限がある。ICチップサイズが大きくなる点と、1出力あたりの横幅に制限があるからである。この点から、単位電流源634のサイズの上限は、300平方 μm である。したがって、64階調表示では、単位電流源634のサイズは、2平方 μm 以上300平方 μm 以下にする必要がある。

【0463】

128階調の場合は、 $100/128=1\%$ である。したがって、出力電流バラツキは1%以内にする必要がある。図117から1%以下にするためには、単位トランジスタのサイズは8平方 μm 以上にする必要がある。したがって、128階調表示では、単位電流源634のサイズは、8平方 μm 以上300平方 μm 以下にする必要がある。

【0464】

なお、図117は1 σ のバラツキデータである。3 σ を基準とするならば、64階調の場合は、 $(100/64)/3=0.5\%$ である。したがって、出力電流バラツキは0.5%以内にする必要がある。図117から0.5%以下にするためには、単位トランジスタのサイズは30平方 μm 以上にする必要がある。一方でトランジスタサイズには制限がある。3 σ を基準とするならば、64階調表示では、単位電流源634のサイズは、30平方 μm 以上300平方 μm 以下にする必要がある。実際には、多少のバラツキが発生しても画像表示でバラツキが認識されることはない。64階調表示では、2 σ レベルの15平方 μm 以上300平方 μm 以下で実用上は十分であった。

【0465】

一般的に、階調数をKとし、単位トランジスタ634の大きさを S_t （平方 μm ）としたとき、

$$40 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300 \text{ の関係を満足させる。}$$

さらに好ましくは、 $120 \leq K/\sqrt{S_t} \quad \text{かつ} \quad S_t \leq 300$ の関係を満足させることが好ましい。

【0466】

以上の例は、64階調で63個のトランジスタを形成した場合である。64階調を127個の単位トランジスタ634で構成する場合は、単位トランジスタ634のサイズとは、2つの単位トランジスタ634を加えたサイズである。たとえば、64階調で、単位トランジスタ634のサイズが10平方 μm であり、127個形成されていたら、図117では単位トランジスタのサイズは $10 \times 2 = 20$ の欄をみる必要がある。同様に、64階調で、単位トランジスタ634のサイズが10平方 μm であり、255個形成されていたら、図117では単位トランジスタのサイズは $10 \times 4 = 40$ の欄をみる必要がある。

【0467】

単位トランジスタ634は大きさだけでなく、形状も考慮する必要がある。キンクの影響を低減するためである。キンクとは、単位トランジスタ634のゲート電圧を一定に保った状態で、単位トランジスタ634のソース(S)ードレイン(D)電圧を変化させたときに、単位トランジスタ634に流れる電流が変化する現象と言う。キンクの影響がない場合(理想状態)では、ソース(S)ードレイン(D)間に印加する電圧を変化させても、単位トランジスタ634に流れる電流は変化しない。

【0468】

キンクの影響が発生するのは、図1などの駆動用トランジスタ11aの V_t のバラツキにより、ソース信号線18が異なる場合である。ドライバ回路14は、画素の駆動用トランジスタ11aにプログラム電流が流れるように、プログラム電流をソース信号線18に流す。このプログラム電流により、駆動用トランジスタ11aのゲート端子電圧が変化し、駆動用トランジスタ11aにプログラム電流が流れるようになる。図3でわかるように、選択された画素16がプログラム状態の時は、駆動用トランジスタ11aのゲート端子電圧=ソース信号線18電位である。

【0469】

したがって、各画素16の駆動用トランジスタ11aの V_t ばらつきにより、ソース信号線18の電位は異なる。ソース信号線18の電位は、ドライバ回路14の単位トランジスタ634のソースードレイン電圧となる。つまり、画素16

の駆動用トランジスタ 11a の V_t バラツキにより、単位トランジスタ 634 に印加されるソースドレイン電圧が異なり、このソースドレイン間電圧により、単位トランジスタ 634 にキंकによる出力電流のバラツキが発生する。

【0470】

図 118 はこの現象をグラフ化したものである。縦軸はゲート端子に所定の電圧を印加した時の単位トランジスタ 634 の出力電流である。横軸は、ソース（S）－ドレイン（D）間電圧である。L/W（L は単位トランジスタ 634 のチャンネル長、W は単位トランジスタのチャンネル幅）が 5/3 のときは、ソースドレイン電圧が高くなっても、出力電流はほとんど変化しない。しかし、L/W が 1/1 のときは、ソースドレイン電圧にほぼ比例して、出力電流が増加する。したがって、L/W は大きいほどよい。

【0471】

しかし、L/W が大きいということは L が長くなることを意味しているからトランジスタサイズが大きくなる。また、あまり、L が長いとばらつきも大きくなる傾向が発生する場合がある。したがって、L/W は所定の範囲とする必要がある。

【0472】

また、L/W の大きさは階調数にも依存する。階調数が少ない場合は、階調と階調との差が大きいため、キंकの影響により単位トランジスタ 634 の出力電流がばらついて問題がない。しかし、階調数が多い表示パネルでは、階調と階調との差が小さいため、キंकの影響により単位トランジスタ 634 の出力電流が少しでもばらつくと階調数が低減する。

【0473】

以上のことを勘案し、本発明のドライバ回路 14 は、階調数を K とし、単位トランジスタ 634 の L/W（L は単位トランジスタ 634 のチャンネル長、W は単位トランジスタのチャンネル幅）とした時、

$$(\sqrt{(K/16)})/2 \leq L/W \leq \text{かつ} (\sqrt{(K/16)}) \times 2$$

の関係を満足させるように構成（形成）している。この関係を図示すると図 11

9 になる。図 1 1 9 の直線の上側が本発明の実施範囲である。

【 0 4 7 4 】

図 6 3 に図示する第 3 段のカレントミラー部である。したがって、第 1 の電流源 6 3 1 と第 2 段の電流源 6 3 2 が別途形成されており、これらが密集（密接あるいは隣接）して配置されているのである。また、第 2 段の電流源 6 3 2 と第 3 段の電流源を構成するカレントミラー回路のトランジスタ 6 3 3 a も密集（密接あるいは隣接）して配置される。

【 0 4 7 5 】

なお、特に電流源（1 単位）6 3 4 は、密集して配置され、かつ微小な電流が流れる。したがって、E L 表示パネルなどから放射される光（発光光）が、電流源 6 3 4（他に 6 3 1、6 3 2、6 3 3 も考慮すべきである）に光が照射されると、ホトコンダクタ現象（ホトコン）により誤動作を引き起こす。この課題に対応するため、チップの裏面に遮光膜を形成する。また、基板に実装する箇所で、かつ、チップの電流源が形成された箇所に遮光膜を形成する（パネル基板の表面に金属薄膜、有機材料あるいは無機材料などからなる光吸収膜を形成する）。この遮光膜は、E L 素子 1 5 に電流を供給するアノード配線、カソード配線の引き回す（I C チップ下に引き回す）ことにより、構成すれば形成が容易であり、低コスト化できる。この構成は、I C チップに限定されるものではない。低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（C G S）、アモルファスシリコン技術を用いてソースドライバ回路 1 4 にも適用される。つまり、このソースドライバ回路 1 4 の裏面に遮光膜を形成する。

【 0 4 7 6 】

第 2 段のカレントミラー回路 6 3 2 を流れる電流は、第 3 段のカレントミラー回路を構成するトランジスタ 6 3 3 a にコピーされ、カレントミラー倍率が 1 倍の時は、この電流がトランジスタ 6 3 3 b に流れる。この電流は、最終段のトランジスタ 6 3 4 にコピーされる。

【 0 4 7 7 】

D 0 に対応する部分は、1 個のトランジスタ 6 3 4 で構成されているので、最終段電流源のトランジスタ 6 3 3 に流れる電流値である。D 1 に対応する部分は

2個のトランジスタ634で構成されているので、最終段電流源の2倍の電流値である。D2は4個のトランジスタ634で構成されているので、最終段電流源の4倍の電流値であり、・・・、D5に対応する部分は32個のトランジスタで構成されているので、最終段電流源の32倍の電流値である。したがって、6ビットの画像データD0、D1、D2、・・・、D5で制御されるスイッチを介してプログラム電流I_wはソース信号線に出力される（電流を引き込む）。したがって、6ビットの画像データD0、D1、D2、・・・、D5のON、OFFに応じて、出力線には、最終段電流源633の1倍、2倍、4倍、・・・、32倍の電流が加算されて出力される。すなわち、6ビットの画像データD0、D1、D2、・・・、D5により、最終段電流源633の0～63倍の電流値が出力線より出力される（ソース信号線18から電流を引き込む）。

【0478】

以上のように、最終段電流源633の整数倍の構成により、従来のW/Lの比例配分と比較して、より高精度に電流値を制御できる（各端子の出力バラツキがなくなる）。

【0479】

ただし、この構成は、画素16を構成する駆動用TFT11aがPチャンネルで構成され、かつ、ソースドライバIC14を構成する電流源（1単位）部634がNチャンネルトランジスタで構成されている場合である。他の場合（例えば、画素16の駆動用TFT11aがNチャンネルトランジスタで構成されている場合など）は、プログラム電流I_wは吐き出し電流となる構成も実施できることはいうまでもない。）。

【0480】

なお、最終段電流源633の0～63倍の電流が出力されとしたが、これは最終段電流源633のカレントミラー倍率が1倍の時である。カレントミラー倍率が2倍の時は、最終段電流源633の0～126倍の電流が出力され、カレントミラー倍率が0.5倍の時は、最終段電流源633の0～31.5倍の電流が出力される。以上のように、本発明は最終段電流源633あるいは、それより前段の電流源（631、632など）のカレントミラー倍率を変化させることによ

り、出力の電流値を容易に変更できる。また、以上の事項は、R、G、Bごとにカレントミラー倍率を変更する（異ならせる）ことも好ましい。たとえば、Rのみ、いずれかの電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させてもよい。特に、EL表示パネルは、各色（R、G、Bあるいはシアン、イエロー、マゼンダ）ごとに発光効率などが異なる。したがって、各色でカレントミラー倍率を変化させることにより、ホワイトバランスを良好にできる。

【0481】

電流源のカレントミラー倍率を他の色に対して（他の色に対応する電流源回路に対して）、変化（異ならせる）させるという事項は、固定的なものに限定されない。可変することも含まれる。可変は、電流源にカレントミラー回路を構成するトランジスタを複数形成しておき、外部からの信号によりカレント電流を流す前記トランジスタの個数を切り替えることにより実現できる。このように構成することにより、作製されたEL表示パネルの各色の発光状態を観察しながら、最適なホワイトバランスに調整することが可能になる。特に、本発明は、多数段に電流源（カレントミラー回路）を連結する構成である。したがって、第1段の電流源631と第2段の電流源632とのカレントミラー倍率を変化させると、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できる。もちろん、第2段の電流源632と第3段の電流源633とのカレントミラー倍率を変化させるよりも、少ない連結部（カレントミラー回路など）により容易に多数の出力の出力電流を変化できることはいうまでもない。

【0482】

なお、カレントミラー倍率を変化という概念は、電流倍率を変化（調整）することである。したがって、カレントミラー回路のみに限定されるものではない。たとえば、電流出力のオペアンプ回路、電流出力のD/A回路などでも実現できる。

【0483】

以上に説明した事項は、本発明の他の実施例についても適用されることはいうまでもない。

【 0 4 8 4 】

図 6 5 に、3 段式カレントミラー回路による 1 7 6 出力 ($N \times M = 1 7 6$) の回路図の一例を示す。図 6 5 では、第 1 段カレントミラー回路による電流源 6 3 1 を親電流源、第 2 段カレントミラー回路による電流源 6 3 2 を子電流源、第 3 段カレントミラー回路による電流源 6 3 3 を孫電流源と記している。最終段カレントミラー回路である第 3 段カレントミラー回路による電流源の整数倍の構成により、1 7 6 出力のばらつきを極力抑え、高精度な電流出力が可能である。もちろん、電流源 5 3 1、6 3 2、6 3 3 を密集して配置するという構成を忘れてはならない。

【 0 4 8 5 】

なお、密集して配置するとは、第 1 の電流源 6 3 1 と第 2 の電流源 6 3 2 とを少なくとも 8 mm 以内の距離に配置（電流あるいは電圧の出力側と電流あるいは電圧の入力側）することをいう。さらには、5 mm 以内に配置することが好ましい。この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性 (V_t 、モビリティ (μ)) 差がほとんど発生しないからである。また、同様に、第 2 の電流源 6 3 2 と第 3 の電流源 6 3 3（電流の出力側と電流の入力側）も少なくとも 8 mm 以内の距離に配置する。さらに好ましくは、5 mm 以内の位置に配置することが好ましい。以上の事項は、本発明の他の実施例においても適用されることは言うまでもない。

【 0 4 8 6 】

この電流あるいは電圧の出力側と電流あるいは電圧の入力側とは、以下の関係を意味する。図 6 6 の電圧受け渡しの場合は、第 (I) 段の電流源のトランジスタ 6 3 1（出力側）と第 (I + 1) の電流源のトランジスタ 6 3 2 a（入力側）とを密集して配置する関係である。図 6 7 の電流受け渡しの場合は、第 (I) 段の電流源のトランジスタ 6 3 1 a（出力側）と第 (I + 1) の電流源のトランジスタ 6 3 2 b（入力側）とを密集して配置する関係である。

【 0 4 8 7 】

なお、図 6 5、図 6 6 などにおいて、トランジスタ 6 3 1 は 1 個としたが、これに限定するものではない。たとえば、小さなトランジスタ 6 3 1 を複数個形成

し、この複数個のトランジスタのソースまたはドレイン端子を抵抗 6 5 1 と接続してもよい。小さなトランジスタを複数個並列に接続することにより、トランジスタのばらつきを低減することができる。

【 0 4 8 8 】

同様に、トランジスタ 6 3 2 a は 1 個としたが、これに限定するものではない。たとえば、小さなトランジスタ 6 3 2 a を複数個形成し、このトランジスタ 6 3 2 a の複数個のゲート端子を、トランジスタ 6 3 1 のゲート端子と接続してもよい。小さなトランジスタ 6 3 2 a を複数個並列に接続することにより、トランジスタ 6 3 2 a のばらつきを低減することができる。

【 0 4 8 9 】

したがって、本発明の構成としては、1 つのトランジスタ 6 3 1 と複数個のトランジスタ 6 3 2 a とを接続する構成、複数個のトランジスタ 6 3 1 と 1 個のトランジスタ 6 3 2 a とを接続する構成、複数個のトランジスタ 6 3 1 と複数個のトランジスタ 6 3 2 a とを接続する構成が例示される。

【 0 4 9 0 】

以上の事項は、図 6 8 のトランジスタ 6 3 3 a とトランジスタ 6 3 3 b との構成にも適用される。1 つのトランジスタ 6 3 3 a と複数個のトランジスタ 6 3 3 b a とを接続する構成、複数個のトランジスタ 6 3 3 a と 1 個のトランジスタ 6 3 3 b とを接続する構成、複数個のトランジスタ 6 3 3 a と複数個のトランジスタ 6 3 3 b とを接続する構成が例示される。小さなトランジスタ 6 3 3 を複数個並列に接続することにより、トランジスタ 6 3 3 のばらつきを低減することができるからである。

【 0 4 9 1 】

また、以上の事項は、図 6 8 のトランジスタ 6 3 2 a、6 3 2 b との関係にも適用することができる。また、図 6 4 のトランジスタ 6 3 3 b も複数個のトランジスタで構成することが好ましい。図 7 3、図 7 4 のトランジスタ 6 3 3 についても同様に複数個のトランジスタで構成することが好ましい。

【 0 4 9 2 】

ここで、シリコンチップとしたが、これは、半導体チップの意味である。した

がって、ガリウム基板に形成されたチップ、ゲルマニウム基板など形成された他の半導体チップも同様である。

【 0 4 9 3 】

さらには、低温ポリシリコン、高温ポリシリコンもしくは固相成長により形成された半導体膜（CGS）、もしくはアモルファスシリコン技術を用いてソースドライバ回路にも適用される。ただし、この場合は、パネルが比較的大型の場合が多い。パネルが大型であると多少のソース信号線18からの出力バラツキがあっても視覚的に認識されにくい。したがって、以上のガラス基板などに画素TFTと同時にソースドライバ回路14を形成する表示パネルでは、密集して配置するとは、第1の電流源631と第2の電流源632とを少なくとも30mm以内の距離に配置（電流の出力側と電流の入力側）することをいう。さらには、20mm以内に配置することが好ましい。この範囲であれば、検討によりこの範囲に配置されたトランジスタの特性（ V_t 、モビリティ（ μ ））差がほとんど発生しないからである。また、同様に、第2の電流源632と第3の電流源633（電流の出力側と電流の入力側）も少なくとも30mm以内の距離に配置する。さらに好ましくは、20mm以内の位置に配置することが好ましい。

【 0 4 9 4 】

以上の説明は、理解を容易に、あるいは説明を容易にするため、カレントミラー回路間は電圧により信号を受け渡すように説明をした。しかし、電流受け渡し構成にすることにより、よりばらつきの小さい電流駆動型表示パネルの駆動用ドライバ回路（IC）14を実現することができる。

【 0 4 9 5 】

図67は電流受け渡し構成の実施例である。なお、図66は電圧受け渡し構成の実施例である。図66、図67とも回路図としては同じであり、レイアウト構成すなわち配線の引き回し方が異なる。図66において、631は第1段電流源用Nchトランジスタ、632aは第2段電流源用Nchトランジスタ、632bは第2段電流源用Pchトランジスタである。

【 0 4 9 6 】

図67において、631aは第1段電流源用Nchトランジスタ、632aは

第 2 段電流源用 N c h トランジスタ、6 3 2 b は第 2 段電流源用 P c h トランジスタである。

【0 4 9 7】

図 6 6 では、可変抵抗 6 5 1（電流を変化するために用いるものである）と N c h トランジスタ 6 3 1 で構成される第 1 段電流源のゲート電圧が、第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに受け渡されているので、電圧受け渡し方式のレイアウト構成となる。

【0 4 9 8】

一方、図 6 7 では、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 a で構成される第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡されているので、電流受け渡し方式のレイアウト構成となる。

【0 4 9 9】

なお、本発明の実施例では説明を容易にするため、あるいは理解を容易にするために、第 1 の電流源と第 2 の電流源との関係を中心に説明しているが、これに限定されるものではなく、第 2 の電流源と第 3 の電流源との関係、あるいはそれ以外の電流源との関係においても適用される（適用できる）ことは言うまでもない。

【0 5 0 0】

図 6 6 に示した電圧受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段の電流源の N c h トランジスタ 6 3 1 と第 2 段の電流源の N c h トランジスタ 6 3 2 a が離れ離れになる（離れ離れになりやすいというべきではある）ので、両者のトランジスタ特性に相違が生じやすい。したがって、第 1 段電流源の電流値が第 2 段電流源に正確に伝達されず、ばらつきが生じやすい。

【0 5 0 1】

それに対して、図 6 7 に示した電流受け渡し方式のカレントミラー回路のレイアウト構成では、カレントミラー回路を構成する第 1 段電流源の N c h トランジ

スタ 6 3 1 a と第 2 段電流源の N c h トランジスタ 6 3 2 a が隣接している（隣接して配置しやすい）ので、両者のトランジスタ特性に相違は生じにくく、第 1 段電流源の電流値が第 2 段電流源に正確に伝達され、ばらつきが生じにくい。

【 0 5 0 2 】

以上のことから、本発明の多段式カレントミラー回路の回路構成（本発明の電流駆動方式のソースドライバ回路（I C）1 4）として、電圧受け渡しではなく、電流受け渡しとなるレイアウト構成とすることにより、よりばらつきの小さくでき好ましい。以上の実施例は本発明の他の実施例にも適用できることは言うまでもない。

【 0 5 0 3 】

なお、説明の都合上、第 1 段電流源から第 2 段電流源の場合を示したが、第 2 段電流源から第 3 段電流源、第 3 段電流源から第 4 段電流源、・・・の場合も同様であることは言うまでもない。

【 0 5 0 4 】

図 6 8 は、図 6 5 の 3 段構成のカレントミラー回路（3 段構成の電流源）を、電流受け渡し方式にした場合の例を示している（したがって、図 6 5 は電圧受け渡し方式の回路構成である）。

【 0 5 0 5 】

図 6 8 では、まず、可変抵抗 6 5 1 と N c h トランジスタ 6 3 1 で基準電流が作成される。なお、可変抵抗 6 5 1 で基準電流を調整するように説明しているが、実際は、ソースドライバ I C（回路）1 4 内に形成（もしくは配置）された電子ボリウム回路によりトランジスタ 6 3 1 のソース電圧が設定され、調整されるように構成される。もしくは、図 6 4 に図示するような多数の電流源（1 単位）6 3 4 から構成される電流方式の電子ボリウムから出力される電流を直接にトランジスタ 6 3 1 のソース端子に供給することにより基準電流は調整される（図 6 9 を参照のこと）。

【 0 5 0 6 】

トランジスタ 6 3 1 による第 1 段電流源のゲート電圧が、隣接する第 2 段電流源の N c h トランジスタ 6 3 2 a のゲートに印加され、その結果トランジスタに

流れる電流値が、第 2 段電流源の P c h トランジスタ 6 3 2 b に受け渡される。また、第 2 の電流源のトランジスタ 6 3 2 b によるゲート電圧が、隣接する第 3 段電流源の N c h トランジスタ 6 3 3 a のゲートに印加され、その結果トランジスタに流れる電流値が、第 3 段電流源の N c h トランジスタ 6 3 3 b に受け渡される。第 3 段電流源の N c h トランジスタ 6 3 3 b のゲートには図 6 4 に図示する多数の電流源 6 3 4 が必要なビット数に応じて形成（配置）される。

【 0 5 0 7 】

図 6 9 では、前記多段式カレントミラー回路の第 1 段電流源 6 3 1 に、電流値調整用素子が具備されていることを特徴としている。この構成により、第 1 段電流源 6 3 1 の電流値を変化させることにより、出力電流をコントロールすることが可能となる。

【 0 5 0 8 】

トランジスタの V_t バラツキ（特性バラツキ）は、1 ウエハ内で 1 0 0 mV 程度のばらつきがある。しかし、1 0 0 μ 以内に近接して形成されたトランジスタの V_t バラツキは、少なくとも、1 0 mV 以下である（実測）。つまり、トランジスタを近接して形成し、カレントミラー回路を構成するとにより、カレントミラー回路の出力電流バラツキを減少させることができる。したがって、ソースドライバ IC の各端子の出力電流バラツキを少なくすることができる。

【 0 5 0 9 】

図 1 1 0 はトランジスタの形成面積（平方ミリメートル）と、単体トランジスタの出力電流バラツキ（3 σ ）との測定結果を示している。出力電流バラツキとは、 V_t 電圧での電流バラツキである。黒点は所定の形成面積内に作製された評価サンプル（1 0 - 2 0 0 個）のトランジスタ出力電流バラツキである。図 1 1 0 の A 領域（形成面積 0. 5 平方ミリメートル以内）内で形成されたトランジスタには、ほとんど出力電流のバラツキがない（ほぼ、誤差範囲の出力電流バラツキしかない。つまり、一定の出力電流が出力される）。逆に C 領域（形成面積 2. 4 平方ミリメートル以上）では、形成面積に対する出力電流のバラツキが急激に大きくなる傾向がある。B 領域（形成面積 0. 5 平方ミリメートル以上 2. 4 平方ミリメートル以下）では、形成面積に対する出力電流のバラツキはほぼ比例の

関係にある。

【0510】

ただし、出力電流の絶対値は、ウエハごとに異なる。しかし、この問題は、本発明のソースドライバ回路（IC）14において、基準電流を調整すること、あるいは所定値にすることにより対応できる。また、カレントミラー回路などの回路工夫で対応できる（解決できる）。

【0511】

本発明は、入力デジタルデータ（D）により、単位トランジスタ634に流れる電流数を切り替えることによりソース信号線18に流れる電流量を変化（制御）する。階調数が64階調以上であれば、 $1/64 = 0.015$ であるから、理論的には、1～2%以内の出力電流バラツキ以内にする必要がある。なお、1%以内の出力バラツキは、視覚的には判別することが困難になり、0.5%以下ではほぼ判別することができない（均一に見える）。

【0512】

出力電流バラツキ（%）を1%以内にするためには、図110の結果に示すようにトランジスタ群（バラツキの発生を抑制すべきトランジスタ）の形成面積を2平方ミリメートル以内にする必要がある。さらに好ましくは、出力電流のバラツキ（つまり、トランジスタの V_t バラツキ）を0.5%以内にするのが好ましい。図110の結果に示すようにトランジスタ群681の形成面積を1.2平方ミリメートル以内にすればよい。なお、形成面積とは、縦×横の長さの面積である。たとえば、一例として、1.2平方ミリメートルでは、1mm×1.2mmである。

【0513】

なお、以上は、特に8ビット（256階調）以上の場合である。256階調以下の場合、たとえば、6ビット（64階調）の場合は、出力電流のバラツキは2%程度であっても良い（画像表示上、実状は問題がない）。この場合は、トランジスタ群681は、5平方ミリメートル以内に形成すればよい。また、トランジスタ群681（図68では、トランジスタ群681aと681bの2つを図示している）の両方が、この条件を満足することを要しない。少なくとも一方が（3

つ以上ある場合は、1つ以上のトランジスタ群681) この条件を満足するように構成すれば本発明の効果が発揮される。特に、下位のトランジスタ群681 (681 aが上位で、681 bが下位の関係) に、関してこの条件を満足させることが好ましい。画像表示に問題が発生しにくくなるからである。

【0514】

以上の事項は本発明の他の実施例においても適用され、また、本発明の表示パネル、アレイ、表示装置などと組み合わせることができる。

【0515】

本発明のソースドライバ回路(IC) 14は、図68に図示するように、親、子、孫というように少なくとも複数の電流源を多段接続し、かつ各電流源密配置にしている(もちろん、親、子の2段接続でもよい)。また、各電流源間(トランジスタ群681間)を電流受け渡しにしている。具体的には、図68の点線で囲った範囲(トランジスタ群681)を密配置にする。このトランジスタ群681は電圧受け渡しの関係にある。また、親の電流源631と子の電流源632 aとは、ソースドライバIC14チップの略中央部に形成または配置する。チップの左右に配置された子の電流源を構成するトランジスタ632 aと、子の電流源を構成するトランジスタ632 bとの距離を比較的短くすることができるからである。つまり、最上位のトランジスタ群681 aをICチップの略中央部に配置する。そして、ICチップ14の左右に、下位のトランジスタ群681 bを配置する。好ましくは、この下位のトランジスタ群681 bの個数がICチップの左右で略等しくなるように配置または、形成もしくは作製するのである。なお、以上の事項は、ICチップ14に限定されず、低温あるいは高温ポリシリコン技術で基板71に直接形成したソースドライバ回路14にも適用される。他の事項も同様である。

【0516】

本発明では、トランジスタ群681 aはICチップ14の略中央部に1つ構成または配置または形成あるいは作製されており、チップの左右に8個ずつトランジスタ群681 bが形成されている(N=8+8、図63を参照のこと)。子のトランジスタ群681 bはチップの左右に等しくなるように、もしくは、チップ

中央の親が形成された位置に対し、左側に形成または配置されたトランジスタ群 681b の個数と、チップの右側に形成または配置されたトランジスタ群 681b の個数との差が、4 個以内となるように構成することが好ましい。さらには、チップの左側に形成または配置されたトランジスタ群 681b の個数と、チップの右側に形成または配置されたトランジスタ群 681b の個数との差が、1 個以内となるように構成することが好ましい。以上の事項は、孫にあたるトランジスタ群（図 68 では省略されているが）についても同様である。

【0517】

親電流源 631 と子電流源 632a 間は電圧受け渡し（電圧接続）されている。したがって、トランジスタの V_t バラツキの影響を受けやすい。そのため、トランジスタ群 681a の部分を密配置する。このトランジスタ群 681a の形成面積を、図 110 の図示するように 2 平方ミリメートル以内の面積に形成する。さらに好ましくは 1.2 平方ミリメートル以内に形成する。もちろん、階調数が 64 階調以下の場合は、5 平方ミリメートル以内でもよい。

【0518】

トランジスタ群 681a を子トランジスタ 632b 間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は離れても構わない。この距離の範囲（たとえば、上位のトランジスタ群 681a の出力端から下位のトランジスタ 681b の入力端までの距離）は、先に説明したように、第 2 の電流源（子）を構成するトランジスタ 632a と第 2 の電流源（子）を構成するトランジスタ 632b とを、少なくとも 10 mm 以内の距離に配置する。このましくは 8 mm 以内に配置または形成する。さらには、5 mm 以内に配置することが好ましい。

【0519】

この範囲であれば、検討によりシリコンチップ内で配置されてトランジスタの特性（ V_t 、モビリティ（ μ ））差が、電流受け渡しではほとんど影響しないからである。特に、この関係は、下位のトランジスタ群で実施することが好ましい。たとえば、トランジスタ群 681a が上位で、その下位にトランジスタ群 681b、さらにその下位にトランジスタ群 681c があれば、トランジスタ群 68

1bとトランジスタ群681cの電流受け渡しをこの関係を満足させる。したがって、すべてのトランジスタ群681がこの関係を満足させることに、本発明が限定されるものではない。少なくとも1組のトランジスタ群681がこの関係を満足さえるようにすればよい。特に、下位の方が、トランジスタ群681の個数が多くなるからである。

【0520】

第3の電流源（孫）を構成するトランジスタ633aと第3の電流源を構成するトランジスタ633bについても同様である。なお、電圧受け渡しでも、ほぼ適用することができることは言うまでもない。

【0521】

トランジスタ群681bはチップの左右方向（長手方向、つまり、出力端子761と対面する位置に）に形成または作製あるいは配置されている。トランジスタ群681bはチップの左右方向（長手方向、つまり、出力端子761と対面する位置に）に形成または作製あるいは配置されている。このトランジスタ群681bの個数Mは、本発明では11個（図63を参照）である。

【0522】

子電流源632bと孫電流源633a間は電圧受け渡し（電圧接続）されている。そのため、トランジスタ群681aと同様にトランジスタ群681bの部分を密配置する。このトランジスタ群681bの形成面積を、図110の図示するように2平方ミリメートル以内の面積に形成する。さらに好ましくは1.2平方ミリメートル以内に形成する。ただし、このトランジスタ群681b部分の V_t が少しでもばらつくと画像として認識されやすい。したがって、ほとんどバラツキが発生しないように、形成面積は図110のA領域（0.5平方ミリメートル以内）にすることが好ましい。

【0523】

トランジスタ群681bを孫トランジスタ633aとトランジスタ633b間は電流でデータを受け渡し（電流受け渡し）をしているので、多少、距離は離れても構わない。この距離の範囲についても先の説明と同様である。第3の電流源（孫）を構成するトランジスタ633aと第2の電流源（孫）を構成するトラン

ジスタ633bとを、少なくとも8mm以内の距離に配置する。さらには、5mm以内に配置することが好ましい。

【0524】

図69に、前記電流値制御用素子として、電子ボリウムで構成した場合を示す。電子ボリウムは抵抗691（電流制限および各基準電圧を作成する。抵抗691はポリシリで形成する）、デコーダ692、レベルシフタ693などで構成される。なお、電子ボリウムは電流を出力する。トランジスタ641はアナログスイッチ回路として機能する。

【0525】

また、電子ボリウム回路は、EL表示パネルの色数に応じて形成（もしくは配置）する。たとえば、RGBの3原色であれば、各色に対応する3つの電子ボリウム回路を形成（もしくは配置）し、各色を独立に調整できるようにすることが好ましい。しかし、1つの色を基準にする（固定する）場合は、色数-1分の電子ボリウム回路を形成（もしくは配置）する。

【0526】

図76は、RGBの3原色を独立に基準電流を制御する抵抗素子651を形成（配置）した構成である。もちろん、抵抗素子651は電子ボリウムに置き換えてもよいことは言うまでもない。電流源631、電流源632などの親電流源、子電流源など基本（根本）となる電流源は図76に図示する領域に電流出力回路704に密集して配置する。密集して配置することにより、各ソース信号線18からの出力バラツキが低減する。図76に図示するようにICチップ（回路）14の中央部に電流出力回路704（電流出力回路に限定されるものではない。基準電流発生回路部、コントローラ部でもよい。つまり、704とは出力回路が形成されていない領域である）に配置することにより、ICチップ（回路）14の左右に電流源631、632などから電流を均等に分配することが容易となる。したがって、左右の出力バラツキが発生しにくい。

【0527】

ただし、中央部に電流出力回路704に配置することに限定するものではない。ICチップの片端もしくは両端に形成してもよい。また、出力段回路と平行に

形成してもよい。

【 0 5 2 8 】

ICチップ14の中央部にコントローラあるいは出力電流回路704を形成することは、ICチップ14の単位トランジスタ634の V_t 分布の影響を受けやすいため、あまり好ましいとはいえない（ウエハの V_t はウエハ内で滑らかな分布が発生している）。この理由を図120で説明をする。ICチップ14の中央部にコントローラあるいは出力電流回路704を形成すると、中央部には単位トランジスタ634からなる出力電流回路を形成または構成することができない。一方で表示パネルの表示領域50はマトリックス状に画素16が形成されている（等間隔）。したがって、図120に図示するように、ICチップ14の中央部には、出力電流回路の出力端子761bはない。そのため、パネルの表示領域50の中央部には、ICチップ15の中央部以外の出力端子761a、761cから配線を引き回す。

【 0 5 2 9 】

しかし、出力端子761b、761cに接続される出力回路の単位トランジスタの V_t は異なっている可能性がある（図121参照）。各出力端子の単位トランジスタ634のゲート端子電圧が同一であっても、単位トランジスタ634の V_t 分布により出力電流が異なる。したがって、パネルの中央部で出力電流の段差が発生する可能性がある。出力電流の段差が発生すると、画面の中央部で左右の輝度が異なる。

【 0 5 3 0 】

この課題を解決する構成を図122に図示する。図122（a）は電流出力回路704をICチップの片側に構成した例である。図122（b）は電流出力回路704をICチップの両側に分割して構成した例である。図122（c）は電流出力回路704をICチップの入力端子側に構成した例である。したがって、電流出力回路704以外の領域に出力端子が規則的に形成されている。

【 0 5 3 1 】

図68の回路構成では、1つのトランジスタ633aと1つのトランジスタ633bとが一对一の完成で接続されている。図67においても、1つのトランジ

スタ632aと1つのトランジスタ632bとが一对一の完成で接続されている。図65などにおいても同様である。

【0532】

しかし、1つのトランジスタと1つのトランジスタとが一对一の関係で接続されていると、対応するトランジスタの特性(V_t など)の特性バラツキとこのトランジスタに接続されたトランジスタの出力にバラツキが発生してしまう。

【0533】

この課題を解決する構成の実施例が図123の構成である。図123の構成は、一例として4つのトランジスタ633aからなる伝達トランジスタ群681b(681b1、681b2、681b3)と4つのトランジスタ633bからなる伝達トランジスタ群681c(681c1、681c2、681c3)とを接続されている。ただし、伝達トランジスタ群681b、伝達トランジスタ群681cはそれぞれ4つのトランジスタ633で構成されるとしたがこれに限定されるものではなく、3以下でもよく、5以上でもよいことは言うまでもない。

【0534】

また、伝達トランジスタ群681b1には4つのトランジスタ633aが隣接して配置され、伝達トランジスタ群681b1に隣接して伝達トランジスタ群681b2が配置され、この伝達トランジスタ群681b2には4つのトランジスタ633aが隣接して配置され、というように形成されるとしているがこれに限定するものではない。たとえば、伝達トランジスタ群681b1のトランジスタ633aと伝達トランジスタ群681b2のトランジスタ633aとが相互に位置関係を交錯するように配置または形成してもよい。位置関係を交錯(トランジスタ633の配置を伝達トランジスタ群681間で入れ替える)させることにより、各端子での出力電流(プログラム電流)のバラツキをより少なくすることができる。

【0535】

このように電流受け渡しするトランジスタを複数のトランジスタで構成することにより、トランジスタ群全体として出力電流のバラツキが少なくなり、各端子での出力電流(プログラム電流)のバラツキをより少なくすることができる。

【0536】

伝達トランジスタ群681を構成するトランジスタ633の形成面積の総和が重要な項目である。基本的にトランジスタ633の形成面積の総和が大きいほど、出力電流（ソース信号線18から流入するプログラム電流）のバラツキは少なくなる。つまり、伝達トランジスタ群681の形成面積（トランジスタ633の形成面積の総和）が大きいほどバラツキは小さくなる。しかし、トランジスタ633の形成面積が大きくなればチップ面積が大きくなり、ICチップ14の価格が高くなる。なお、伝達トランジスタ群681の形成面積とは、伝達トランジスタ群681を構成するトランジスタ633の面積の総和である。また、トランジスタ633の面積とは、トランジスタ633のチャンネル長 L とトランジスタ633のチャンネル幅 W をかけた面積をいう。したがって、トランジスタ681が10個のトランジスタ633で構成され、トランジスタ633のチャンネル長 L が $10\mu\text{m}$ 、トランジスタ633のチャンネル幅 W が $5\mu\text{m}$ とすれば、伝達トランジスタ群681の形成面積 T_m （平方 μm ）は $10\mu\text{m} \times 5\mu\text{m} \times 10\text{個} = 500$ （平方 μm ）である。

【0537】

伝達トランジスタ群681の形成面積は単位トランジスタ634との関係を所定の関係を維持するようにする必要がある。また、伝達トランジスタ群681aと伝達トランジスタ群681bとは所定の関係を維持するようにする必要がある。

【0538】

トランジスタ群681の形成面積は単位トランジスタ634との関係について説明をする。図66でも図示しているように、1つのトランジスタ633bに対応して複数の単位トランジスタ634が接続されている。64階調の場合は、1つのトランジスタ633bに対応する単位トランジスタ634は63個である（図64の構成の場合）。この単位トランジスタ群の形成面積 T_s （平方 μm ）は、単位トランジスタ633のチャンネル長 L が $10\mu\text{m}$ 、トランジスタ633のチャンネル幅 W が $10\mu\text{m}$ とすれば、 $10\mu\text{m} \times 10\mu\text{m} \times 63\text{個} = 6300$ 平方 μm である。

【0539】

図64のトランジスタ633bが、図123では、伝達トランジスタ群681cが該当する。単位トランジスタ群の形成面積 T_s と伝達トランジスタ群681cの形成面積 T_m とは、以下の関係となるようにする。

【0540】

$$1/4 \leq T_m/T_s \leq 6$$

さらに好ましくは、単位トランジスタ群の形成面積 T_s と伝達トランジスタ群681cの形成面積 T_m とは、以下の関係となるようにする。

【0541】

$$1/2 \leq T_m/T_s \leq 4$$

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

【0542】

また、伝達トランジスタ群681bの形成面積 T_{mm} は伝達トランジスタ群681cの形成面積 T_{ms} とは、以下の関係となるようにする。

【0543】

$$1/2 \leq T_{mm}/T_{ms} \leq 8$$

さらに好ましくは、単位トランジスタ群の形成面積 T_s と伝達トランジスタ群681cの形成面積 T_m とは、以下の関係となるようにする。

【0544】

$$1 \leq T_{mm}/T_{ms} \leq 4$$

以上の関係を満足させることにより、各端子での出力電流（プログラム電流）のバラツキを少なくすることができる。

【0545】

トランジスタ群681b1からの出力電流 I_{c1} 、トランジスタ群681b2からの出力電流 I_{c2} 、トランジスタ群681b2からの出力電流 I_{c3} とするとき、出力電流 I_{c1} 、出力電流 I_{c2} 、および出力電流 I_{c3} は一致させる必要がある。本発明では、トランジスタ群681は複数のトランジスタ633で構成しているため、個々のトランジスタ633がバラツキていても、トランジスタ

群 6 8 1 としては、出力電流 I_c のバラツキは発生しない。

【 0 5 4 6 】

なお、以上の実施例は、図 6 8 のように 3 段のカレントミラー接続（多段のカレントミラー接続）の構成に限定されるものではない。1 段のカレントミラー接続にも適用できることは言うまでもない。また、図 1 2 3 の実施例は、複数のトランジスタ 6 3 3 a からなるトランジスタ群 6 8 1 b（6 8 1 b 1、6 8 1 b 2、6 8 1 b 3・・・）と複数のトランジスタ 6 3 3 b からなるトランジスタ群 6 8 1 c（6 8 1 c 1、6 8 1 c 2、6 8 1 c 3・・・）とを接続した実施例であった。しかし、本発明はこれに限定するものではなく、1 つのトランジスタ 6 3 3 a と複数のトランジスタ 6 3 3 b からなるトランジスタ群 6 8 1 c（6 8 1 c 1、6 8 1 c 2、6 8 1 c 3・・・）とを接続してもよい。また、複数のトランジスタ 6 3 3 a からなるトランジスタ群 6 8 1 b（6 8 1 b 1、6 8 1 b 2、6 8 1 b 3・・・）と 1 つのトランジスタ群 6 3 3 b とを接続してもよい。

【 0 5 4 7 】

図 6 4 において、スイッチ 6 4 1 a は 0 ビット目に対応し、スイッチ 6 4 1 b は 1 ビット目に対応し、スイッチ 6 4 1 c は 2 ビット目に対応し、……スイッチ 6 4 1 f は 5 ビット目に対応する。0 ビット目は 1 つの単位トランジスタで構成され、1 ビット目は 2 つの単位トランジスタで構成され、2 ビット目は 4 つの単位トランジスタで構成され、……5 ビット目は 3 2 つの単位トランジスタで構成される。説明を容易にするために、ドライバ回路 1 4 は 6 4 階調表示対応で、6 ビットであるとして説明をする。

【 0 5 4 8 】

本発明のドライバ 1 4 の構成では、1 ビット目は 0 ビット目に対して 2 倍のプログラム電流を出力する。2 ビット目は 1 ビット目に対して 2 倍のプログラム電流を出力する。3 ビット目は 2 ビット目に対して 2 倍のプログラム電流を出力する。4 ビット目は 3 ビット目に対して 2 倍のプログラム電流を出力する。5 ビット目は 4 ビット目に対して 2 倍のプログラム電流を出力する。逆に言えば、各隣接したビットは、正確に 2 倍のプログラム電流を出力できるように構成する必要

がある。

【0549】

しかし、実際には、各ビットを構成する単位トランジスタ634のバラツキにより、各端子は正確に2倍のプログラム電流を出力するように構成することは難しい（できないという意味ではないが）。この課題を解決する1実施例が図124の構成である。

【0550】

図124の構成では、各ビットの単位トランジスタ634に加えて、調整用のトランジスタを形成または配置している。調整用のトランジスタ1241は第5ビット（スイッチ641fが対応）と、第4ビット（スイッチ641eが対応）している。

【0551】

図124の実施例では、第5ビット目（スイッチ641fに接続された単位トランジスタ634部分が該当）、第4ビット（スイッチ641dに接続された単位トランジスタ634部分が該当）に、調整用トランジスタ1241を配置または形成あるいは構成している。調整用トランジスタ1241は第5ビットと第4ビット目に4個ずつ配置している。しかし、本発明はこれに限定されるものではない。各ビットに付加する調整用トランジスタ1241の個数は変化させてもよいし、また、すべてのビットに調整用トランジスタ1241を付加（形成あるいは構成もしくは配置）してもよい。調整用トランジスタ1241は、単位トランジスタ634のサイズに比較して小さくする。もしくは、単位トランジスタ634の出力電流に比較して、出力電流を少なくする。トランジスタサイズが同一でもW/L比を変化させることにより出力電流は異ならせることができる。

【0552】

なお、調整用トランジスタ1241のゲート端子は、単位トランジスタ634のゲート端子と共通にし、同一のゲート電圧が印加されるように構成あるいは接続する。したがって、トランジスタ633にI_b電流がながれると、単位トランジスタ634のゲート電圧が設定され、単位トランジスタ634が出力する電流が規定される。同時に調整用トランジスタ1241の出力電流も規定される。つま

り、調整用トランジスタ 1 2 4 1 の出力電流は、単位トランジスタ 6 3 4 の出力電流に比例する。また、出力電流は、単位トランジスタ 6 3 4 と対を成すトランジスタ 6 3 3 に流す I_b 電流で制御することができる。

【 0 5 5 3 】

本発明では、1つの単位トランジスタ 6 3 4 のサイズが、2個以上の調整用トランジスタのサイズを加えたサイズ以上の関係となるように構成する。つまり、単位トランジスタ 6 3 4 サイズ $>$ 調整用トランジスタ 1 2 4 1 サイズの関係となるようにする。また、2個以上の調整用トランジスタ 1 2 4 1 の総和した時に、総和のサイズが単位トランジスタ 6 3 4 サイズを上回るように構成あるいは形成する。調整用トランジスタ 1 2 4 1 の動作個数を制御することにより、各ビットでの出力電流のバラツキを小刻みに調整することができる。

【 0 5 5 4 】

また、他の実施例では、本発明では、1つの単位トランジスタ 6 3 4 の出力電流が、2個以上の調整用トランジスタの出力電流加えた電流の総和以上の関係となるように構成する。つまり、単位トランジスタ 6 3 4 の出力電流 $>$ 調整用トランジスタ 1 2 4 1 の出力電流の関係となるようにする。調整用トランジスタ 1 2 4 1 の動作個数を制御することにより、各ビットでの出力電流のバラツキを小刻みに調整することができる。

【 0 5 5 5 】

図 1 2 5 は調整用トランジスタ 1 2 4 1 で、各ビットの出力電流の調整方法を説明する説明図である。図 1 2 5 は調整用トランジスタ 1 2 4 1 が 4 個形成されたところを示している。

【 0 5 5 6 】

なお、説明を容易にするため、出力電流の調整の対象となるビットの目標出力電流を I_a とし、現在の出力電流 I_b は、目標出力電流 I_a に対して I_e だけ少ない状態で作製されてしまっているとする ($I_a = I_b + I_e$)。また、調整用トランジスタ 1 2 4 1 の 4 個のトランジスタのすべてが正常に動作したときに電流を I_g とし、トランジスタがプロセス上、ばらついて、必ず、 $I_g > I_e$ となるように構成する。したがって、4つの調整用トランジスタ 1 2 4 1 が動作し

ている状態では、出力電流 I_b は、目標出力電流 I_a を越えている ($I_b > I_a$)。

【 0 5 5 7 】

以上の状態で、調整用トランジスタ 1 2 4 1 を共通端子 1 2 5 2 から切り離して目標出力電流 I_a にする。調整は、調整用トランジスタ 1 2 4 1 をレーザーカットして行なう。レーザーカットは、YAGレーザーを用いるのが適当である。その他、ネオンヘリウムレーザー、炭酸ガスレーザーも用いることができる。また、サンドブラスタなどの機械加工でも実現できる。

【 0 5 5 8 】

図 1 2 5 では 2 箇所のカット箇所 1 2 5 1 を切断し、トランジスタ 1 2 4 1 a、1 2 4 1 b を共通端子 1 2 5 2 から切り離している。したがって、 I_g 電流は $1/2$ となる。以上のように、調整用トランジスタ 1 2 4 1 を共通端子 1 2 5 2 から切り離していき、目標出力電流 I_a となるように調整していく。出力電流は、微小電流計で測定し、測定値が目標値になったときに、切断する調整用トランジスタ 1 2 4 1 を切断することを停止する。

【 0 5 5 9 】

なお、図 1 2 5 の説明において、カット箇所 1 2 5 1 をレーザーにより切断して、出力電流を調整するとしたが、これに限定するものではない。たとえば、調整用トランジスタ 1 2 4 1 に直接レーザー光を照射し、調整用トランジスタ 1 2 4 1 を破壊して出力電流を調整してもよい。また、カット箇所 1 2 5 1 にアナログスイッチなどを形成しておき、このアナログスイッチを外部からの制御信号によりオンオフさせ、 g 点に接続される調整用トランジスタ 1 2 4 1 の個数を変化させてもよい。つまり、本発明は、調整用トランジスタ 1 2 4 1 を形成し、この調整用トランジスタ 1 2 4 1 からの電流をオンオフさせることにより、目標の出力電流となるようにするものである。したがって、他の構成でもよいことは言うまでもない。また、カット箇所 1 2 5 1 で切断することに限定するものではなく、あらかじめ、カット箇所をオープンにしておき、金属膜などを、このカット箇所に堆積させることにより接続してもよい。

【 0 5 6 0 】

また、調整用トランジスタ 1 2 4 1 を別途形成しておくとしたが、これに限定するものではない。たとえば、単位トランジスタ 6 3 4 の一部をトリミングすることにより、単位トランジスタ 6 3 4 の出力電流を調整することにより、目標の出力電流となるようにしてもよい。また、各ビットを構成する単位トランジスタ 6 3 4 のゲート端子電圧を個別に調整することにより、各ビットの出力電流を目標電流とするものであってもよい。たとえば、一例として、単位トランジスタ 6 3 4 のゲート端子に接続された配線をトリミングし、高抵抗化することにより達成させることができる。

【 0 5 6 1 】

図 1 2 3 の構成は、複数のトランジスタ 6 3 3 a の出力電流を複数のトランジスタ 6 3 3 b で受け取ることにより、各端子の出力電流のばらつきを低減させるものであった。図 1 2 6 は電流をトランジスタ群の両側から給電することにより出力電流のバラツキを低減する構成である。つまり、電流の供給源を複数設ける。

【 0 5 6 2 】

したがって、本発明は、単位トランジスタ 6 3 4 の出力電流を規定する基準電流を発生するトランジスタ（電流発生手段）を複数個形成または配置された構成である。さらに好ましくは、複数のトランジスタからの出力電流を、カレントミラー回路を構成するトランジスタなどの電流受け取り回路に接続し、この複数のトランジスタが発生するゲート電圧により単位トランジスタ 6 3 4 の出力電流を制御する構成である。

【 0 5 6 3 】

なお、図 1 2 6 の実施例では、単位トランジスタ 6 3 4 群の両側に、カレントミラーを構成するトランジスタ 6 3 3 b を形成した。しかし、本発明はこれだけに限定するものではなく、トランジスタ群 6 8 1 b の両側にカレントミラーを構成するトランジスタ 6 3 2 a を配置する構成も範疇である。

【 0 5 6 4 】

図 1 2 6 で明らかなように、トランジスタ群 6 8 1 b には電流を出力するトランジスタ 6 3 3 a が複数個形成されている。トランジスタ 6 8 1 b の両側にトラ

ンジスタ 6 8 1 b のゲート端子を共通にし、かつトランジスタ 6 3 3 a とカレントミラー回路を構成するトランジスタ 6 3 2 a (6 3 2 a 1、6 3 2 a 2) が形成または配置されている。トランジスタ 6 3 2 a 1 には基準電流 I_{a1} が流れ、トランジスタ 6 3 2 a 2 には基準電流 I_{a2} が流れる。したがって、トランジスタ 6 3 3 a (トランジスタ 6 3 3 a 1、6 3 3 a 2、6 3 3 a 3、6 3 3 a 4、……) のゲート端子電圧は、トランジスタ 6 3 2 a 1、6 3 2 a 2 で規定されるとともに、トランジスタ 6 3 3 a が出力する電流が規定される。

【 0 5 6 5 】

基準電流 I_{a1} 、 I_{a2} の大きさは一致させる。これは、基準電流 I_{a1} 、 I_{a2} を出力するカレントミラー回路などの定電流回路で行なうことができる。また、基準電流 I_{a1} 、 I_{a2} が多少ずれていても補正しあうので課題は発生しにくい構成である。

【 0 5 6 6 】

トランジスタ 6 3 3 a のゲート端子電圧は、IC チップがシリコンチップの場合、0. 5 2 以上 0. 6 8 (V) 以下の範囲に設定することが好ましい。この範囲であれば、トランジスタ 6 3 3 a の出力電流のバラツキが少なくなる。以上の事項は本発明の他の実施例においても同様である。

【 0 5 6 7 】

図 1 2 6 の構成では、カレントミラー回路において、トランジスタ 6 3 3 a と対を成すトランジスタ 6 3 2 a を 2 個以上 (複数個) 形成している。したがって、基準電流の両側給電となっているため、トランジスタ 6 3 3 a のゲート端子電圧がトランジスタ群 6 8 1 a 内において良好に一定に保たれる。そのため、トランジスタ 6 3 3 a が出力する電流バラツキが極めて少なくなる。したがって、ソース信号線 1 8 に出力するプログラム電流あるいはソース信号線 1 8 から吸収するプログラム電流のバラツキはきわめて少なくなる。

【 0 5 6 8 】

図 1 2 6 ではトランジスタ 6 3 3 a 1 はトランジスタ 6 3 3 b 1 と電流受け渡し状態を構成しており、トランジスタ 6 3 3 a 2 はトランジスタ 6 3 3 b 2 と電流受け渡し状態を構成している。したがって、トランジスタ群 6 8 1 c 1 も両側

給電の構成である。同様に、トランジスタ 6 3 3 a 3 はトランジスタ 6 3 3 b 3 と電流受け渡し状態を構成しており、トランジスタ 6 3 3 a 4 はトランジスタ 6 3 3 b 4 と電流受け渡し状態を構成している。また、トランジスタ 6 3 3 a 5 はトランジスタ 6 3 3 b 5 と電流受け渡し状態を構成しており、トランジスタ 6 3 3 a 6 はトランジスタ 6 3 3 b 6 と電流受け渡し状態を構成している。

【 0 5 6 9 】

トランジスタ 6 8 1 c は各ソース信号線 1 8 と接続される出力段回路である。したがって、トランジスタ群 6 8 1 c に両側給電し、トランジスタ 6 3 4 のゲート端子の電圧降下あるいは電位分布がないようにすることにより、各ソース信号線 1 8 の出力電流バラツキを解消できる。

【 0 5 7 0 】

トランジスタ群 6 8 1 c には電流を出力する単位トランジスタ 6 3 4 が複数個形成されている。トランジスタ 6 8 1 c の両側にトランジスタ 6 3 4 のゲート端子を共通にし、かつトランジスタ 6 3 4 とカレントミラー回路を構成するトランジスタ 6 3 3 b (6 3 3 b 1、6 3 3 b 2) が形成または配置されている。トランジスタ 6 3 3 b 1 には基準電流 I_{b1} が流れ、トランジスタ 6 3 3 b 2 には基準電流 I_{b2} が流れる。したがって、トランジスタ 6 3 4 のゲート端子電圧は、トランジスタ 6 3 3 b 1、6 3 3 b 2 で規定されるとともに、単位トランジスタ 6 3 4 が出力する電流が規定される。

【 0 5 7 1 】

基準電流 I_{b1} 、 I_{b2} の大きさは一致させる。これは、基準電流 I_{b1} 、 I_{b2} を出力するトランジスタ 6 3 3 a などの定電流回路で行なうことができる。また、基準電流 I_{b1} 、 I_{b2} が多少ずれていても補正しあうので課題は発生しにくい構成である。

【 0 5 7 2 】

図 1 2 7 は、図 1 2 6 の変形した実施例である。図 1 2 7 では、トランジスタ群 6 8 1 b において、両側にカレントミラー回路を構成するトランジスタ 6 3 2 a を配置するだけでなく、トランジスタ群 6 8 1 b の中途にもカレントミラー回路を構成するトランジスタ 6 3 2 を配置している。したがって、図 1 2 6 の構成

に比較して、よりトランジスタ 6 3 3 a のゲート端子電圧が一定になり、トランジスタ 6 3 3 a の出力バラツキが少なくなる。以上の事項はトランジスタ群 6 8 1 c に適応してもよいことは言うまでもない。

【 0 5 7 3 】

図 1 2 8 も、図 1 2 6 の変形した実施例である。図 1 2 6 では、トランジスタ群 6 8 1 b を構成するトランジスタ 6 3 3 a を順番に、トランジスタ群 6 8 1 c とカレントミラー回路を構成するトランジスタ 6 3 3 b に接続した構成である。しかし、図 1 2 8 の実施例は、トランジスタ 6 3 3 a の接続の順番を異ならせている。

【 0 5 7 4 】

図 1 2 8 は、トランジスタ 6 3 3 a 1 はトランジスタ群 6 8 1 c 1 とカレントミラー回路を構成するトランジスタ 6 3 3 b 1 と電流受け渡ししている。トランジスタ 6 3 3 a 2 はトランジスタ群 6 8 1 c 2 とカレントミラー回路を構成するトランジスタ 6 3 3 b 3 と電流受け渡ししている。また、トランジスタ 6 3 3 a 3 はトランジスタ群 6 8 1 c 1 とカレントミラー回路を構成するトランジスタ 6 3 3 b 2 と電流受け渡ししている。トランジスタ 6 3 3 a 4 はトランジスタ群 6 8 1 c 3 とカレントミラー回路を構成するトランジスタ 6 3 3 b 5 と電流受け渡ししている。トランジスタ 6 3 3 a 5 はトランジスタ群 6 8 1 c 2 とカレントミラー回路を構成するトランジスタ 6 3 3 b 4 と電流受け渡ししている。

【 0 5 7 5 】

図 1 2 6 に図示するように構成すると、トランジスタ 6 3 3 a の特性分布が発生すると、トランジスタ 6 3 3 a が電流を供給するトランジスタ 6 8 1 c がブロックとして出力電流変化が発生しやすい。そのため、E L 表示パネルにブロック状に境目が表示されることがある。

【 0 5 7 6 】

図 1 2 8 のようにトランジスタ 6 3 3 a を連続でなく、トランジスタ群 6 8 1 c とカレントミラー回路を構成するトランジスタ 6 3 3 との接続順序を入れ替えることにより、トランジスタ 6 3 3 a の特性分布が発生していても、トランジスタ 6 8 1 c がブロックとして出力電流変化が発生しにくい。そのため、E L 表示パ

ネルにブロック状に境目が表示されることはない。

【 0 5 7 7 】

もちろん、トランジスタ 6 3 3 a とトランジスタ 6 3 3 b との接続は、規則正しく行なう必要はなく、ランダムであっても良い。また、図 1 2 8 のように、トランジスタ 6 3 3 a は 1 つ飛ばしでなく、2 つ以上飛ばしてトランジスタ 6 3 3 b と接続してもよい。

【 0 5 7 8 】

以上の実施例は、図 6 8 に図示するように、多段にカレントミラー回路を接続した構成である。しかし、回路構成は、多段の接続に限定されるものではなく、図 1 2 9 に図示するように、1 段の構成であっても良い。

【 0 5 7 9 】

図 1 2 9 は、基準電流を基準電流調整手段 6 5 1 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。単位トランジスタ 6 3 4 はトランジスタ 6 3 3 b とカレントミラー回路を構成する。基準電流 I_b により、単位トランジスタ 6 3 4 の出力電流の大きさが規定される。

【 0 5 8 0 】

図 1 2 9 の構成は、基準電流 I_b によって、各トランジスタ群 6 8 1 c の単位トランジスタ 6 3 4 の電流が制御される。逆に言えば、トランジスタ 6 3 3 b により、トランジスタ群 6 8 1 c 1 からトランジスタ群 6 8 1 c n の単位トランジスタ 6 3 4 のプログラム電流が規定される。

【 0 5 8 1 】

しかし、トランジスタ群 6 8 1 c 1 の単位トランジスタ 6 3 4 のゲート端子電圧とトランジスタ群の単位トランジスタ 6 3 4 のゲート端子電圧とは、微妙に異なることが多い。ゲート配線に流れる電流などの電圧降下などの影響によるものと思われる。電圧では微妙な変化量でも、出力電流（プログラム電流）は数%異なる。本発明では、64 階調の場合、階調差は、 $100/64 = 1.5\%$ である。そのため、出力電流は少なくとも 1% 程度以下にはする必要がある。したがって、ゲート端子電圧の差はソースドライバ IC 1 4 には重大な課題となる。

【0582】

この課題を解決する構成を図130に図示する。図130では、基準電流 I_b の発生回路を2回路形成している。基準電流発生回路1は基準電流 I_{b1} を流し、基準電流発生回路2は基準電流 I_{b2} を流す。基準電流 I_{b1} と基準電流 I_{b2} とは同一の電流値にする。基準電流を基準電流調整手段651で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。なお、トランジスタ681cの出力端子はソース信号線18に接続されている。構成としては、カレントミラー回路の一段構成である。

【0583】

ただし、基準電流 I_{b1} と基準電流 I_{b2} を個別に調整できるように構成しておく、共通端子1253のa点の電圧とb点の電圧が異なり、トランジスタ群681c1の単位トランジスタ634の出力電流とトランジスタ群681c2の単位トランジスタ634の出力電流が異なっている場合に出力電流（プログラム電流）を均一になるように調整することができる。また、ICチップ14の左右で単位トランジスタの V_t が異なるため、出力電流の傾斜が発生している場合も補正し、出力電流の傾斜をなくすることができる。

【0584】

図130では、基準電流回路を2つ個別に形成したように図示しているが、これに限定するものではなく、図128に図示したトランジスタ群681bのトランジスタ633aで構成してもよい。図128の構成を採用することにより、カレントミラーを構成するトランジスタ632aに流す電流を制御すること（調整すること）により、図130の基準電流 I_{b1} と I_{b2} を同時に制御（調整）することができる。つまり、トランジスタ633b1とトランジスタ633b2をトランジスタ群として制御する（図130（b）を参照のこと）。

【0585】

図130の構成を採用することにより、共通端子1253のa点の電圧とb点の電圧を同一にすることができる。したがって、トランジスタ群681c1の単位トランジスタ634の出力電流と、トランジスタ群681c2の単位トランジスタ634の出力電流を同一にすることができ、均一で、ばらつきのないプログ

ラム電流を各ソース信号線 1 8 に供給することができる。

【 0 5 8 6 】

図 1 3 0 は、基準電流源を、2 つ形成する構成であった。図 1 3 1 は共通線 1 2 5 3 の中央部にも基準電流源を構成するトランジスタ 6 3 3 b のゲート電圧を印加する構成である。

【 0 5 8 7 】

基準電流発生回路 1 は基準電流 I_{b1} を流し、基準電流発生回路 2 は基準電流 I_{b2} を流す。基準電流発生回路 3 は基準電流 I_{b3} を流す。基準電流 I_{b1} 、基準電流 I_{b2} と基準電流 I_{b3} は同一の電流値にする。基準電流を基準電流調整手段 6 5 1 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。

【 0 5 8 8 】

基準電流 I_{b1} 、基準電流 I_{b2} 、基準電流 I_{b3} を個別に調整できるように構成しておく、各トランジスタ 6 3 3 b 1、トランジスタ 6 3 3 b 2、トランジスタ 6 3 3 b 3 のゲート端子電圧を調整することができる。共通端子 1 2 5 3 の a 点の電圧、b 点の電圧、c 点の電圧を調整することができる。したがって、トランジスタ群 6 8 1 c 1 の単位トランジスタ 6 3 4 の V_t 変化、トランジスタ群 6 8 1 c 2 の単位トランジスタ 6 3 4 の V_t 変化、トランジスタ群 6 8 1 c n の単位トランジスタ 6 3 4 の V_t 変化による出力電流（プログラム電流）の補正（ばらつき補正）を行うことができる。

【 0 5 8 9 】

図 1 3 1 では、基準電流回路を 3 つ個別に形成したように図示しているが、これに限定するものではなく、4 個以上としてもよい。図 1 2 8 に図示したトランジスタ群 6 8 1 b のトランジスタ 6 3 3 a で構成してもよい。図 1 2 8 の構成を採用することにより、カレントミラーを構成するトランジスタ 6 3 2 a に流す電流を制御すること（調整すること）により、図 1 3 0 の基準電流 I_{b1} 、 I_{b2} と I_{b3} を同時に制御（調整）することができる。つまり、トランジスタ 6 3 3 b 1、トランジスタ 6 3 3 b 2、トランジスタ 6 3 3 b 3 をトランジスタ群として制御する（図 1 3 1 (b) を参照のこと）。

【0590】

図130は、トランジスタ633b1に電流調整手段651.aを形成または配置し、トランジスタ633b2に電流調整手段651.bを形成または配置している。図132は、トランジスタ633b1、トランジスタ633b2のソース端子を共通にし、電流調整手段651を形成または配置した構成である。電流調整手段651の制御（調整）により、基準電流 I_{b1} と I_{b2} が変化する。基準電流 I_{b1} と I_{b2} の変化に比例して単位トランジスタ634が出力するプログラム電流が変化する。トランジスタ633b1とトランジスタ633b2の接続構成は、図123のトランジスタ群681cのトランジスタ633bの接続状態と同一である。

【0591】

基準電流 I_{b1} 、 I_{b2} を基準電流調整手段651で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。各トランジスタ群681cの単位トランジスタ634は、トランジスタ633b（633b1、633b2）とカレントミラー回路を構成する。基準電流 I_{b1} 、 I_{b2} により、単位トランジスタ634の出力電流の大きさが規定される。

【0592】

図129の構成は、基準電流 I_{b1} によって、主としてa点のゲート端子電圧が所定値に調整され、基準電流 I_{b2} によって、主としてb点のゲート端子電圧が所定値に調整される。基準電流 I_{b1} と I_{b2} は、基本的に同一電流である。また、トランジスタ633b1とトランジスタ633b2は近接して形成されるため、トランジスタ V_t は等しい。

【0593】

したがって、トランジスタ633b1のゲート端子とトランジスタ633b2のゲート端子は等しくなり、a点とb点の電圧は等しくなる。そのため、共通端子1253は両側から電圧が給電されていることになるから、ICチップの左右での共通端子1253の電圧は均一になる。共通端子1253の電圧が均一になれば、各トランジスタ群681cの単位トランジスタ634のゲート端子はすべ

て一致するようになる。したがって、単位トランジスタ 634 が出力するソース信号線 18 へのプログラム電流にバラツキは発生しない。

【0594】

図 132 は、基準電流源を発生するトランジスタ 633b を 2 つ形成する構成であった。図 133 は共通線 1253 の中央部にも基準電流源を構成するトランジスタ 633b2 のゲート電圧を印加する構成である。

【0595】

基準電流発生回路 1 は基準電流 I_{b1} を流し、基準電流発生回路 2 は基準電流 I_{b2} を流す。基準電流発生回路 3 は基準電流 I_{b3} を流す。基準電流 I_{b1} 、基準電流 I_{b2} と基準電流 I_{b3} は同一の電流値にする。基準電流を基準電流調整手段 651 で制御あるいは調整する（可変ボリウムに限定されるものではなく、電子ボリウムでもよいことは言うまでもない。）。

【0596】

図 133 では、基準電流回路を 3 つ個別に形成したように図示しているが、これに限定するものではなく、4 個以上としてもよい。

【0597】

チップ IC の両端に位置するトランジスタ群 681c1、トランジスタ 681 群 cn の外側には、ダミーのトランジスタ群 681c を形成または配置しておく。ダミーのトランジスタ群 681c はチップ IC の左右（最も外側）に 2 回路は形成することが好ましい。好ましくは 3 回路以上 6 回路以下形成する。ダミーのトランジスタ群 681c がないと、IC の製造時、拡散プロセス、エッチングプロセスで外側のトランジスタ群 681c の単位トランジスタ 634 の V_t が IC チップ 14 の中央部と異なるという課題が発生する。 V_t が異なれば単位トランジスタ 634 の出力電流（プログラム電流）にバラツキが発生する。

【0598】

また、トランジスタ群 681c 内の単位トランジスタ 634 の配置においても考慮を有する。トランジスタ群 681c は規則正しく配置することが必要である。単位トランジスタ 634 に抜けがあると、その周辺の単位トランジスタ 634 の特性が他の単位トランジスタ 634 の特性と異なってしまう。

【0599】

図134は出力段のトランジスタ群681cでの単位トランジスタ634の配置を模式的に図示している。64階調を表現する63個の単位トランジスタ634はマトリックス状に規則正しく配置されている。しかし、64個の単位トランジスタ634であれば、4列×16行に配置することができるが、単位トランジスタ634は63個であるので、1箇所形成しない箇所が発生する（斜線部）。すると、斜線部の周辺の単位トランジスタ634a、634b、634cの特性が他の単位トランジスタ634と異なって作製されてしまう。

【0600】

この課題を解決するために、本発明は、斜線部にダミートランジスタ1341を形成または配置する。すると、単位トランジスタ634a、単位トランジスタ634b、単位トランジスタ634cの特性が他の単位トランジスタ634と一致するようになる。つまり、本発明は、ダミートランジスタ1341を形成することにより、単位トランジスタ634がマトリックス状に構成するものである。また、単位トランジスタ634をマトリックス状にかけがないように配置するものである。また、単位トランジスタ634は線対称性を有するように配置するものである。

【0601】

64階調を表現するためには、63個の単位トランジスタ634をトランジスタ群681cに配置するとしたが、本発明はこれに限定されるものではない。単位トランジスタ634は、さらに複数の基本単位トランジスタ634で構成してもよい。

【0602】

図135(a)は、単位トランジスタ634である。図135(b)は4つの基本単位トランジスタ1352で、単位トランジスタ(1単位)1351を構成している。トランジスタ(1単位)1351の出力電流は、単位トランジスタ634と同一となるようにする。つまり、単位トランジスタ634を4つの基本単位トランジスタ1352で構成している。なお、本発明は単位トランジスタ634を4つの基本単位トランジスタ1352で構成することに限定するものではない。

く、単位トランジスタ 634 を複数の基本単位トランジスタ 1352 で構成すればいずれの構成でもよい。ただし、基本単位トランジスタ 1352 は同一のサイズまたは同一の出力電流を出力するように構成する。

【0603】

図 135 において、S はトランジスタのソース端子、G はトランジスタのゲート端子、D はトランジスタのドレイン端子を示している。

【0604】

図 135 (b) において、基本単位トランジスタ 1352 は同一方向に配置している。図 135 (c) は基本単位トランジスタ 1352 が行方向に異なる方向に配置している。また、図 135 (d) は基本単位トランジスタ 1352 が列方向に異なる方向に配置し、かつ点対称となるように配置している。図 135 (b)、図 135 (c)、図 135 (d) はいずれも規則性がある。

【0605】

単位トランジスタ 634 あるいは基本単位トランジスタ 1352 の形成方向を変化させると特性は異なることが多い。たとえば、図 135 (c) において、基本単位トランジスタ 634 a と基本単位トランジスタ 1352 b とは、ゲート端子に印加された電圧が同一でも、出力電流は異なる。しかし、図 135 (c) では、異なる特性の基本単位トランジスタ 1352 が同数ずつ形成されている。したがって、トランジスタ（単位）としてはバラツキが少なくなる。また、形成方向が異なる単位トランジスタ 634 あるいは基本単位トランジスタ 1352 の方向を変化させることにより、特性差が補間しあって、トランジスタ（1単位）のバラツキは低減するという効果を発揮する。以上の事項は、図 135 (d) の配置にも該当することは言うまでもない。

【0606】

したがって、図 136 などに図示するように、単位トランジスタ 634 の方向を変化させ、トランジスタ群 681 c として縦方向に形成した単位トランジスタ 634 の特性と横方向に形成した単位トランジスタ 634 の特性とを補間しあうことにより、トランジスタ 681 c としてばらつきを少なくすることができる。

【0607】

図 1 3 6 はトランジスタ群 6 8 1 c 内で列ごとに単位トランジスタ 6 3 4 の形成方向を変化させた実施例である。図 1 3 7 はトランジスタ群 6 8 1 c 内で行ごとに単位トランジスタ 6 3 4 の形成方向を変化させた実施例である。図 1 3 8 はトランジスタ群 6 8 1 c 内で行および列ごとに単位トランジスタ 6 3 4 の形成方向を変化させた実施例である。なお、ダミートランジスタ 1 3 4 1 を形成または配置する場合もこの構成要件にしたがって、構成する。

【 0 6 0 8 】

以上の実施例は、同一のサイズまたは同一の電流出力の単位トランジスタをトランジスタ群 6 8 1 c 内に構成あるいは形成する構成であった（図 1 3 9 (b) を参照のこと）。しかし、本発明はこれに限定するものではない。図 1 3 9 (a) に図示するように、0 ビット目（スイッチ 6 4 1 a）は、1 単位の単位トランジスタ 6 3 4 a を接続する（形成する）。1 ビット目（スイッチ 6 4 1 b）は、2 単位の単位トランジスタ 6 3 4 b を接続する（形成する）。2 ビット目（スイッチ 6 4 1 c）は、4 単位の単位トランジスタ 6 3 4 c を接続する（形成する）。3 ビット目（スイッチ 6 4 1 d）は、8 単位の単位トランジスタ 6 3 4 d を接続する（形成する）。4 ビット目（図示せず）は、1 6 単位の単位トランジスタ 6 3 4 a を接続する（形成する）。5 ビット目（図示せず）は、3 2 単位の単位トランジスタ 6 3 4 a を接続する（形成する）としてもよい。なお、たとえば、1 6 単位の単位トランジスタとは、単位トランジスタ 6 3 4 の 1 6 個分の電流を出力するトランジスタである。

【 0 6 0 9 】

* 単位（* は整数）の単位トランジスタはチャンネル幅 W を比例的に変化させる（チャンネル長 L を一定にする）ことにより容易に形成することができる。しかし、現実には、チャンネル幅 W を 2 倍にしても出力電流は 2 倍にならないことが多い。これは実際にトランジスタを作製して実験によりチャンネル幅 W を決定する。しかし、本発明において、チャンネル幅 W が多少比例条件からずれていても、比例しているとして表現する。

【 0 6 1 0 】

電流出力回路 7 0 4 は、R、G、B ごとに形成（配置）し、かつ、この RGB

の電流出力回路 704 R、704 G、704 B も近接して配置する。また、各色 (R、G、B) に、図 73 に図示する低電流領域の基準電流 I_{NL} を調整し、また、図 74 に図示する低電流領域の基準電流 I_{NH} を調整する (図 79 も参照のこと)。

【0611】

したがって、R の電流出力回路 704 R には低電流領域の基準電流 I_{NL} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 651 RL が配置され、高電流領域の基準電流 I_{NH} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 651 RH が配置される。同様に、G の電流出力回路 704 G には低電流領域の基準電流 I_{NL} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 651 GL が配置され、高電流領域の基準電流 I_{NH} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 651 GH が配置される。また、B の電流出力回路 704 B には低電流領域の基準電流 I_{NL} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 651 BL が配置され、高電流領域の基準電流 I_{NH} を調整するボリウム (もしくは、電圧出力もしくは電流出力の電子ボリウム) 651 BH が配置される。

【0612】

なお、ボリウム 651 などは、EL 素子 15 の温特を補償できるように、温度で変化するように構成することが好ましい。また、図 79 のガンマ特性で、折れ曲がり点が 2 点以上あるときは、各色の基準電流を調整する電子ボリウムあるいは抵抗などは 3 個以上にしてもよいことは言うまでもない。

【0613】

IC チップの出力端子には、出力パッド 761 が形成または配置されている。この出力パッドと、表示パネルのソース信号線 18 とが接続される。出力パッド 761 は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ (突起) が形成されている。突起の高さは $10\ \mu\text{m}$ 以上 $40\ \mu\text{m}$ 以下の高さにする。

【0614】

前記バンプと各ソース信号線 18 とは導電性接合層 (図示せず) を介して電気

的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀（Ag）、金（Au）、ニッケル（Ni）、カーボン（C）、酸化錫（SnO₂）などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層は、転写等の技術でバンプ上に形成する。また、バンプとソース信号線18とをACF樹脂で熱圧着される。なお、バンプあるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。

【0615】

図69において、入力された4ビットの電流値制御用データ（DI）は、4ビットデコーダ回路692でデコードされる（分割数が64必要であれば、6ビットにすることは言うまでもない。ここでは説明を容易にするため、4ビットとして説明をする）。その出力はレベルシフタ回路693により、ロジックレベルの電圧値からアナログレベルの電圧値に昇圧され、アナログスイッチ641に入力される。

【0616】

電子ボリウム回路の主構成部は、固定抵抗R0691aと16個の単位抵抗r691bで構成されている。デコーダ回路692の出力は、16個のアナログスイッチ641のいずれかに接続されており、デコーダ回路692の出力により、電子ボリウムの抵抗値が定まるように構成されている。すなわち、例えば、デコーダ回路692の出力が4であれば、電子ボリウムの抵抗値は $R0 + 5r$ となる。この電子ボリウムの抵抗は、第1段電流源631の負荷となっており、アナログ電源AVddにプルアップされている。したがって、この電子ボリウムの抵抗値が変化すると、第1段電流源631の電流値が変化し、その結果、第2段電流源632の電流値が変化し、その結果、第3段電流源633の電流値も変化して、ドライバICの出力電流はコントロールされることになる。

【0617】

なお、説明の都合上、電流値制御用データは4ビットとしたが、これは4ビットに固定されるものではなく、ビット数が多ければ多いほど、電流値の可変数は

多くなることは言うまでもない。また、多段式カレントミラーの構成を3段として説明したが、これも3段に固定されるものではなく、任意の段数でもかまわないことは言うまでもない。

【0618】

また、温度変化により、EL素子の発光輝度が変化するという課題に対して、電子ボリウム回路の構成として、温度により抵抗値が変化する外付け抵抗691aを具備させることが好ましい。温度により抵抗値が変化する外付け抵抗とは、サーミスタ、ポジスタなどが例示さえる。一般に、素子に流れる電流に応じて輝度が変化する発光素子は、温度特性を持っており、同じ電流値を流しても、その発光輝度は温度により変化する。そこで、温度により抵抗値が変化する外付け抵抗691aを電子ボリウムに付けることにより、定電流出力の電流値を温度により変化させることができ、温度が変化しても発光輝度が常に一定にすることができる。

【0619】

なお、前記多段式カレントミラー回路が、赤(R)用、緑(G)用、青(B)用の3系統に分離することが好ましい。一般に有機EL等の電流駆動型発光素子では、R、G、Bで発光特性が異なる。従って、R、G、Bで同じ輝度にするためには、発光素子に流す電流値をR、G、Bでそれぞれ調整する必要がある。また、有機EL表示パネル等の電流駆動型発光素子では、R、G、Bで温度特性が異なる。従って、温度特性を補正するために形成または配置したサーミスタ等の外部補助素子の特性も、R、G、Bでそれぞれ調整する必要がある。

【0620】

本発明では、前記多段式カレントミラー回路が、R用、G用、B用の3系統に分離されているので、発光特性や温度特性をR、G、Bでそれぞれ調整することができ、最適なホワイトバランスを得ることが可能である。

【0621】

先にも説明しているが、電流駆動方式では、黒表示時で、画素に書き込む電流が小さい。そのため、ソース信号線18などに寄生容量があると、1水平走査期間(1H)に画素16に十分な電流を書き込むことができないという問題点があ

った。一般に、電流駆動型発光素子では、黒レベルの電流値は数 nA 程度と微弱であるため、その信号値で数 $10 pF$ 程度あると思われる寄生容量（配線負荷容量）を駆動することは困難である。この課題を解決するためには、ソース信号線 18 に画像データを書き込む前に、プリチャージ電圧を印加し、ソース信号線 18 の電位レベルを画素の TFT11a の黒表示電流（基本的には TFT11a はオフ状態）にすることが有効である。このプリチャージ電圧の形成（作成）には、画像データの上位ビットをデコードすることにより、黒レベルの定電圧出力を行うことが有効である。

【0622】

図70に、本発明のプリチャージ機能を有した電流出力方式のソースドライバ回路（IC）14の一例を示す。図70では、6ビットの定電流出力回路の出力段にプリチャージ機能を搭載した場合を示している。図70において、プリチャージ制御信号は、画像データD0～D5の上位3ビットD3、D4、D5がすべて0である場合をNOR回路702でデコードし、水平同期信号HDによるリセット機能を有するドットクロックCLKのカウンタ回路701の出力とのAND回路703をとり、一定期間黒レベル電圧 V_p を出力するように構成されている。他の場合は、図68などで説明した電流出力段704からの出力電流がソース信号線18に印加される（ソース信号線18からプログラム電流 I_w を吸収する）。この構成により、画像データが黒レベルに近い0階調目～7階調目の場合、1水平期間のはじめの一定期間だけ黒レベルに相当する電圧が書き込まれて、電流駆動の負担が減り、書き込み不足を補うことが可能となる。なお、完全黒表示を0階調目とし、完全白表示を63階調目とする（64階調表示の場合）。

【0623】

なお、プリチャージを行う階調は、黒表示領域に限定すべきである。つまり、書き込み画像データを判定し、黒領域階調（低輝度、つまり、電流駆動方式では、書き込み電流が小さい（微小））を選択しプリチャージする（選択プリチャージ）。全階調データに対し、プリチャージすると、今度は、白表示領域で、輝度の低下（目標輝度に到達しない）が発生する。また、画像に縦筋が表示される。

【0624】

好ましくは、階調データの階調 0 から $1/8$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。さらに、好ましくは、階調データの階調 0 から $1/16$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 3 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。

【0625】

特に黒表示で、コントラストを高くするためには、階調 0 のみを検出してプリチャージする方式も有効である。極めて黒表示が良好になる。問題は、画面全体が階調 1、2 の場合に画面が黒浮きして見えることである。したがって、階調データの階調 0 から $1/8$ の領域の階調と、一定の範囲で選択プリチャージを行う。

【0626】

なお、プリチャージの電圧、階調範囲は、R、G、B で異ならせることも有効である。EL 表示素子 15 は、R、G、B で発光開始電圧、発光輝度が異なっているからである。たとえば、R は、階調データの階調 0 から $1/8$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 1 階調目から 7 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）。他の色（G、B）は、階調データの階調 0 から $1/16$ の領域の階調で、選択プリチャージを行う（たとえば、64 階調の時は、0 階調目から 3 階調目までの画像データの時、プリチャージを行ってから、画像データを書き込む）などの制御を行う。また、プリチャージ電圧も、R は 7（V）であれば、他の色（G、B）は、7.5（V）の電圧をソース信号線 18 に書き込むようにする。最適なプリチャージ電圧は、EL 表示パネルの製造ロットで異なることが多い。したがって、プリチャージ電圧は、外部ボリウムなどで調整できるように構成しておくことが好ましい。この調整回路も電子ボリウム回路を用いることにより容易に実現できる。

【0627】

また、全くプリチャージしない第 0 モード、階調 0 のみをプリチャージする第

1 モード、階調 0 から階調 3 の範囲でプリチャージする第 2 モード、階調 0 から階調 7 の範囲でプリチャージする第 3 モード、全階調の範囲でプリチャージする第 4 モードなどを設定し、これらをコマンドで切り替えるように構成することが好ましい。これらは、ソースドライバ回路 (IC) 14 内においてロジック回路を構成 (設計) することにより容易に実現できる。

【0628】

図 75 は選択プリチャージ回路部の具体化構成図である。PV はプリチャージ電圧の入力端子である。外部入力あるいは、電子ボリウム回路におり、R、G、B で個別のプリチャージ電圧が設定される。なお、R、G、B で個別のプリチャージ電圧を設定するとしたがこれに限定するものではない。R、G、B で共通であってもよい。プリチャージ電圧は、画素 16 の駆動 TFT 11a の V_t に関連するものであり、この画素 16 は R、G、B 画素で同一だからである。逆に、画素 16 の駆動 TFT 11a の W/L 比などが R、G、B で異ならせている (異なった設計となっている) 場合は、プリチャージ電圧を異なった設計に対応して調整することが好ましい。たとえば、L が大きくなれば、TFT 11a のダイオード特性は悪くなり、ソースドレイン (SD) 電圧は大きくなる。したがって、プリチャージ電圧は、ソース電位 (V_{dd}) に対して低く設定する必要がある。

【0629】

プリチャージ電圧 PV はアナログスイッチ 731 に入力されている。このアナログスイッチの W (チャンネル幅) はオン抵抗を低減するために、 $10\mu\text{m}$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\mu\text{m}$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\mu\text{m}$ 以上 $60\mu\text{m}$ 以下にすることが好ましい。以上の事項は図 75 のスイッチ 641b のアナログスイッチ 731、図 73 のアナログスイッチ 731 にも適用される。

【0630】

スイッチ 641a はプリチャージイネーブル (PEN) 信号、選択プリチャージ信号 (PSL) と、図 74 のロジック信号の上位 3 ビット (H_5 、 H_4 、 H_3) で制御される。一例としたロジック信号の上位 3 ビット (H_5 、 H_4 、 H_3)

の意味は、上位3ビットが“0”の時に選択プリチャージが実施されるようにしたためである。つまり、下位3ビットが“1”の時（階調0から階調7）の時を選択してプリチャージが実施されるように構成している。

【0631】

なお、この選択プリチャージは、階調0のみをプリチャージするとか、階調0から階調7の範囲でプリチャージするとか固定してもよいが、低階調流域（図79の階調0から階調R1もしくは階調（R1-1））を選択プリチャージするとうように、低階調領域と連動させてもよい。つまり、選択プリチャージは、低階調領域が階調0から階調R1の時はこの範囲で実施し、低階調領域が階調0から階調R2の時はこの範囲で実施するように連動させて実施する。なお、この制御方式の方が他の方式に比較して、ハード規模が小さくなる。

【0632】

以上の信号の印加状態により、スイッチ641aがオンオフ制御され、スイッチ641aオンの時、プリチャージ電圧PVがソース信号線18に印加される。なお、プリチャージ電圧PVを印加する時間は、別途形成したカウンタ（図示せず）により設定される。このカウンタはコマンドにより設定できるように構成されている。また、プリチャージ電圧の印加時間は1水平走査期間（1H）の1/100以上1/5以下の時間に設定することが好ましい。たとえば、1Hが100μsecとすれば、1μsec以上20μsecとする。さらに好ましくは、2μsec以上10μsecとする。

【0633】

また、プリチャージ印加時間は、R、G、Bで異ならせたりすることも良好な結果が得られる。たとえば、Rのプリチャージ時間をG、Bのプリチャージ時間よりも長くするなどである。これば、有機ELなどでは、RGBの各材料で発光開始時間などが異なるからである。また、次にソース信号線18に印加する画像データにより、プリチャージ電圧PV印加時間を可変することによっても良好な結果が得られる。たとえば、完全黒表示の階調0では印加時間を長くし、階調4ではそれよりも短くするなどである。また、1H前の画像データと次に印加する画像データの差を考慮して、印加時間を設定することも良好な結果を得ることが

できる。たとえば、1 H前にソース信号線に画素を白表示にする電流と書き込み、次の1 Hに、画素に黒表示にする電流を書き込む時は、プリチャージ時間を長くする。黒表示の電流は微小であるからである。逆に、1 H前にソース信号線に画素を黒表示にする電流と書き込み、次の1 Hに、白素に黒表示にする電流を書き込む時は、プリチャージ時間を短くするか、もしくはプリチャージを停止する（行わない）。白表示の書き込み電流は大きいからである。

【0634】

また、印加する画像データに応じてプリチャージ電圧を変化かえることも有効である。黒表示の書き込み電流は微小であり、白表示の書き込み電流は大きいからである。したがって、低階調領域になるにしたがって、プリチャージ電圧を高く（ V_{dd} に対して。なお、画素TFT11aがPチャンネルの時）し、高階調領域になるにしたがって、プリチャージ電圧を低く（画素TFT11aがPチャンネルの時）する。

【0635】

プログラム電流オープン端子（PO端子）が“0”の時は、スイッチ641bがオフ状態となり、IL端子およびIH端子とソース信号線18とは切り離される（Iout端子が、ソース信号線18と接続されている）。したがって、プログラム電流Iwはソース信号線18には流れない。PO端子はプログラム電流Iwをソース信号線に印加している時は、“1”とし、スイッチ641bをオンして、プログラム電流Iwをソース信号線18に流す。

【0636】

PO端子に“0”を印加し、スイッチ641bをオープンにする時は、表示領域のいずれの画素行も選択されていない時である。電流源634は入力データ（D0～D5）に基づいて電流をたえず、ソース信号線18から引き込んでいる。この電流が選択された画素16の V_{dd} 端子からTFT11aを介してソース信号線18に流れ込む電流である。したがって、いずれの画素行も選択されていない時は、画素16からソース信号線18に電流が流れる経路がない。いずれの画素行も選択されていない時とは、任意の画素行が選択され、次の画素行が選択されるまでの間に発生する。なお、このようないずれの画素（画素行）も選択され

ず、ソース信号線 1 8 に流れ込む（流れ出す）経路がない状態を、全非選択期間と呼ぶ。

【 0 6 3 7 】

この状態で、I O U T 端子がソース信号線 1 8 に接続されていると、オンしている単位電流源 6 3 4（実際にはオンしているのは D 0 ～ D 5 端子のデータにより制御されるスイッチ 6 4 1 であるが）に電流が流れる。そのため、ソース信号線 1 8 の寄生容量に充電された電荷が放電し、ソース信号線 1 8 の電位が、急激に低下する。

【 0 6 3 8 】

以上のように、ソース信号線 1 8 の電位が低下すると、本来ソース信号線 1 8 に書き込む電流により、元の電位まで回復するのに時間を要するようになってしまう。

【 0 6 3 9 】

この課題を解決するため、本発明は、全非選択期間に、P O 端子に“0”を印加し、図 7 5 のスイッチ 6 4 1 b をオフとして、I O U T 端子とソース信号線 1 8 とを切り離す。切り離すことにより、ソース信号線 1 8 から電流源 6 3 4 に電流が流れ込むことはなくなるから、全非選択期間にソース信号線 1 8 の電位変化は発生しない。以上のように、全非選択期間に P O 端子を制御し、ソース信号線 1 8 から電流源を切り離すことにより、良好な電流書き込みを実施することができる。

【 0 6 4 0 】

また、画面に白表示領域（一定の輝度を有する領域）の面積（白面積）と、黒表示領域（所定以下の輝度の領域）の面積（黒面積）が混在し、白面積と黒面積の割合が一定の範囲の時、プリチャージを停止するという機能を付加することは有効である（適正プリチャージ）。この一定の範囲で、画像に縦筋が発生するからである。もちろん、逆に一定の範囲で、プリチャージするという場合もある。また、画像が動いた時、画像がノイズ的になるからである。適正プリチャージは、演算回路で白面積と黒面積に該当する画素のデータをカウント（演算）することにより、容易に実現することができる。

【 0 6 4 1 】

また、適正プリチャージは、R、G、Bで異ならせることも有効である。EL表示素子15は、R、G、Bで発光開始電圧、発光輝度が異なっているからである。たとえば、Rは、所定輝度の白面積：所定輝度の黒面積の比が1：20以上でプリチャージを停止または開始し、GとBは、所定輝度の白面積：所定輝度の黒面積の比が1：16以上でプリチャージを停止または開始するという構成である。なお、実験および検討結果によれば、有機ELパネルの場合、所定輝度の白面積：所定輝度の黒面積の比が1：100以上（つまり、黒面積が白面積の100倍以上）でプリチャージを停止することが好ましい。さらには、所定輝度の白面積：所定輝度の黒面積の比が1：200以上（つまり、黒面積が白面積の200倍以上）でプリチャージを停止することが好ましい。

【 0 6 4 2 】

プリチャージ電圧PVは、画素16の駆動TFT11aがPチャンネルの場合、Vdd（図1を参照）に近い電圧をソースドライバ回路（IC）14から出力する必要がある。しかし、このプリチャージ電圧PVがVddに近いほど、ドライバ回路（IC）14は高耐圧プロセスの半導体を使用する必要がある（高耐圧といっても、5（V）～10（V）であるが、しかし、5（V）耐圧を超えると、半導体プロセス価格は高くなる点が課題である。したがって、5（V）耐圧のプロセスを採用することにより高精細、低価格のプロセスを使用することができる）。

【 0 6 4 3 】

画素16の駆動用TFT11aのダイオード特性が良好で白表示のオン電流が確保した時、5（V）以下であれば、ソースドライバIC14も5（V）プロセスを使用できるから問題は発生しない。しかし、ダイオード特性が5（V）を越える時、問題となる。特に、プリチャージは、TFT11aのソース電圧Vddに近いプリチャージ電圧PVを印加する必要があるので、IC14から出力することができなくなる。

【 0 6 4 4 】

図92は、この課題を解決するパネル構成である。図92では、アレイ71側

にスイッチ回路641を形成している。ソースドライバIC14からは、スイッチ641のオンオフ信号を出力する。このオンオフ信号は、アレイ71に形成されたレベルシフト回路693で昇圧され、スイッチ641をオンオフ動作させる。なお、スイッチ641およびレベルシフト回路693が画素のTFTを形成するプロセスで同時に、もしくは順次に、形成する。もちろん、外付け回路(IC)で別途形成し、アレイ71上に実装などしてもよい。

【0645】

オンオフ信号は、先に説明(図75など)したプリチャージ条件に基づいて、IC14の端子761aから出力される。したがって、プリチャージ電圧の印加、駆動方法は図92の実施例においても適用できることは言うまでもない。端子761aから出力される電圧(信号)は、5(V)以下と低い。この電圧(信号)がレベルシフト回路693でスイッチ641のオンオフロジックレベルまで振幅が大きくされる。

【0646】

以上のように構成することにより、ソースドライバ回路(IC)14はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。プリチャージ電圧 PV は、動作電圧が高いアレイ基板71で課題はなくなる。したがって、プリチャージも V_{dd} 電圧まで十分印加できるようになる。

【0647】

図89のスイッチ回路641もソースドライバ回路(IC)14内に形成(配置)するとなると耐圧が問題となる。たとえば、画素16の V_{dd} 電圧が、IC14の電源電圧よりも高い場合、IC14の端子761にIC14を破壊するような電圧が印加される危険があるからである。

【0648】

この課題を解決する実施例が図91の構成である。アレイ基板71にスイッチ回路641を形成(配置)している。スイッチ回路641の構成などは図92で説明した構成、仕様など同一または近似である。

【0649】

スイッチ641はIC14の出力よりも先で、かつソース信号線18の途中に

配置されている。スイッチ641がオンすることにより、画素16をプログラムする電流 I_w がソースドライバ回路(IC)14に流れ込む。スイッチ641がオフすることにより、ソースドライバ回路(IC)14はソース信号線18から切り離される。このスイッチ641を制御することにより、図90に図示する駆動方式などを実施することができる。

【0650】

図92と同様に端子761aから出力される電圧(信号)は、5(V)以下と低い。この電圧(信号)がレベルシフタ回路693でスイッチ641のオンオフロジックレベルまで振幅が大きくなる。

【0651】

以上のように構成することにより、ソースドライバ回路(IC)14はプログラム電流 I_w を駆動できる動作電圧範囲の電源電圧で十分になる。また、スイッチ641もアレイ71の電源電圧で動作するため、画素16からV_{dd}電圧がソース信号線18に印加されてもスイッチ641が破壊することはない、また、ソースドライバ回路(IC)14が破壊されることもない。

【0652】

なお、図91のソース信号線18の途中に配置(形成)されたスイッチ641とプリチャージ電圧P_V印加用スイッチ641の双方をアレイ基板71に形成(配置)してもよいことは言うまでもない(図91+図92の構成)。

【0653】

以前にも説明したが、図1のように画素16の駆動用TFT11a、選択TFT(11b、11c)がPチャンネルTFTの場合は、突き抜け電圧が発生する。これは、ゲート信号線17aの電位変動が、選択TFT(11b、11c)のG-S容量(寄生容量)を介して、コンデンサ19の端子に突き抜けるためである。Pチャンネルトランジスタ11bがオフするときにはV_{gh}電圧となる。そのため、コンデンサ19の端子電圧がV_{dd}側に少しシフトする。そのため、トランジスタ11aのゲート(G)端子電圧は上昇し、より黒表示となる。

【0654】

しかし、反面、第1階調の完全黒表示は実現できるが、第2階調などは表示し

にくいことになる。もしくは、第1階調から第2階調まで大きく階調飛びが発生したり、特定の階調範囲で黒つぶれが発生したりする。

【0655】

この課題を解決する構成が、図71の構成である。出力電流値を嵩上げする機能を有することを特徴としている。嵩上げ回路711の主たる目的は、突き抜け電圧の補償である。また、画像データが黒レベル0であっても、ある程度（数10nA）電流が流れるようにし、黒レベルの調整にも用いることができる。

【0656】

基本的には、図71は、図64の出力段に嵩上げ回路（図71の点線で囲まれた部分）を追加したものである。図71は、電流値嵩上げ制御信号として3ビット（K0、K1、K2）を仮定したものであり、この3ビットの制御信号により、孫電流源の電流値の0～7倍の電流値を出力電流に加算することが可能である。

【0657】

以上が本発明のソースドライバ回路（IC）14の基本的な概要である。以後、さらに詳細に本発明のソースドライバ回路（IC）14について説明をする。

【0658】

EL素子15に流す電流 I （A）と発光輝度 B （nt）とは線形の関係がある。つまり、EL素子15に流す電流 I （A）と発光輝度 B （nt）とは比例する。電流駆動方式では、1ステップ（階調刻み）は、電流（電流源634（1単位））である。

【0659】

人間の輝度に対する視覚は2乗特性をもっている。つまり、2乗の曲線で変化する時、明るさは直線的に変化しているように認識される。しかし、図83の関係であると、低輝度領域でも高輝度領域でも、EL素子15に流す電流 I （A）と発光輝度 B （nt）とは比例する。したがって、1ステップきざみづつ変化させると、低階調部（黒領域）では、1ステップに対する輝度変化が大きい（黒飛びが発生する）。高階調部（白領域）は、ほぼ2乗カーブの直線領域と一致するので、1ステップに対する輝度変化は等間隔で変化しているように認識される。

以上のことから、電流駆動方式（1ステップが電流きざみの場合）において（電流駆動方式のソースドライバ回路（IC）14において）、黒表示領域が課題となる。

【0660】

この課題に対して、本発明は、図79に図示するように、低階調領域（階調0（完全黒表示）から階調（R1））の電流出力の傾きを小さくし、高階調領域（階調（R1）から最大階調（R））の電流出力の傾きを大きくする。つまり、低階調領域では、1階調あたりに（1ステップ）増加する電流量と小さくする。高階調領域では、1階調あたりに（1ステップ）増加する電流量と大きくする。図79の2つの階調領域で1ステップあたりに変化する電流量を異ならせることにより、階調特性が2乗カーブに近くなり、低階調領域での黒飛びの発生はない。以上の図79などに図示する、階調－電流特性カーブをガンマカーブと呼ぶ。

【0661】

なお、以上の実施例では、低階調領域と高階調領域の2段階の電流傾きとしたが、これに限定するものではない。3段階以上であっても良いことは言うまでもない。しかし、2段階の場合は回路構成が簡単になるので好ましいことは言うまでもない。

【0662】

本発明の技術的思想は、電流駆動方式のソースドライバ回路（IC）などにおいて（基本的には電流出力で階調表示を行う回路である。したがって、表示パネルがアクティブマトリックス型に限定されるものではなく、単純マトリックス型も含まれる。）、階調1ステップあたりの電流増加量が複数存在させることである。

【0663】

ELなどの電流駆動型の表示パネルは、印加される電流量に比例して表示輝度が増加する。したがって、本発明のソースドライバ回路（IC）14では、1つの電流源（1単位）634に流れるもととなる基準電流を調整することにより、容易に表示パネルの輝度を調整することができる。

【0664】

E L 表示パネルでは、R、G、Bで発光効率が異なり、また、NTSC基準に対する色純度がずれている。したがって、ホワイトバランスを最適にするためにはRGBの比率を適正に調整する必要がある。調整は、RGBのそれぞれの基準電流を調整することにより行う。たとえば、Rの基準電流を $2\mu\text{A}$ にし、Gの基準電流を $1.5\mu\text{A}$ にし、Bの基準電流を $3.5\mu\text{A}$ にする。基準電流は、なお、本発明のドライバでは、図67における第1段の電流源631のカレントミラー倍率を小さくし（たとえば、基準電流が $1\mu\text{A}$ であれば、トランジスタ632bに流れる電流を $1/100$ の 10nA にするなど）、外部から調整する基準電流の調整精度をラフにできるようにし、かつ、チップ内の微小電流の精度を効率よく調整できるように構成している。

【0665】

図79のガンマカーブを実現できるように、低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。また、RGBで独立に調整できるように、RGBごとに低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備している。もちろん、1色を固定し、他の色の基準電流を調整することによりホワイトバランスを調整する時は、2色（たとえば、Gを固定している場合は、R、B）を調整する低階調領域の基準電流の調整回路と高階調領域の基準電流の調整回路を具備させればよい。

【0666】

電流駆動方式は、図83にも図示したように、ELに流す電流Iと輝度の関係は直線の関係がある。したがって、RGBの混合によるホワイトバランスの調整は、所定の輝度の一点でRGBの基準電流を調整するだけでよい。つまり、所定の輝度の一点でRGBの基準電流を調整し、ホワイトバランスを調整すれば、基本的には全階調にわたりホワイトバランスがとれている。

【0667】

しかし、図79のガンマカーブの場合は、少し注意が必要である。まず、RGBのホワイトバランスを取るためには、ガンマカーブの折れ曲がり位置（階調R1）をRGBで同一にする必要がある（逆に言えば、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるということになる）。また、低階

調領域の傾きと高階調領域の傾きとの比率をRGBで、一定にする必要がある（つまり、電流駆動方式では、ガンマカーブの相対的な関係をRGBで同一にできるということになる）。

【0668】

たとえば、低階調領域で1階調あたり10nA増加（低階調領域でのガンマカーブの傾き）し、高階調領域で1階調あたり50nA増加（高階調領域でのガンマカーブの傾き）する（なお、高階調領域で1階調あたり電流増加量／低階調領域で1階調あたり電流増加量をガンマ電流比率と呼ぶ。この実施例では、ガンマ電流比率は、 $50\text{ nA} / 10\text{ nA} = 5$ である）。すると、RGBでガンマ電流比率を同一にする。つまり、RGBでは、ガンマ電流比率を同一にした状態でEL素子15に流れる電流を調整するように構成する。

【0669】

図80ではそのガンマカーブの例である。図80（a）では、低階調部と高階調部とも1階調あたりの電流増加が大きい。図80（b）では、低階調部と高階調部とも1階調あたりの電流増加は図80（a）に比較して小さい。ただし、図80（a）、図80（b）ともガンマ電流比率は同一にしている。このようにガンマ電流比率を、RGBで同一に維持したまま調整することは、各色に、低階調部に印加する基準電流を発生する定電流回路と、高階調部に印加する基準電流を発生する定電流回路とを作製し、これらを相対的に流す電流を調整するポリウムを作製（配置）すればよいからである。

【0670】

図77はガンマ電流比率を維持したまま、出力電流を可変する回路構成である。電流制御回路772で低電流領域の基準電流源771Lと高電流領域の基準電流源771Hとのガンマ電流比率を維持したまま、電流源633L、633Hに流れる電流を変化させる。

【0671】

また、図78に図示するように、ICチップ（回路）14内に形成した温度検出回路781で相対的な表示パネルの温度を検出することが好ましい。有機EL素子は、RGBを構成する材料により温度特性が異なるからである。この温度の

検出は、バイポーラトランジスタの接合部の状態が温度により変化し、出力電流が温度により変化することを利用する。この検出した温度を各色に配置（形成）した温度制御回路 7 8 2 にフィードバックし、電流制御回路 7 7 2 により温度補償を行う。

【 0 6 7 2 】

なお、ガンマ比率は、検討により、3 以上 1 0 以下の関係にすることが適切である。さらに好ましくは、4 以上 8 以下の関係にすることが適切である。特にガンマ電流比率は 5 以上 7 以下の関係を満足させることが好ましい。これを第 1 の関係と呼ぶ。

【 0 6 7 3 】

また、低階調部と高階調部との変化ポイント（図 7 9 の階調 R 1）は、最大階調数 K の $1/32$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数 K が 6 ビットの 6 4 階調とすれば、 $64/32 = 2$ 階調番目以上、 $64/4 = 16$ 階調番目以下にする）。さらに好ましくは、低階調部と高階調部との変化ポイント（図 7 9 の階調 R 1）は、最大階調数 K の $1/16$ 以上 $1/4$ 以下に設定するのが適切である（たとえば、最大階調数 K が 6 ビットの 6 4 階調とすれば、 $64/16 = 4$ 階調番目以上、 $64/4 = 16$ 階調番目以下にする）。さらに好ましくは、最大階調数 K の $1/10$ 以上 $1/5$ 以下に設定するのが適切である（なお、計算により小数点以下が発生する場合は切り捨てる。たとえば、最大階調数 K が 6 ビットの 6 4 階調とすれば、 $64/10 = 6$ 階調番目以上、 $64/5 = 12$ 階調番目以下にする）。以上の関係を第 2 の関係と呼ぶ。なお、以上の説明は、2 つの電流領域のガンマ電流比率の関係である。しかし、以上の第 2 の関係は、3 つ以上の電流領域のガンマ電流比率がある（つまり、折れ曲がり点が 2 箇所以上ある）場合にも適用される。つまり、3 つ以上の傾きに対し、任意の 2 つの傾きに対する関係に適用すればよい。

【 0 6 7 4 】

以上の第 1 の関係と第 2 の関係の両方を同時に満足させることにより、黒飛びがなく良好な画像表示を実現できる。

【 0 6 7 5 】

図 8 2 は、本発明の電流駆動方式のソースドライバ回路 (IC) 1 4 を 1 つの表示パネルに複数個用いた実施例である。本発明のソースドライバ IC 1 4 は複数のドライバ IC 1 4 を用いることを想定した、スレーブ/マスター (S/M) 端子を具備している。S/M 端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子 (図示せず) から、基準電流を出力する。この電流がスレーブの IC 1 4 (1 4 a、1 4 c) の図 7 3、図 7 4 の INL、INH 端子に流れる電流となる。S/M 端子を L レベルにすることにより IC 1 4 はスレーブチップとして動作し、基準電流入力端子 (図示せず) から、マスターチップの基準電流を受け取る。この電流が図 7 3、図 7 4 の INL、INH 端子に流れる電流となる。

【0 6 7 6】

基準電流入力端子、基準電流出力端子間で受け渡される基準電流は、各色の低階調領域と高階調領域の 2 系統である。したがって、RGB の 3 色では、 3×2 で 6 系統となる。なお、上記の実施例では、各色 2 系統としたがこれに限定するものではなく、各色 3 系統以上であっても良い。

【0 6 7 7】

本発明の電流駆動方式では、図 8 1 に図示するように、折れ曲がり点 (階調 R 1 など) を変更できるように構成している。図 8 1 (a) では、階調 R 1 で低階調部と高階調部とを変化させ、図 8 1 (b) では、階調 R 2 で低階調部と高階調部とを変化させている。このように、折れ曲がり位置を複数箇所に変化できるようにしている。

【0 6 7 8】

具体的には、本発明では 6 4 階調表示を実現できる。折れ曲がり点 (R 1) は、なし、2 階調目、4 階調目、8 階調目、1 6 階調目としている。なお、完全黒表示を階調 0 としているため、折れ曲がり点は 2、4、8、1 6 となるのであって、完全に黒表示の階調を階調 1 とするのであれば、折れ曲がり点は、3、5、9、1 7、3 3 となる。以上のように、折れ曲がり位置を 2 の倍数の箇所 (もしくは、2 の倍数 + 1 の箇所：完全黒表示を階調 1 とした場合) でできるように構成することにより、回路構成が容易になるという効果が発生する。

【 0 6 7 9 】

図 7 3 は低電流領域の電流源回路部の構成図である。また、図 7 4 は高電流領域の電流源部および嵩上げ電流回路部の構成図である。図 7 3 に図示するように低電流源回路部は基準電流 I_{NL} が印加され、基本的にはこの電流が単位電流となり、入力データ $L_0 \sim L_4$ により、電流源 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流 I_{wL} が流れる。

【 0 6 8 0 】

また、図 7 4 に図示するように高電流源回路部は基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $H_0 \sim L_5$ により、電流源 6 3 4 が必要個数動作し、その総和として低電流部のプログラム電流 I_{wH} が流れる。

【 0 6 8 1 】

嵩上げ電流回路部も同様であって、図 7 4 に図示するように基準電流 I_{NH} が印加され、基本的にはこの電流が単位電流となり、入力データ $AK_0 \sim AK_2$ により、電流源 6 3 4 が必要個数動作し、その総和として嵩上げ電流に対応する電流 I_{wK} が流れる

ソース信号線 1 8 に流れるプログラム電流 I_w は $I_w = I_{wH} + I_{wL} + I_{wK}$ である。なお、 I_{wH} と I_{wL} の比率、つまりガンマ電流比率は、先にも説明した第 1 の関係を満足させるようにする。

【 0 6 8 2 】

なお、図 7 3、図 7 4 に図示するようにオンオフスイッチ 6 4 1 は、インバータ 7 3 2 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 7 3 1 から構成される。このようにスイッチ 6 4 1 を、インバータ 7 3 2 と P チャンネルトランジスタと N チャンネルトランジスタからなるアナログスイッチ 7 3 1 から構成することにより、オン抵抗を低下することができ、電流源 6 3 4 とソース信号線 1 8 間の電圧降下が極めて小さくすることができる。

【 0 6 8 3 】

図 7 3 の低電流回路部と図 7 4 の高電流回路部の動作について説明をする。本発明のソースドライバ回路 (IC) 1 4 は、低電流回路部 $L_0 \sim L_4$ の 5 ビット

で構成され、高電流回路部 H 0 ~ H 5 の 6 ビットで構成される。なお、回路の外部から入力されるデータは D 0 ~ D 5 の 6 ビット（各色 6 4 階調）である。この 6 ビットデータを L 0 ~ L 4 の 5 ビット、高電流回路部 H 0 ~ H 5 の 6 ビットに変換してソース信号線に画像データに対応するプログラム電流 I w を印加する。つまり、入力 6 ビットデータを、 $5 + 6 = 11$ ビットデータに変換をしている。したがって、高精度のガンマカーブを形成できる。

【 0 6 8 4 】

以上のように、入力 6 ビットデータを、 $5 + 6 = 11$ ビットデータに変換をしている。本発明では、高電流領域の回路のビット数（H）は、入力データ（D）のビット数と同一にし、低電流領域の回路のビット数（L）は、入力データ（D）のビット数 - 1 としている。なお、低電流領域の回路のビット数（L）は、入力データ（D）のビット数 - 2 としてもよい。このように構成することにより、低電流領域のガンマカーブと、高電流領域のガンマカーブとが、EL 表示パネルの画像表示に最適になる。

【 0 6 8 5 】

以下、低電流領域の回路制御データ（L 0 ~ L 4）と高電流領域の回路制御データ（H 0 ~ H 4）との制御方法について、図 8 4 から図 8 6 を参照しながら説明をする。

【 0 6 8 6 】

本発明は図 7 3 の図 7 3 の L 4 端子に接続された、電流源 6 3 4 a の動作に特徴がある。この 6 3 4 a は 1 単位の電流源となる 1 つのトランジスタで構成されている。このトランジスタをオンオフさせることにより、プログラム電流 I w の制御（オンオフ制御）が容易になる。

【 0 6 8 7 】

図 8 4 は、低電流領域と高電流領域を階調 4 で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号である。なお、図 8 4 から図 8 6 において、階調 0 から 1 8 まで図示しているが、実際は 6 3 階調目までである。したがって、各図面において階調 1 8 以上は省略している。また、表の“1”の時にスイッチ 6 4 1 がオンし、該当電流源 6 3 4 とソース信号線 1 8 とが接続され

、表の“0”の時にスイッチ641がオフをしている。

【0688】

図84において、完全黒表示の階調0の場合は、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。

【0689】

階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0690】

階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0691】

階調3では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つのスイッチ641 La、641 Lb がオンし、3つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0692】

階調4では、 $(L0 \sim L4) = (1, 1, 0, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の3つのスイッチ641 La、641 Lb、641 Le がオンし、4つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0693】

階調 5 以上では、低電流領域 ($L0 \sim L4$) = (1, 1, 0, 0, 1) は変化がない。しかし、高電流領域において、階調 5 では ($H0 \sim H5$) = (1, 0, 0, 0, 0) であり、スイッチ 6 4 1 H a がオンし、高電流領域の 1 つの単位電流源 6 4 1 がソース信号線 1 8 と接続されている。また、階調 6 では ($H0 \sim H5$) = (0, 1, 0, 0, 0) であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 7 では ($H0 \sim H5$) = (1, 1, 0, 0, 0) であり、2 つのスイッチ 6 4 1 H a スイッチ 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 8 では ($H0 \sim H5$) = (0, 0, 1, 0, 0) であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。以後、図 8 4 のように順次スイッチ 6 4 1 がオンオフし、プログラム電流 I_w がソース信号線 1 8 に印加される。

【 0 6 9 4 】

以上の動作で特徴的なのは、折れ曲がり点（低電流領域と高電流領域の切り換わり点、正確には、プログラム電流 I_w としては、高電流領域の階調の場合、低電流 $I_w L$ が加算されているので、切り換り点という表現は正しくない（また、嵩上げ電流 $I_w K$ も加算される）。つまり、高階調部の階調では、低階調部の電流に加算されて、高階調部のステップ（階調）に応じた電流がプログラム電流 I_w となっているのである。1 ステップの階調（電流が変化する点あるいはポイントもしくは位置というべきであろう）を境として、低電流領域の制御ビット (L) が変化しない点である。また、この時、図 7 3 の $L4$ 端子に “1” となり、スイッチ 6 4 1 e がオンし、トランジスタ 6 3 4 a に電流が流れている点である。

【 0 6 9 5 】

したがって、図 8 4 の階調 4 では低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作している。そして、階調 5 では、低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトランジスタ（電流源）6 3 4 が 1 個動作している。以後同様に、階調 6 では、低階調部の単位トランジスタ（電流源）6 3 4 が 4 個動作し、かつ高階調部のトランジスタ（電流源）6 3 4 が 2 個

動作する。したがって、折れ曲がりポイントである階調5以上では、折れ曲がりポイント以下の低階調領域の電流源634が階調分（この場合、4個）オンし、これに加えて、順次、高階調部の電流源634が階調に応じた個数順次オンしていく。

【0696】

したがって、図73におけるL4端子のトランジスタ634aの1個は有用に作用していることがわかる。このトランジスタ634aがないと、階調3の次に、高階調部のトランジスタ634が1個オンする動作になる。そのため、切り替わりポイントが4、8、16というように2の乗数にならない。2の乗数は1信号のみが“1”となった状態である。したがって、2の重み付けの信号ラインが“1”となったという条件判定がやりやすい。そのため、条件判定のハード規模が小さくすることができる。つまり、ICチップの論理回路が簡略化し、結果としてチップ面積小さいICを設計できるのである（低コスト化が可能である）。

【0697】

図85は、低電流領域と高電流領域を階調8で切り替える場合の低電流側信号線（L）と高電流側信号線（H）との印加信号の説明図である。

【0698】

図85において、完全黒表示の階調0の場合は、図84と同様であり、 $(L0 \sim L4) = (0, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ641はオフ状態であり、ソース信号線18にはプログラム電流 $I_w = 0$ である。

【0699】

同様に階調1では、 $(L0 \sim L4) = (1, 0, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の1つの単位電流源634がソース信号線18に接続されている。高電流領域の単位電流源はソース信号線18には接続されていない。

【0700】

階調2では、 $(L0 \sim L4) = (0, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の2つの単位電流

源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

【0701】

階調 3 では、 $(L0 \sim L4) = (1, 1, 0, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 2 つのスイッチ 641La、641Lb がオンし、3 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

【0702】

以下も同様に、階調 4 では、 $(L0 \sim L4) = (0, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調 5 では、 $(L0 \sim L4) = (1, 0, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。階調 6 では、 $(L0 \sim L4) = (0, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。また、階調 7 では、 $(L0 \sim L4) = (1, 1, 1, 0, 0)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。

【0703】

階調 8 が切り替わりポイント（折れ曲がり位置）である。階調 8 では、 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ であり、 $(H0 \sim H5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 4 つのスイッチ 641La、641Lb、641Lc、641Le がオンし、8 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

【0704】

階調 8 以上では、低電流領域 $(L0 \sim L4) = (1, 1, 1, 0, 1)$ は変化がない。しかし、高電流領域において、階調 9 では $(H0 \sim H5) = (1, 0, 0, 0, 0)$ であり、スイッチ 641Ha がオンし、高電流領域の 1 つの単位電流源 641 がソース信号線 18 と接続されている。

【0705】

以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 6 3 4 の個数が 1 個ずつ増加する。つまり、階調 1 0 では $(H 0 \sim H 5) = (0, 1, 0, 0, 0)$ であり、スイッチ 6 4 1 H b がオンし、高電流領域の 2 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。同様に、階調 1 1 では $(H 0 \sim H 5) = (1, 1, 0, 0, 0)$ であり、2 つのスイッチ 6 4 1 H a スwitch 6 4 1 H b がオンし、高電流領域の 3 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。さらに、階調 1 2 では $(H 0 \sim H 5) = (0, 0, 1, 0, 0)$ であり、1 つのスイッチ 6 4 1 H c がオンし、高電流領域の 4 つの単位電流源 6 4 1 がソース信号線 1 8 と接続される。以後、図 8 4 のように順次スイッチ 6 4 1 がオンオフし、プログラム電流 I_w がソース信号線 1 8 に印加される。

【0706】

図 8 6 は、低電流領域と高電流領域を階調 1 6 で切り替える場合の低電流側信号線 (L) と高電流側信号線 (H) との印加信号の説明図である。この場合も図 8 4、図 8 5 と基本的な動作は同じである。

【0707】

つまり、図 8 6 において、完全黒表示の階調 0 の場合は、図 8 5 と同様であり、 $(L 0 \sim L 4) = (0, 0, 0, 0, 0)$ であり、 $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$ である。したがって、すべてのスイッチ 6 4 1 はオフ状態であり、ソース信号線 1 8 にはプログラム電流 $I_w = 0$ である。同様に階調 1 から階調 1 6 までは、高階調領域の $(H 0 \sim H 5) = (0, 0, 0, 0, 0)$ である。したがって、低電流領域の 1 つの単位電流源 6 3 4 がソース信号線 1 8 に接続されている。高電流領域の単位電流源はソース信号線 1 8 には接続されていない。つまり、低階調領域の $(L 0 \sim L 4)$ のみが増加する。

【0708】

つまり、階調 1 では、 $(L 0 \sim L 4) = (1, 0, 0, 0, 0)$ であり、階調 2 では、 $(L 0 \sim L 4) = (0, 1, 0, 0, 0)$ であり、階調 3 では、 $(L 0 \sim L 4) = (1, 1, 0, 0, 0)$ であり、階調 4 では、 $(L 0 \sim L 4) = (0, 0, 1, 0, 0)$ である。以下階調 1 6 まで順次カウントされる。つまり、階調 1 5 では、 $(L 0 \sim L 4) = (1, 1, 1, 1, 0)$ であり、階調 1 6 では、

(L0~L4) = (1, 1, 1, 1, 1) である。階調 16 では、階調を示す D0~D5 の 5 ビット目 (D4) のみが 1 本オンするため、データ D0~D5 の表現している内容が 16 であるということが、1 データ信号線 (D4) の判定で決定できる。したがって、論理回路のハード規模が小さくすることができる。

【0709】

階調 16 が切り替わりポイント (折れ曲がり位置) である (もしくは階調 17 が切り替わりポイントというべきであるかもしれないが)。階調 16 では、(L0~L4) = (1, 1, 1, 1, 1) であり、(H0~H5) = (0, 0, 0, 0, 0) である。したがって、低電流領域の 4 つのスイッチ 641La、641Lb、641Lc、641Ld、641Le がオンし、16 つの単位電流源 634 がソース信号線 18 に接続されている。高電流領域の単位電流源はソース信号線 18 には接続されていない。

【0710】

階調 16 以上では、低電流領域 (L0~L4) = (1, 1, 1, 0, 1) は変化がない。しかし、高電流領域において、階調 17 では (H0~H5) = (1, 0, 0, 0, 0) であり、スイッチ 641Ha がオンし、高電流領域の 1 つの単位電流源 641 がソース信号線 18 と接続されている。以下、同様に、階調ステップに応じて、高電流領域のトランジスタ 634 の個数が 1 個ずつ増加する。つまり、階調 18 では (H0~H5) = (0, 1, 0, 0, 0) であり、スイッチ 641Hb がオンし、高電流領域の 2 つの単位電流源 641 がソース信号線 18 と接続される。同様に、階調 19 では (H0~H5) = (1, 1, 0, 0, 0) であり、2 つのスイッチ 641Ha スイッチ 641Hb がオンし、高電流領域の 3 つの単位電流源 641 がソース信号線 18 と接続される。さらに、階調 20 では (H0~H5) = (0, 0, 1, 0, 0) であり、1 つのスイッチ 641Hc がオンし、高電流領域の 4 つの単位電流源 641 がソース信号線 18 と接続される。

【0711】

以上のように、切り替わりポイント (折れ曲がり位置) で、2 の乗数の個数の電流源 (1 単位) 634 がオンもしくはソース信号線 18 と接続 (逆に、オフと

なる構成も考えられる) ように構成するロジック処理などがきわめて容易になる。たとえば、図 8 4 に図示するように折れ曲がり位置が階調 4 (4 は 2 の乗数である) であれば、4 個の電流源 (1 単位) 6 3 4 が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源 (1 単位) 6 3 4 が加算されるように構成する。また、図 8 5 に図示するように折れ曲がり位置が階調 8 (8 は 2 の乗数である) であれば、8 個の電流源 (1 単位) 6 3 4 が動作などするように構成する。そして、それ以上の階調では、高電流領域の電流源 (1 単位) 6 3 4 が加算されるように構成する。本発明の構成を採用すれば、6 4 階調に限らず (1 6 階調: 4 0 9 6 色、2 5 6 階調: 1 6 7 0 万色など)、あらゆる階調表現で、ハード構成が小さなガンマ制御回路を構成できる。

【 0 7 1 2 】

なお、図 8 4、図 8 5、図 8 6 で説明した実施例では、切り替わりポイントの階調が 2 の乗数となるとしたが、これは、完全黒階調が階調 0 とした場合である。階調 1 を完全黒表示とする場合は、+ 1 する必要がある。しかし、これらは便宜上の事項である。本発明で重要なのは、複数の電流領域 (低電流領域、高電流領域など) を有し、その切り替わりポイントを信号入力が少なく判定 (処理) できるように構成することである。その一例として、2 の乗数であれば、1 信号線を検出するだけでよいからハード規模が極めて小さくなるという技術的思想である。また、その処理を容易にするため、電流源 6 3 4 a を付加する。

【 0 7 1 3 】

したがって、負論理であれば、2、4、8・・・ではなく、階調 1、3、7、1 5・・・で切り替わりポイントとすればよい。また、階調 0 を完全黒表示としたが、これに限定するものではない。たとえば、6 4 階調表示であれば、階調 6 3 を完全黒表示状態とし、階調 0 を最大の白表示としてもよい。この場合は、逆方向に考慮して、切り替わりポイントを処理すればよい。したがって、2 の乗数から処理上、異なる構成となる場合がある。

【 0 7 1 4 】

また、切り替わりポイント (折れ曲がり位置) が 1 つのガンマカーブに限定されるものではない。折れ曲がり位置が複数存在しても本発明の回路を構成するこ

とができる。たとえば、折れ曲がり位置が階調 4 と階調 1 6 に設定することができる。また、階調 4 と階調 1 6 と階調 3 2 というように 3 ポイント以上に設定することもできる。

【0 7 1 5】

また、以上の実施例は、階調が 2 の乗数に設定するとして説明をしたが、本発明はこれに限定するものではない。たとえば、2 の乗数の 2 と 8 ($2 + 8 = 1 0$ 階調目、つまり、判定に要する信号線は 2 本) で折れ曲がり点を設定してもよい。それ以上の、2 の乗数の 2 と 8 と 1 6 ($2 + 8 + 1 6 = 2 6$ 階調目、つまり、判定に要する信号線は 3 本) で折れ曲がり点を設定してもよい。この場合は、多少判定あるいは処理に要するハード規模が大きくなるが、回路構成上、十分に対応することができる。また、以上の説明した事項は本発明の技術的範疇に含まれることは言うまでもない。

【0 7 1 6】

図 8 7 に図示するように、本発明のソースドライバ回路 (IC) 1 4 は 3 つの部分の電流出力回路 7 0 4 から構成されている。高階調領域で動作する高電流領域電流出力回路 7 0 4 a であり、低電流領域および高階調領域で動作する低電流領域電流出力回路 7 0 4 b であり、嵩上げ電流を出力する電流嵩上げ電流出力回路 7 0 4 c である。

【0 7 1 7】

高電流領域電流出力回路 7 0 4 a と電流嵩上げ電流出力回路 7 0 4 c は高電流を出力する基準電流源 7 7 1 a を基準電流として動作し、低電流領域電流出力回路 7 0 4 b は低電流を出力する基準電流源 7 7 1 b を基準電流として動作する。

【0 7 1 8】

なお、先にも説明したが、電流出力回路 7 0 4 は、高電流領域電流出力回路 7 0 4 a、低電流領域電流出力回路 7 0 4 b、電流嵩上げ電流出力回路 7 0 4 c の 3 つに限定するものではなく、高電流領域電流出力回路 7 0 4 a と低電流領域電流出力回路 7 0 4 b の 2 つでもよく、また、3 つ以上の電流出力回路 7 0 4 から構成してもよい。また、基準電流源 7 7 1 はそれぞれの電流領域電流出力回路 7 0 4 に対応して配置または形成してもよく、また、すべての電流領域電流出力回

路 7 0 4 に共通にしてもよい。

【 0 7 1 9 】

以上の電流出力回路 7 0 4 が階調データに対応して、内部のトランジスタ 6 3 4 が動作し、ソース信号線 1 8 から電流を吸収する。前記とトランジスタ 6 3 4 は、1 水平走査期間 (1 H) 信号に同期して動作する。つまり、1 H の期間の間、該当する階調データに基づく電流を入力する (トランジスタ 6 3 4 が N チャンネルの場合)。

【 0 7 2 0 】

一方、ゲートドライバ回路 1 2 も 1 H 信号に同期して、基本的には 1 本のゲート信号線 1 7 a を順次選択する。つまり、1 H 信号に同期して、第 1 H 期間にはゲート信号線 1 7 a (1) を選択し、第 2 H 期間にはゲート信号線 1 7 a (2) を選択し、第 3 H 期間にはゲート信号線 1 7 a (3) を選択し、第 4 H 期間にはゲート信号線 1 7 a (4) を選択する。

【 0 7 2 1 】

しかし、第 1 のゲート信号線 1 7 a が選択されてから、次の第 2 のゲート信号線 1 7 a が選択される期間には、どのゲート信号線 1 7 a も選択されない期間 (非選択期間、図 8 8 の t_1 を参照) を設ける。非選択期間は、ゲート信号線 1 7 a の立ち上がり期間、立下り期間が必要であり、T F T 1 1 d のオンオフ制御期間を確保するために設ける。

【 0 7 2 2 】

いずれかのゲート信号線 1 7 a にオン電圧が印加され、画素 1 6 の T F T 1 1 b、T F T 1 1 c がオンしていれば、 V_{dd} 電源 (アノード電圧) から駆動用 T F T 1 1 a を介して、ソース信号線 1 8 にプログラム電流 I_w が流れる。このプログラム電流 I_w がトランジスタ 6 3 4 に流れる (図 8 8 の t_2 期間)。なお、ソース信号線 1 8 には寄生容量 C が発生している (ゲート信号線とソース信号線とのクロスポイントの容量などにより寄生容量が発生する)。

【 0 7 2 3 】

しかし、いずれのゲート信号線 1 7 a も選択されていない (非選択期間 図 8 8 の t_1 期間) は T F T 1 1 a を流れる電流経路がない。トランジスタ 6 3 4 は

電流を流すから、ソース信号線 1 8 の寄生容量から電荷を吸収する。そのため、ソース信号線 1 8 の電位が低下する（図 8 8 の A の部分）。ソース信号線 1 8 の電位が低下すると、次の画像データに対応する電流を書き込むのに時間がかかる。

【 0 7 2 4 】

この課題に解決するため、図 8 9 に図示するように、ソース端子 7 6 1 との出力端にスイッチ 6 4 1 a を形成する。また、嵩上げ電流出力回路 7 0 4 c の出力段にスイッチ 6 4 1 b を形成または配置する。

【 0 7 2 5 】

非選択期間 t_1 に、制御端子 S 1 に制御信号を印加し、スイッチ 6 4 1 a をオフ状態にする。選択期間 t_2 ではスイッチ 6 4 1 a をオン状態（導通状態）にする。オン状態の時にはプログラム電流 $I_w = I_{wH} + I_{wL} + I_{wK}$ が流れる。スイッチ 6 4 1 a をオフにすると I_w 電流は流れない。したがって、図 9 0 に図示するように図 8 8 の A のような電位に低下（変化はない）。なお、スイッチ 6 4 1 のアナログスイッチ 7 3 1 のチャンネル幅 W は、 $10\mu\text{m}$ 以上 $100\mu\text{m}$ 以下にする。このアナログスイッチの W （チャンネル幅）はオン抵抗を低減するために、 $10\mu\text{m}$ 以上にする必要がある。しかし、あまり W が大きいと、寄生容量も大きくなるので $100\mu\text{m}$ 以下にする。さらに好ましくは、チャンネル幅 W は $15\mu\text{m}$ 以上 $60\mu\text{m}$ 以下にすることが好ましい。

【 0 7 2 6 】

スイッチ 6 4 1 b は低階調表示のみに制御するスイッチである。低階調表示（黒表示）時は、画素 1 6 の TFT 1 1 a のゲート電位は V_{dd} に近くする必要がある（したがって、黒表示では、ソース信号線 1 8 の電位は V_{dd} 近くにする必要がある）。また、黒表示では、プログラム電流 I_w が小さく、図 8 8 の A ように一度、電位が低下してしまうと、正規の電位に復帰するのに長時間を要する。

【 0 7 2 7 】

そのため、低階調表示の場合は、非選択期間 t_1 が発生することを避けなくてはならない。逆に、高階調表示では、プログラム電流 I_w が大きいいため、非選択期間 t_1 が発生しても問題がない場合が多い。したがって、本発明では、高階調

表示の画像書き込みでは、非選択期間でもスイッチ 641 a、スイッチ 641 b の両方をオンさせておく。また、嵩上げ電流 I_{WK} も切断しておく必要がある。極力黒表示を実現するためである。低階調表示の画像書き込みでは、非選択期間ではスイッチ 641 a をオンさせておき、スイッチ 641 b はオフするというように駆動する。スイッチ 641 b は端子 S2 で制御する。

【0728】

もちろん、低階調表示および高階調表示の両方で、非選択期間 t_1 にスイッチ 641 a をオフ（非導通状態）、スイッチ 641 b はオン（導通）させたままにするという駆動を実施してもよい。もちろん、低階調表示および高階調表示の両方で、非選択期間 t_1 にスイッチ 641 a、スイッチ 641 b の両方をオフ（非導通）させた駆動を実施してもよい。

【0729】

いずれにしても、制御端子 S1、S2 の制御でスイッチ 641 を制御できる。なお、制御端子 S1、S2 はコマンド制御で制御する。

【0730】

たとえば、制御端子 S2 は非選択期間 t_1 をオーバーラップするように t_3 期間を“0”ロジックレベルとする。このように制御にすることにより、図 88 の A の状態は発生しない。また、階調が一定以上の黒表示レベルの時は、制御端子 S1 を“0”ロジックレベルとする。すると、嵩上げ電流 I_{WK} は停止し、より黒表示を実現できる。

【0731】

以上の実施例は、表示パネルに 1 つのソースドライバ IC14 を積載することを前提に実施例として説明した。しかし、本発明はこの構成に限定されるものではない。ソースドライバ IC14 を 1 つの表示パネルに複数積載する構成でもよい。たとえば、図 93 は 3 つのソースドライバ IC14 を積載した表示パネルの実施例である。

【0732】

本発明のソースドライバ IC14 は、図 73、図 74、図 76、図 77 などでも説明したように、少なくとも低階調領域の基準電流と、高階調領域の基準電流

の 2 系統を具備する。このことは、図 8 2 でも説明をした。

【 0 7 3 3 】

階調 1 など、電流書込み不足を解消するためには、下位の単位トランジスタ 6 3 4 b のサイズ（あるいは W / L 比）を大きくする。大きくすることにより、0 階調目（完全黒表示）と 1 階調目間がはなれ、書込み不足がなくなる。もしくは、嵩上げ電流回路を、0 階調目のみ、オフさせるスイッチを構成すればよい。

【 0 7 3 4 】

図 8 2 でも説明したように、本発明の電流駆動方式のソースドライバ回路（IC）1 4 は複数のドライバ IC 1 4 を用いることを想定した、スレーブ / マスター（S / M）端子を具備している。S / M 端子を H レベルにすることによりマスターチップとして動作し、基準電流出力端子（図示せず）から、基準電流を出力する。もちろん、S / M 端子のロジックは逆極性でもよい。また、ソースドライバ IC 1 4 へのコマンドにより切り替えても良い。基準電流は可スケート電流接続線 9 3 1 で伝達される。S / M 端子を L レベルにすることにより IC 1 4 はスレーブチップとして動作し、基準電流入力端子（図示せず）から、マスターチップの基準電流を受け取る。この電流が図 7 3、図 7 4 の IN L、IN H 端子に流れる電流となる。

【 0 7 3 5 】

基準電流は IC チップ 1 4 の中央部（真中部分）の電流出力回路 7 0 4 で発生させる。マスターチップの基準電流は外部から外付け抵抗、あるいは IC 内部に配置あるいは構成された電流きざみ方式の電子ボリウムにより、基準電流が調整されて印加される。

【 0 7 3 6 】

なお、IC チップ 1 4 の中央部にはコントロール回路（コマンドデコーダなど）なども形成（配置）される。基準電流源をチップの中央部に形成するのは、基準電流発生回路とプログラム電流出力端子 7 6 1 までの距離を極力短くするためである。

【 0 7 3 7 】

図 9 3 の構成では、マスターチップ 1 4 b より基準電流が 2 つのスレーブチッ

プ（14a、14c）に伝達される。スレーブチップは基準電流を受け取り、この電流を基準として、親、子、孫電流を発生させる。なお、マスターチップ14bがスレーブチップに受け渡す基準電流は、カレントミラー回路の電流受け渡しにより行う（図67を参照のこと）。電流受け渡しを行うことにより、複数のチップで基準電流のずれはなくなり、画面の分割線が表示されなくなる。

【0738】

図94は基準電流の受け渡し端子位置を概念的に図示している。ICチップの中央部に配置されて信号入力端子941iに基準電流信号線932が接続されている。この基準電流信号線932に印加される電流（なお、電圧の場合もある。図76を参照のこと）は、EL材料の温特補償がされている。また、EL材料の寿命劣化による補償がされている。

【0739】

基準電流信号線932に印加された電流（電圧）に基づき、チップ14内で各電流源（631、632、633、634）を駆動する。この基準電流がカレントミラー回路を介して、スレーブチップへの基準電流として出力される。スレーブチップへの基準電流は端子941oから出力される。端子941oは基準電流発生回路704の左右に少なくとも1個以上配置（形成）される。図94では、左右に2個ずつ配置（形成）されている。この基準電流が、カスケード信号線931a1、931a2、931b1、931b2でスレーブチップ14に伝達される。なお、スレーブチップ14aに印加された基準電流を、マスターチップ14bにフィードバックし、ずれ量を補正するように回路を構成してもよい。

【0740】

有機EL表示パネルをモジュール化する際、問題となる事項に、アノード配線951、カソード配線の引き回し（配置）の抵抗値の課題がある。有機EL表示パネルは、EL素子15の駆動電圧が比較的低いかわりに、EL素子15に流れる電流が大きい。そのため、EL素子15に電流を供給するアノード配線、カソード配線を太くする必要がある。一例として、2インチクラスのEL表示パネルでも高分子EL材料では、200mA以上の電流をアノード配線951に流す必要がある。そのため、アノード配線951の電圧降下を防止するため、アノード

配線は $1\ \Omega$ 以下の低抵抗化する必要がある。しかし、アレイ基板71では、配線は薄膜蒸着で形成するため、低抵抗化は困難である。そのため、パターン幅を太くする必要がある。しかし、200mAの電流をほとんど電圧降下なしで伝達するためには、配線幅が2mm以上となるという課題があった。

【0741】

図105は従来のEL表示パネルの構成である。表示領域50の左右に内蔵ゲートドライバ12a、12bが形成（配置）されている。また、ソースドライバ回路14pも画素16のTFTと同一プロセスで形成されている（内蔵ソースドライバ回路）。

【0742】

アノード配線951はパネルの右側に配置されている。アノード配線951にはVdd電圧が印加されている。アノード配線951幅は一例として2mm以上である。アノード配線951は画面の下端から画面の上端に分岐されている。分岐数は画素列数である。たとえば、QCIFパネルでは、 $176\text{列} \times \text{RGB} = 528$ 本である。一方、ソース信号線18は内蔵ソースドライバ14pから出力されている。ソース信号線18は画面の上端から画面の下端に配置（形成）されている。また、内蔵ゲートドライバ12の電源配線1051も画面の左右に配置されている。

【0743】

したがって、表示パネルの右側の額縁は狭くすることができない。現在、携帯電話などに用いる表示パネルでは、狭額縁化が重要である。また、画面の左右の額縁を均等にすることが重要である。しかし、図105の構成では、狭額縁化が困難である。

【0744】

この課題を解決するため、本発明の表示パネルでは、図106に図示するように、アノード配線951はソースドライバIC14の裏面に位置する箇所、かつアレイ表面に配置（形成）している。ソースドライバ回路（IC）14は半導体チップで形成（作製）し、COG（チップオンガラス）技術で基板71に実装している。ソースドライバIC14化にアノード配線951を配置（形成）できる

のは、チップ 14 の裏面に基板に垂直方向に $10\ \mu\text{m} \sim 30\ \mu\text{m}$ の空間があるからである。図 105 のように、ソースドライバ回路 14 p をアレイ基板 71 に直接形成すると、マスク数の問題、あるいは歩留まりの問題、ノイズの問題からソースドライバ回路 14 p の下層あるいは上層にアノード配線（ベースアノード線、アノード電圧線、基幹アノード線）951 を形成することは困難である。

【0745】

また、図 106 に図示するように、共通アノード線 962 を形成し、ベースアノード線 951 と共通アノード線 962 とを接続アノード線 961 で短絡させている。特に、IC チップの中央部の接続アノード線 961 を形成した点がポイントである。接続アノード線 961 を形成することにより、ベースアノード線 951 と共通アノード線 962 間の電位差がなくなる。また、アノード配線 952 を共通アノード線 962 から分岐している点がポイントである。以上の構成を採用することにより、図 105 のようにアノード配線 951 の引き回しがなくなり、狭額縁化を実現できる。

【0746】

共通アノード線 962 が長さ $20\ \text{mm}$ とし、配線幅が $150\ \mu\text{m}$ とし、配線のシート抵抗を $0.05\ \Omega/\square$ とすれば、抵抗値は $20000\ (\mu\text{m}) / 150\ (\mu\text{m}) \times 0.05\ \Omega = \text{約 } 7\ \Omega$ になる。共通アノード線 962 の両端を接続アノード線 961 c でベースアノード線 951 と接続すれば、共通アノード線 962 には両側給電されるから、見かけ上の抵抗値は、 $7\ \Omega / 2 = 3.5\ \Omega$ となり、また、集中分布乗数に置きなおすと、さらに、見かけ上の共通アノード線 962 の抵抗値は $1/2$ となるから、少なくとも $2\ \Omega$ 以下となる。アノード電流が $100\ \text{mA}$ であっても、この共通アノード線 962 での電圧降下は、 $0.2\ \text{V}$ 以下となる。さらに、中央部の接続アノード線 961 b で短絡すれば電圧降下は、ほとんど発生しないようにすることができるのである。

【0747】

本発明はベースアノード線 951 を IC 14 下に形成すること、共通アノード線 962 を形成し、この共通アノード線 962 とベースアノード線 951 とを電氣的に接続すること（接続アノード線 961）、共通アノード線 962 からアノ

ード配線 9 5 2 を分岐させることである。なお、アノード線はカソード線に置き換えることができる。

【 0 7 4 8 】

また、アノード線（ベースアノード線 9 5 1、共通アノード線 9 6 2、接続アノード線 9 6 1、アノード配線 9 5 2 など）を低抵抗化するため、薄膜の配線を形成後、あるいはパターニング前に、無電解メッキ技術、電解メッキ技術などを用いて、導電性材料を積層し厚膜化してもよい。厚膜化することにより、配線の断面積が広くなり、低抵抗化することができる。以上の事項はカソードに関しても同様である。また、ゲート信号線 1 7、ソース信号線 1 8 にも適用することができる。

【 0 7 4 9 】

したがって、共通アノード線 9 6 2 を形成し、この共通アノード線 9 6 2 を接続アノード線 9 6 1 で両側給電を行う構成の効果は高く、また、中央部に接続アノード線 9 6 1 b（9 6 1 c）を形成することによりさらに効果が高くなる。また、ベースアノード線 9 5 1、共通アノード線 9 6 2、接続アノード線 9 6 1 でループを構成しているため、IC 1 4 に入力される電界を抑制することができる。

共通アノード線 9 6 2 とベースアノード線 9 5 1 は同一金属材料で形成し、また、接続アノード線 9 6 1 も同一金属材料で形成することが好ましい。また、これらのアノード線は、アレイを形成する最も抵抗値の低い金属材料あるいは構成で実現する。一般的に、ソース信号線 1 8 の金属材料および構成（SD レイヤ）で実現する。共通アノード線 9 6 2 とソース信号線 1 8 とが交差する箇所は、同一材料で形成することはできない。したがって、交差する箇所は他の金属材料（ゲート信号線 1 7 と同一材料および構成、GE レイヤー）で形成し、絶縁膜で電氣的に絶縁する。もちろん、アノード線は、ソース信号線 1 8 の構成材料からなる薄膜と、ゲート信号線 1 7 の構成材料からなる薄膜とを積層して構成してもよい。

【 0 7 5 0 】

なお、ソースドライバ IC 1 4 の裏面にアノード配線（カソード配線）などの

EL素子15に電流を供給する配線を敷設する（配置する、形成する）としたが、これに限定するものではない。たとえば、ゲートドライバ回路12をICチップで形成し、このICをCOG実装してもよい。このゲートドライバIC12の裏面にアノード配線、カソード配線を配置（形成）する。以上のように本発明は、EL表示装置などにおいて、駆動ICを半導体チップで形成（作製）し、このICをアレイ基板71などの基板に直接実装し、かつ、ICチップの裏面の空間部にアノード配線、カソード配線などの電源あるいはグランドパターンを形成（作製）するものである。

【0751】

以上の事項を他の図面を使用しながらさらに詳しく説明をする。図95は本発明の表示パネルの一部の説明図である。図95において、点線がICチップ14を配置する位置である。つまり、ベースアノード線（アノード電圧線つまり分岐まえのアノード配線）がICチップ14の裏面かつアレイ基板71上に形成（配置）されている。なお、本発明の実施例において、ICチップ（12、14）の裏面に分岐前のアノード配線951を形成するとして説明するが、これは説明を容易にするためである。たとえば、分岐前のアノード配線951のかわりに分岐前のカソード配線あるいはカソード膜を形成（配置）してもよい。その他、ゲートドライバ回路12の電源配線1051を配置または形成してもよい。

【0752】

ICチップ14はCOG技術により電流出力（電流入力）端子741とアレイ71に形成された接続端子953とが接続される。接続端子953はソース信号線18の一端に形成されている。また、接続端子953は953aと953bというように千鳥配置である。なお、ソース信号線の一端には接続端子953が形成され、他の端にもチェック用の端子電極が形成されている。

【0753】

また、本発明のICチップは電流駆動方式のドライバIC（電流で画素にプログラムする方式）としたが、これに限定するものではない。たとえば、図43、図53などの電圧プログラムの画素を駆動する電圧駆動方式のドライバICを積載したEL表示パネル（装置）などにも適用することができる。

【 0 7 5 4 】

接続端子 9 5 3 a と 9 5 3 b 間にはアノード配線 9 5 2 (分岐後のアノード配線) が配置される。つまり、太く、低抵抗のベースアノード線 9 5 1 から分岐されたアノード配線 9 5 2 が接続端子 9 5 3 間に形成され、画素 1 6 列に沿って配置されている。したがって、アノード配線 9 5 2 とソース信号線 1 8 とは平行に形成 (配置) される。以上のように構成 (形成) することにより、図 1 0 5 のようにベースアノード線 9 5 1 を画面横に引き回すことなく、各画素に V_{dd} 電圧を供給できる。

【 0 7 5 5 】

図 9 6 はさらに、具体的に図示している。図 9 5 との差異は、アノード配線を接続端子 9 5 3 間に配置せず、別途形成した共通アノード線 9 6 2 から分岐させた点である。共通アノード線 9 6 2 とベースアノード線 9 5 1 とは接続アノード線 9 6 1 で接続している。

【 0 7 5 6 】

図 9 6 は IC チップ 1 4 を透視して裏面の様子を図示したように記載している。IC チップ 1 4 は出力端子 7 6 1 にプログラム電流 I_w を出力する電流出力回路 7 0 4 が配置されている。基本的に、出力端子 7 6 1 と電流出力回路 7 0 4 は規則正しく配置されている。IC チップ 1 4 の中央部には親電流源の基本電流を作製する回路、コントロール (制御) 回路が形成されている。そのため、IC チップの中央部には出力端子 7 6 1 が形成されていない (電流出力回路 7 0 4 が IC チップの中央部に形成できないからである)。

【 0 7 5 7 】

本発明では、図 9 6 の中央部 7 0 4 a 部には出力端子 7 6 1 を IC チップに作製していない (出力回路がないからである。なお、ソースドライバなどの IC チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない事例は多い)。本発明の IC チップはこの点に着眼し、IC チップの中央部に出力端子 7 6 1 を形成 (配置) せず (ソースドライバなどの IC チップの中央部に、コントロール回路などが形成され、出力回路が形成されていない場合であっても、中央部にダミーパッドをして、出力端子 (パッド) が形成されているのが

一般的である)、この位置に共通アノード線961を形成している(ただし、共通アノード線961はアレイ基板71面に形成されている)。接続アノード線961の幅は、 $50\mu\text{m}$ 以上 $1000\mu\text{m}$ 以下にする。また、長さに対する抵抗(最大抵抗)値は、 100Ω 以下になるようにする。

【0758】

接続アノード線961でベースアノード線951と共通アノード線962とをショートすることにより、共通アノード線962に電流が流れることにより発生する電圧降下を極力抑制する。つまり、本発明の構成要素である接続アノード線961はICチップの中央部に出力回路がない点を有効に利用しているのである。また、従来、ICチップの中央部にダミーパッドとして形成されている出力端子761を削除することにより、このダミーパッドと接続アノード線961が接触することによる、ICチップが電氣的に影響をあたえることを防止している。ただし、このダミーパッドがICチップのベース基板(チップのグランド)、他の構成と電氣的に絶縁されている場合は、ダミーパッドが接続アノード線961と接触しても全く問題がない。したがって、ダミーパッドをICチップの中央部に形成したままでもよいことは言うまでもない。

【0759】

さらに具体的には、図99のように接続アノード線961、共通アノード線962は形成(配置)されている。まず、接続アノード線961は太い部分(961a)と細い部分(961b)がある。太い部分(961a)は抵抗値を低減するためである。細い部分(961b)は、出力端子963間に接続アノード線961bを形成し、共通アノード線962と接続するためである。

【0760】

また、ベースアノード線951と共通アノード線962との接続は、中央部の接続アノード線961bだけでなく、左右の接続アノード線961cでもショートしている。したがって、共通アノード線962とベースアノード線951とは3本の接続アノード線961でショートされている。したがって、共通アノード線962に大きな電流が流れても共通アノード線962で電圧降下が発生しにくい。これは、ICチップ14は通常、幅が 2mm 以上あり、このIC14下に形

成されたベースアノード線 9 5 1 の線幅を太く（低インピーダンス化できる）できるからである。そのため、低インピーダンスのベースアノード線 9 5 1 と共通アノード線 9 6 2 とを複数箇所て接続アノード線 9 6 1 によりショートしているため、共通アノード線 9 6 2 の電圧降下は小さくなるのである。

【 0 7 6 1 】

以上のように共通アノード線 9 6 2 での電圧降下を小さくできるのは、IC チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）できる点、IC チップ 1 4 の左右の位置を用いて、接続アノード線 9 6 1 c を配置（形成）できる点、IC チップ 1 4 の中央部に接続アノード線 9 6 1 b を配置（形成）できる点にある。

【 0 7 6 2 】

また、図 9 9 では、ベースアノード線 9 5 1 とカソード電源線（ベースカソード線） 9 9 1 とを絶縁膜 1 0 2 を介して積層させている。この積層した箇所がコンデンサを形成する（この構成をアノードコンデンサ構成と呼ぶ）。このコンデンサは、電源バスコンデンサとして機能する。したがって、ベースアノード線 9 5 1 の急激な電流変化を吸収することができる。コンデンサの容量は、EL 表示装置の表示面積を S 平方ミリメートルとし、コンデンサの容量を C (pF) としたとき、 $M/200 \leq C \leq M/10$ 以下の関係を満足させることがよい。さらには、 $M/100 \leq C \leq M/20$ 以下の関係を満足させることがよい。 C が小さいと電流変化を吸収することが困難であり、大きいとコンデンサの形成面積が大きくなりすぎ実用的でない。

【 0 7 6 3 】

なお、図 9 9 などの実施例では、IC チップ 1 4 下にベースアノード線 9 5 1 を配置（形成）するとしたが、アノード線をカソード線としてもよいことは言うまでもない。また、図 9 9 において、ベースカソード線 9 9 1 とベースアノード線 9 5 1 とを入れ替えても良い。本発明の技術的思想は、ドライバを半導体チップで形成し、かつ半導体チップをアレイ基板 7 1 もしくはフレキシブル基板に実装し、半導体チップの下面に EL 素子 1 5 などの電源あるいはグランド電位（電流）を供給する配線などを配置（形成）する点にある。

【 0 7 6 4 】

したがって、半導体チップは、ソースドライバ 1 4 に限定されるものではなく、ゲートドライバ 1 2 でもよく、また、電源 IC でもよい。また、半導体チップをフレキシブル基板に実装し、このフレキシブル基板面かつ半導体チップの下面に EL 素子 1 5 などの電源あるいはグランドパターンを配線（形成）する構成も含まれる。もちろん、ソースドライバ IC 1 4 とゲートドライバ IC 1 2 の両方を、半導体チップで構成し、基板 7 1 に COG 実装を起こっても良い。そして、前記チップの下面に電源あるいはグランドパターンを形成してもよい。また、EL 素子 1 5 への電源あるいはグランドパターンとしたがこれに限定するものではなく、ソースドライバ 1 4 への電源配線、ゲートドライバ 1 2 への電源配線でもよい。また、EL 表示装置に限定されるものではなく、液晶表示装置にも適用できる。その他、FED、PDP など表示パネルにも適用することができる。以上の事項は、本発明の他の実施例でも同様である。

【 0 7 6 5 】

図 9 7 は本発明の他の実施例である。主な図 9 5、図 9 6、図 9 9 との差異は図 9 5 が出力端子 9 5 3 間にアノード配線 9 5 2 を配置したのに対し、図 9 7 では、ベースアノード配線 9 5 1 から多数（複数）の細い接続アノード線 9 6 1 d を分岐させ、この接続アノード線 9 6 1 d を共通アノード線 9 6 2 とをショートした点である。また、細い接続アノード線 9 6 1 d と接続端子 9 5 3 と接続されたソース信号線 1 8 とを絶縁膜 1 0 2 を介して積層した点である。

【 0 7 6 6 】

アノード線 9 6 1 d はベースアノード線 9 5 1 とコンタクトホール 9 7 1 a で接続を取り、アノード配線 9 5 2 は共通アノード線 9 6 2 とコンタクトホール 9 7 1 b で接続を取っている。他の点（接続アノード線 9 6 1 a、9 6 1 b、9 6 1 c、アノードコンデンサ構成など）などは図 9 6、図 9 9 と同様であるので説明を省略する。

【 0 7 6 7 】

図 9 9 の A A ' 線での断面図を図 9 8 に図示する。図 9 8 (a) では、略同一幅のソース信号線 1 8 を接続アノード線 9 6 1 a が絶縁膜 1 0 2 a を介して積層されている。

【0768】

絶縁膜102aの膜厚は、500オングストローム以上3000オングストローム(Å)以下にする。さらに好ましくは、800オングストローム以上2000オングストローム(Å)以下にする。膜厚が薄いと、接続アノード線961aとソース信号線18との寄生容量が大きくなり、また、接続アノード線961aとソース信号線18との短絡が発生しやすくなり好ましくない。逆に厚いと絶縁膜の形成時間に長時間を要し、製造時間が長くなりコストが高くなる。また、上側の配線の形成が困難になる。なお、絶縁膜102は、ポリビフェニールアルコール(PVA)樹脂、エポキシ樹脂、ポリプロピレン樹脂、フェノール樹脂、アクリル系樹脂、ポリイミド樹脂などの有機材料と同一材料が例示され、その他、 SiO_2 、 SiN_x などの無機材料が例示される。その他、 Al_2O_3 、 Ta_2O_3 などであってもよいことは言うまでもない。また、図98(a)に図示するように、最表面には絶縁膜102bを形成し、配線961などの腐食、機械的損傷を防止させる。

【0769】

図98(b)では、ソース信号線18の上にソース信号線18よりも線幅の狭い接続アノード線961aが絶縁膜102aを介して積層されている。以上のよう構成することにより、ソース信号線18の段差によるソース信号線18と接続アノード線961aとのショートを抑制することができる。図98(b)の構成では、接続アノード線961aの線幅は、ソース信号線18の線幅よりも0.5 μm 以上狭くすることが好ましい。さらには、接続アノード線961aの線幅は、ソース信号線18の線幅よりも0.8 μm 以上狭くすることが好ましい。

【0770】

図98(b)では、ソース信号線18の上にソース信号線18よりも線幅の狭い接続アノード線961aが絶縁膜102aを介して積層されていたが、図98(c)に図示するように、接続アノード線961aの上に接続アノード信号線961aよりも線幅の狭いソース信号線18が絶縁膜102aを介して積層するとしてもよい。他の事項は他の実施例と同様であるので説明を省略する。

【0771】

図100はICチップ14部の断面図である。基本的には図99の構成を基準にしているが、図96、図97などでも同様に適用できる。もしくは類似に適用できる。

【0772】

図100(b)は図99のAA'での断面図である。図100(b)でも明らかに、ICチップの14の中央部には出力パッド761が形成(配置)されていない。この出力パッドと、表示パネルのソース信号線18とが接続される。出力パッド761は、メッキ技術あるいはネイルヘッドボンダ技術によりバンプ(突起)が形成されている。突起の高さは $10\mu\text{m}$ 以上 $40\mu\text{m}$ 以下の高さにする。もちろん、金メッキ技術(電解、無電解)により突起を形成してもよいことは言うまでもない。

【0773】

前記突起と各ソース信号線18とは導電性接合層(図示せず)を介して電氣的に接続されている。導電性接合層は接着剤としてエポキシ系、フェノール系等を主剤とし、銀(Ag)、金(Au)、ニッケル(Ni)、カーボン(C)、酸化錫(SnO_2)などのフレークを混ぜた物、あるいは紫外線硬化樹脂などである。導電性接合層(接続樹脂)1001は、転写等の技術でバンプ上に形成する。または、突起とソース信号線18とをACF樹脂1001で熱圧着される。なお、突起あるいは出力パッド761とソース信号線18との接続は、以上の方式に限定するものではない。また、アレイ基板上にIC14を積載せず、フィルムキャリア技術を用いてもよい。また、ポリイミドフィルム等を用いてソース信号線18などと接続しても良い。図100(a)はソース信号線18と共通アノード線962とが重なっている部分の断面図である(図98を参照のこと)。

【0774】

共通アノード線962からアノード配線952が分岐されている。アノード配線952はQCI Fパネルの場合は、 $176 \times \text{RGB} = 528$ 本である。アノード配線952を介して、図1などで図示するVdd電圧(アノード電圧)が供給される。1本のアノード配線952には、EL素子15が低分子材料の場合は、最大で $200\mu\text{A}$ 程度の電流が流れる。したがって、共通アノード配線962に

は、 $200\mu\text{A} \times 528$ で約 100mA の電流が流れる。

【0775】

したがって、共通アノード配線962での電圧降下を 0.2 (V) 以内にするには、電流が流れる最大経路の抵抗値が 2Ω (100mA 流れるとして) 以下にする必要がある。本発明では、図99に示すように3箇所接続アノード線961を形成しているので、集中分布回路におきなおすと、共通アノード線962の抵抗値は容易に極めて小さく設計することができる。また、図97のように多数の接続アノード線961aを形成すれば、共通アノード線962での電圧降下は、ほぼなくなる。

【0776】

問題となるのは、共通アノード線962とソース信号線18との重なり部分における寄生容量 (共通アノード寄生容量と呼ぶ) の影響である。基本的に、電流駆動方式では、電流を書き込むソース信号線18に寄生容量があると黒表示電流を書き込みにくい。したがって、寄生容量は極力小さくする必要がある。

【0777】

共通アノード寄生容量は、少なくとも1ソース信号線18が表示領域内で発生する寄生容量 (表示寄生容量と呼ぶ) の $1/10$ 以下にする必要がある。たとえば、表示寄生容量が 10 (pF) であれば、 1 (pF) 以下にする必要がある。さらに好ましくは、(表示寄生容量と呼ぶ) の $1/20$ 以下にする必要がある。表示寄生容量が 10 (pF) であれば、 0.5 (pF) 以下にする必要がある。この点を考慮して、共通アノード線962の線幅 (図103のM)、絶縁膜102の膜厚 (図101を参照) を決定する。

【0778】

ベースアノード線951はICチップ14の下に形成 (配置) する。形成する線幅は、低抵抗化の観点から、極力太い方がよいことは言うまでもない。その他、ベースアノード配線951は遮光の機能を持たせることが好ましい。この説明図を図102に図示している。なお、ベースアノード配線951を金属材料で所定膜厚形成すれば、遮光の効果があることはいうまでもない。また、ベースアノード線951が太くできない時、あるいは、ITOなどの透明材料で形成すると

きは、ベースアノード線951に積層して、あるいは多層に、光吸収膜あるいは光反射膜をICチップ14下（基本的にはアレイ71の表面）に形成する。また、図102の遮光膜（ベースアノード線951）は、完全な遮光膜であることを必要としない。部分に開口部があってもよく、また、回折効果、散乱効果を発揮するものでもよい。また、ベースアノード線951に積層させて、光学的干渉多層膜からなる遮光膜を形成または配置してもよい。

【0779】

もちろん、アレイ基板71とICチップ14との空間に、金属箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、金属箔に限定されず、有機材料あるいは無機材料からなる箔あるいは板あるいはシートからなる反射板（シート）、光吸収板（シート）を配置あるいは挿入あるいは形成してもよいことは言うまでもない。また、アレイ基板71とICチップ14との空間に、ゲルあるいは液体からなる光吸収材料、光反射材料を注入あるいは配置してもよい。さらに前記ゲルあるいは液体からなる光吸収材料、光反射材料を加熱により、あるいは光照射により硬化させることが好ましい。なお、ここでは説明を容易にするために、ベースアノード線951を遮光膜（反射膜）にするとして説明をする。

【0780】

図102のように、ベースアノード線951はアレイ基板71の表面（なお、表面に限定するものではない。遮光膜／反射膜とするという思想を満足させるためには、ICチップ14の裏面に光が入射しなければよいのである。したがって、基板71の内面あるいは内層にベースアノード線951などを形成してもよいことは言うまでもない。また、基板71の裏面にベースアノード線951（反射膜、光吸収膜として機能する構成または構造）を形成することにより、IC14に光が入射することを防止または抑制できるのであれば、アレイ基板71の裏面でもよい。

【0781】

また、図102などでは、遮光膜などはアレイ基板71に形成するとしたがこ

れに限定するものではなく、ICチップ14の裏面に直接に遮光膜などを形成してもよい。この場合は、ICチップ14の裏面に絶縁膜102（図示せず）を形成し、この絶縁膜上に遮光膜もしくは反射膜などを形成する。また、ソースドライバ回路14がアレイ基板71に直接に形成する構成（低温ポリシリコン技術、高温ポリシリコン技術、固相成長技術、アモルファスシリコン技術によるドライバ構成）の場合は、遮光膜、光吸収膜あるいは反射膜を基板71に形成し、その上にドライバ回路14を形成（配置）すればよい。

【0782】

ICチップ14には電流源634など、微少電流を流すトランジスタ素子が多く形成されている（図102の回路形成部1021）。微少電流を流すトランジスタ素子に光が入射すると、ホトコンダクタ現象が発生し、出力電流（プログラム電流 I_w ）、親電流量、子電流量などが異常な値（バラツキが発生するなど）となる。特に、有機ELなどの自発光素子は、基板71内でEL素子15から発生した光が乱反射するため、表示領域50以外の箇所から強い光が放射される。この放射された光が、ICチップ14の回路形成部1021に入射するとホトコンダクタ現象が発生する。したがって、ホトコンダクタ現象の対策は、EL表示デバイスに特有の対策である。

【0783】

この課題に対して、本発明では、ベースアノード線951を基板71上に構成し、遮光膜する。ベースアノード線951の形成領域は図102に図示するように、回路形成部1021を被覆するようにする。以上のように、遮光膜（ベースアノード線951）を形成することにより、ホトコンダクタ現象を完全に防止できる。特にベースアノード配線951などのEL電源線は、画面書き換えに伴い、電流がながれて多少の電位が変化する。しかし、電位の変化量は、1Hタイミングで少しずつ変化するため、グランド電位（電位変化しないという意味）として見なせる。したがって、ベースアノード線951あるいはベースカソード線は、遮光の機能だけでなく、シールドの効果も発揮する。

【0784】

有機ELなどの自発光素子は、基板71内でEL素子15から発生した光が乱

反射するため、表示領域 50 以外の箇所から強い光が放射される。この乱反射光を防止あるいは抑制するため、図 101 に図示するように、画像表示に有効な光が通過しない箇所（無効領域）に光吸収膜 1011 を形成する（逆に有効領域とは、表示領域 50 をその近傍）。光吸収膜を形成する箇所は、封止フタ 85 の外面（光吸収膜 1011 a）、封止フタ 85 の内面（光吸収膜 1011 c）、基板 70 の側面（光吸収膜 1011 d）、基板の画像表示領域以外（光吸収膜 1011 b）などである。なお、光吸収膜に限定するものではなく、光吸収シートを取り付けてもよく、また、光吸収壁でもよい。また、光吸収の概念には、光を散乱させることのより、光を発散させる方式あるいは構造も含まれる、また、広義には反射により光を封じこめる方式あるいは構成も含まれる。

【0785】

光吸収膜を構成する物質としては、アクリル樹脂などの有機材料にカーボンを含ませたもの、黒色の色素あるいは顔料を有機樹脂中に分散させたもの、カラーフィルターの様にゼラチンやカゼインを黒色の酸性染料で染色したものが例示される。その他、単一で黒色となるフルオラン系色素を発色させて用いたものでもよく、緑色系色素と赤色系色素とを混合した配色ブラックを用いることもできる。また、スパッタにより形成された PrMnO_3 膜、プラズマ重合により形成されたフタロシアニン膜等が例示される。

【0786】

以上の材料はすべて黒色の材料であるが、光吸収膜としては、表示素子が発生する光色に対し、補色の関係の材料を用いても良い。例えば、カラーフィルター用の光吸収材料を望ましい光吸収特性が得られるように改良して用いれば良い。基本的には前記した黒色吸収材料と同様に、色素を用いて天然樹脂を染色したものをを用いても良い。また、色素を合成樹脂中に分散した材料を用いることができる。色素の選択の範囲は黒色色素よりもむしろ幅広く、アゾ染料、アントラキノン染料、フタロシアニン染料、トリフェニルメタン染料などから適切な 1 種、もしくはそれらのうち 2 種類以上の組み合わせでも良い。

【0787】

また、光吸収膜としては金属材料を用いてもよい。たとえば、六価クロムが例

示される。六価クロムは黒色であり、光吸収膜として機能する。その他、オパールガラス、酸化チタンなどの光散乱材料であってもよい。光を散乱させることにより、結果的に光を吸収することと等価になるからである。

【0788】

なお、封止フタ85は、4 μ m以上15 μ m以下の樹脂ビーズ1012を含有させた封止樹脂1031を用いて、基板71と封止フタ85とを接着する。フタ85は加圧せずに配置し、固定する。

【0789】

図99の実施例は、共通アノード線962をICチップ14の近傍に形成（配置）するように図示したが、これに限定するものではない。たとえば、図103に図示するように、表示領域50の近傍に形成してもよい。また、形成することが好ましい。なぜならば、ソース信号線18とアノード配線952とが短距離で、かつ平行して配置（形成）する部分が減少するからである。ソース信号線18とアノード配線952とが短距離で、かつ平行に配置されると、ソース信号線18とアノード配線952間に寄生容量が発生するからである。図103のように、表示領域50の近傍に共通アノード線962を配置するとその問題点はなくなる。画面表示領域50から共通アノード線962の距離K（図103を参照）は、1mm以下にすることが好ましい。

【0790】

共通アノード線962は、極力低抵抗化するため、ソース信号線18を形成する金属材料で形成することが好ましい。本発明では、Cu薄膜、Al薄膜あるいはTi/Al/Tiの積層構造、あるいは合金もしくはアマンガムからなる金属材料（SDメタル）で形成している。したがって、ソース信号線18と共通アノード線962が交差する箇所はショートすることを防止するため、ゲート信号線17を構成する金属材料（GEメタル）に置き換える。ゲート信号線は、Mo/Wの積層構造からなる金属材料で形成している。

【0791】

一般的に、ゲート信号線17のシート抵抗は、ソース信号線18のシート抵抗より高い。これは、液晶表示装置で一般的である。しかし、有機EL表示パネル

において、かつ電流駆動方式では、ソース信号線 1 8 を流れる電流は $1 \sim 5 \mu A$ と微少である。したがって、ソース信号線 1 8 の配線抵抗が高くとも電圧降下はほとんど発生せず、良好な画像表示を実現できる。液晶表示装置においては、電圧でソース信号線 1 8 に画像データを書き込む。したがって、ソース信号線 1 8 の抵抗値が高いと画像を 1 水平走査期間に書き込むことができない。

【 0 7 9 2 】

しかし、本発明の電流駆動方式では、ソース信号線 1 8 の抵抗値が高く（つまり、シート抵抗値が高い）とも、課題とはならない。したがって、ソース信号線 1 8 のシート抵抗は、ゲート信号線 1 7 のシート抵抗より高くともよい。したがって、本発明の E L 表示パネルにおいて（概念的には、電流駆動方式の表示パネルあるいは表示装置において）、図 1 0 4 に図示するように、ソース信号線 1 8 を G E メタルで作製（形成）し、ゲート信号線 1 7 を S D メタルで作製（形成）してもよい（液晶表示パネルと逆）。

【 0 7 9 3 】

図 1 0 7 は、図 9 9、図 1 0 3 の構成に加えて、ゲートドライバ回路 1 2 を駆動する電源配線 1 0 5 1 を配置した構成である。電源配線 1 0 5 1 はパネルの表示領域 5 0 の右端→下辺→表示領域 5 0 の左端に引き回している。つまり、ゲートドライバ 1 2 a と 1 2 b の電源とは同一になっている。

【 0 7 9 4 】

しかし、ゲート信号線 1 7 a を選択するゲートドライバ回路 1 2 a（ゲート信号線 1 7 a は T F T 1 1 b、T F T 1 1 c を制御する）と、ゲート信号線 1 7 b を選択するゲートドライバ回路 1 2 b（ゲート信号線 1 7 b は T F T 1 1 d を制御し、E L 素子 1 5 に流れる電流を制御する）とは、電源電圧を異ならせることが好ましい。特に、ゲート信号線 1 7 a の振幅（オン電圧－オフ電圧）は小さいことが好ましい。ゲート信号線 1 7 a の振幅が小さくなるほど、画素 1 6 のコンデンサ 1 9 への突き抜け電圧が減少するからである（図 1 などを参照）。一方、ゲート信号線 1 7 b は E L 素子 1 5 を制御する必要があるため、振幅は小さくできない。

【 0 7 9 5 】

したがって、図108に図示するように、ゲートドライバ12aの印加電圧は V_{ha} (ゲート信号線17aのオフ電圧) と、 V_{1a} (ゲート信号線17aのオン電圧) とし、ゲートドライバ12aの印加電圧は V_{hb} (ゲート信号線17bのオフ電圧) と、 V_{1a} (ゲート信号線17bのオン電圧) とする。 $V_{1a} < V_{1b}$ なる関係とする。なお、 V_{ha} と V_{hb} とは、略一致させてもよい。

【0796】

ゲートドライバ回路12は、通常、NチャンネルトランジスタとPチャンネルトランジスタで構成するが、Pチャンネルトランジスタのみで形成することが好ましい。アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。したがって、図1、図2などに例示したように、画素16を構成するTFTをPチャンネルトランジスタとするとともに、ゲートドライバ回路12もPチャンネルトランジスタで形成あるいは構成する。NチャンネルトランジスタとPチャンネルトランジスタでゲートドライバ回路を構成すると必要なマスク数は10枚となるが、Pチャンネルトランジスタのみで形成すると必要なマスク数は5枚になる。

【0797】

しかし、Pチャンネルトランジスタのみでゲートドライバ回路12などを構成すると、レベルシフト回路をアレイ基板71に形成できない。レベルシフト回路はNチャンネルトランジスタとPチャンネルトランジスタで構成するからである。

【0798】

この課題に対して、本発明では、レベルシフト回路機能を、電源IC1091に内蔵させている。図109はその実施例である。電源IC1091はゲートドライバ回路12の駆動電圧、EL素子15のアノード、カソード電圧、ソースドライバ回路14の駆動電圧を発生させる。

【0799】

電源IC1091はゲートドライバ回路12のEL素子15のアノード、カソード電圧を発生させるため、高い耐圧の半導体プロセスを使用する必要がある。この耐圧があれば、ゲートドライバ回路12の駆動する信号電圧までレベルシフ

トすることができる。

【0800】

したがって、レベルシフトおよびゲートドライバ回路12の駆動は図109の構成で実施する。入力データ（画像データ、コマンド、制御データ）992はソースドライバIC14に入力される。入力データにはゲートドライバ回路12の制御データも含まれる。ソースドライバIC14は耐圧（動作電圧）が5（V）である。一方、ゲートドライバ回路12は動作電圧が15（V）である。ソースドライバ回路14から出力されるゲートドライバ回路12に出力される信号は、5（V）から15（V）にレベルシフトする必要がある。このレベルシフトを電源回路（IC）1091で行う。図109ではゲートドライバ回路12を制御するデータ信号も電源IC制御信号1092としている。

【0801】

電源回路1091は入力されたゲートドライバ回路12を制御するデータ信号1092を内蔵するレベルシフタ回路でレベルシフトし、ゲートドライバ回路制御信号1093として出力し、ゲートドライバ回路12を制御する。

【0802】

以下、基板71に内蔵するゲートドライバ回路12をPチャンネルのトランジスタのみで構成した本発明のゲートドライバ12について説明をする。先にも説明したように、画素16とゲートドライバ回路12とをPチャンネルトランジスタのみで形成する（つまり、基板71に形成するトランジスタはすべてPチャンネルトランジスタである。反対に言えば、Nチャンネルのトランジスタを用いない状態）ことにより、アレイを作製に必要とするマスク数が減少し、製造歩留まり向上、スループットの向上が見込まれるからである。また、Pチャンネルトランジスタの性能のみの向上に取り組みができるため、結果として特性改善が容易である。たとえば、 V_t 電圧の低減化（より0（V）に近くするなど）、 V_t バラツキの減少を、CMOS構造（PチャンネルとNチャンネルトランジスタを用いる構成）よりも容易に実施できる。

【0803】

一例として、図106に図示するように、本発明は、表示領域50の左右に1

相（シフトレジスタ）づつ、ゲートドライバ回路 1 2 を配置または形成あるいは構成している。ゲートドライバ回路 1 2 など（画素 1 6 のトランジスタも含む）は、プロセス温度が 4 5 0 度（摂氏）以下の低温ポリシリコン技術で形成または構成するとして説明するが、これに限定するものではない。プロセス温度が 4 5 0 度（摂氏）以上の高温ポリシリコン技術を用いて構成してもよく、また、固相（C G S）成長させた半導体膜を用いて T F T などを形成したものを用いてもよい。その他、有機 T F T で形成してもよい。また、アモルファスシリコン技術で形成あるいは構成した T F T であってもよい。

【 0 8 0 4 】

1 つは選択側のゲートドライバ回路 1 2 a である。ゲート信号線 1 7 a にオンオフ電圧を印加し、画素 T F T 1 1 を制御する。他方のゲートドライバ回路 1 2 b は、E L 素子 1 5 に流す電流を制御（オンオフさせる）する。本発明の実施例では、主として図 1 の画素構成を例示して説明をするがこれに限定するものではない。図 5 0、図 5 1、図 5 4 などの他の画素構成においても適用できることは言うまでもない。また、本発明のゲートドライバ回路 1 2 の構成あるいはその駆動方式は、本発明の表示パネル、表示装置あるいは情報表示装置との組み合わせにおいて、より特徴ある効果を発揮する。しかし、他の構成においても特徴ある効果を発揮できることは言うまでもない。

【 0 8 0 5 】

なお、以下に説明するゲートドライバ 1 2 構成あるいは配置形態は、有機 E L 表示パネルなどの自己発光デバイスに限定されるものではない。液晶表示パネルあるいは電磁遊動表示パネルなどにも採用することができる。たとえば、液晶表示パネルでは、画素の選択スイッチング素子の制御として本発明のゲートドライバ回路 1 2 の構成あるいは方式を採用してもよい。また、ゲートドライバ回路 1 2 を 2 相用いる場合は、1 相を画素のスイッチング素子の選択用として用い、他方を画素において、保持容量の 1 方の端子に接続してもよい。この方式は、独立 C C 駆動と呼ばれるものである。また、図 1 1 1、図 1 1 3 などで説明する構成は、ゲートドライバ回路 1 2 だけでなく、ソースドライバ回路 1 4 のシフトレジスタ回路などにも採用することができることは言うまでもない。

【 0 8 0 6 】

本発明のゲートドライバ回路 1 2 は、先に説明した図 6、図 1 3、図 1 6、図 2 0、図 2 2、図 2 4、図 2 6、図 2 7、図 2 8、図 2 9、図 3 4、図 3 7、図 4 0、図 4 1、図 4 8、図 8 2、図 9 1、図 9 2、図 9 3、図 1 0 3、図 1 0 4、図 1 0 5、図 1 0 6、図 1 0 7、図 1 0 8、図 1 0 9 などのゲートドライバ回路 1 2 として実施あるいは採用することが好ましい。

【 0 8 0 7 】

図 1 1 1 は、本発明のゲートドライバ回路 1 2 のブロック図である。説明を容易にするため、4 段分しか図示していないが、基本的には、ゲート信号線 1 7 数に対応する単位ゲート出力回路 1 1 1 1 が形成または配置される。

【 0 8 0 8 】

図 1 1 1 に図示するように、本発明のゲートドライバ回路 1 2 (1 2 a、1 2 b) では、4 つのクロック端子 (SCK 0、SCK 1、SCK 2、SCK 3) と、1 つのスタート端子 (データ信号 (SSTA))、シフト方向を上下反転制御する 2 つの反転端子 (DIRA、DIRB、これらは、逆相の信号を印加する) の信号端子から構成される。また、電源端子として L 電源端子 (VBB) と、H 電源端子 (Vd) などから構成される。

【 0 8 0 9 】

なお、本発明のゲートドライバ回路 1 2 は、すべて P チャンネルの TFT (トランジスタ) で構成しているため、レベルシフタ回路 (低電圧のロジック信号を高電圧のロジック信号に変換する回路) をゲートドライバ回路に内蔵することができない。そのため、図 1 0 9 などに図示した電源回路 (IC) 1 0 9 1 内にレベルシフタ回路を配置または形成している。電源回路 (IC) 1 0 9 1 は、ゲートドライバ回路 1 2 からゲート信号線 1 7 に出力するオン電圧 (画素 1 6 TFT の選択電圧)、オフ電圧 (画素 1 6 TFT の非選択電圧) に必要な電位の電圧を作成する。そのため、電源 IC (回路) 1 0 9 1 の使用する半導体の耐圧プロセスは、十分な耐圧がある。したがって、電源 IC 1 0 9 1 でロジック信号をレベルシフト (LS) すると都合がよい。したがって、コントローラ (図示せず) から出力されるゲートドライバ回路 1 2 の制御信号は、電源 IC 1 0 9 1 に入力し

、レベルシフトしてから、本発明のゲートドライバ回路 1 2 に入力する。コントローラ（図示せず）から出力されるソースドライバ回路 1 4 の制御信号は、直接に本発明のソースドライバ回路 1 4 などに入力する（レベルシフトの必要がない）。

【 0 8 1 0 】

しかし、本発明はアレイ基板 7 1 に形成するトランジスタをすべて P チャンネルで形成することに限定するものではない。ゲートドライバ回路 1 2 を後に説明する図 1 1 1、図 1 1 3 のように P チャンネルで形成することにより、狭額縁化することができる。2. 2 インチの Q C I F パネルの場合、ゲートドライバ回路 1 2 の幅は、6 μ m ルールの採用時で、6 0 0 μ m で構成できる。供給するゲートドライバ回路 1 2 の電源配線の引き回しを含めても 7 0 0 μ m に構成することができる。同様の回路構成を C M O S（N チャンネルと P チャンネルトランジスタ）で構成すると、1. 2 m m になってしまう。したがって、ゲートドライバ回路 1 2 を P チャンネルで形成することにより、狭額縁化をいう特徴ある効果を発揮できる。

【 0 8 1 1 】

また、画素 1 6 を P チャンネルのトランジスタで構成することにより、P チャンネルトランジスタで形成したゲートドライバ回路 1 2 とのマッチングが良くなる。P チャンネルトランジスタ（図 1 の画素構成では、T F T 1 1 b、1 1 c、T F T 1 1 d）は L 電圧でオンする。一方、ゲートドライバ回路 1 2 も L 電圧が選択電圧である。P チャンネルのゲートドライバは図 1 1 3 の構成でもわかるが、L レベルを選択レベルとするとマッチングが良い。L レベルが長期間保持できないからである。一方、H 電圧は長時間保持することができる。

【 0 8 1 2 】

また、E L 素子 1 5 に電流を供給する駆動用 T F T（図 1 では T F T 1 1 a）も P チャンネルで構成することにより、E L 素子 1 5 のカソードが金属薄膜のべた電極に構成することができる。また、アノード電位 V d d から順方向に E L 素子 1 5 に電流を流すことができる。以上の事項から、画素 1 6 のトランジスタを P チャンネルとし、ゲートドライバ 1 2 のトランジスタも P チャンネルとするこ

とがよい。以上のことから、本発明の画素 1 6 を構成するトランジスタ（駆動用 T F T、スイッチング用 T F T）を P チャンネルで形成し、ゲートドライバ回路 1 2 のトランジスタを P チャンネルで構成するという事項は単なる設計事項ではない。

【 0 8 1 3 】

この意味で、レベルシフタ（L S）回路を、基板 7 1 に直接に形成してもよい。つまり、レベルシフタ（L S）回路を N チャンネルと P チャンネルトランジスタで形成する。コントローラ（図示せず）からのロジック信号は、基板 7 1 に直接形成されたレベルシフタ回路で、P チャンネルトランジスタで形成されたゲートドライバ回路 1 2 のロジックレベルに適合するように昇圧する。この昇圧したロジック電圧を前記ゲートドライバ回路 1 2 に印加する。

【 0 8 1 4 】

なお、レベルシフタ回路を半導体チップで形成し、基板 7 1 に C O G 実装などしてもよい。また、ソースドライバ回路 1 4 は、図 1 0 9 などにも図示しているが、基本的に半導体チップで形成し、基板 7 1 に C O G 実装する。ただし、ソースドライバ回路 1 4 を半導体チップで形成することに限定するものではなく、ポリシリコン技術を用いて基板 7 1 に直接に形成してもよい。画素 1 6 を構成するトランジスタ 1 1 を P チャンネルで構成すると、プログラム電流は画素 1 6 からソース信号線 1 8 に流れ出す方向になる。そのため、ソースドライバ回路の単位電流回路 6 3 4（図 7 3、図 7 4 などを参照のこと）は、N チャンネルのトランジスタで構成する必要がある。つまり、ソースドライバ回路 1 4 はプログラム電流 I_w を引き込むように回路構成する必要がある。

【 0 8 1 5 】

したがって、画素 1 6 の駆動用 T F T 1 1 a（図 1 の場合）が P チャンネルトランジスタの場合は、必ず、ソースドライバ回路 1 4 はプログラム電流 I_w を引き込むように、単位電流源 6 3 4 を N チャンネルトランジスタで構成する。ソースドライバ回路 1 4 をアレイ基板 7 1 に形成するには、N チャンネル用マスク（プロセス）と P チャンネル用マスク（プロセス）の両方を用いる必要がある。概念的に述べれば、画素 1 6 とゲートドライバ 1 2 を P チャンネルトランジスタで

構成し、ソースドライバの引き込み電流源のトランジスタはNチャンネルで構成するのが本発明の表示パネル（表示装置）である。

【0816】

なお、説明を容易にするため、本発明の実施例では、図1の画素構成を例示して説明をする。しかし、画素16の選択トランジスタ（図1ではTFT11c）をPチャンネルで構成し、ゲートドライバ回路12をPチャンネルトランジスタで構成するというなどの本発明の技術的思想は、図1の画素構成に限定されるものではない。たとえば、電流駆動方式の画素構成では図42に図示するカレントミラーの画素構成にも適用することができることは言うまでもない。また、電圧駆動方式の画素構成では、図62に図示するような2つのTFT（選択トランジスタはTFT11b、駆動トランジスタはTFT11a）にも適用することができる。もちろん、図111、図113のゲートドライバ回路12の構成も適用でき、また、組み合わせて装置などを構成できる。したがって、以上の説明した事項、以下に説明する事項は、画素構成などに限定されるものではない。

【0817】

また、画素16の選択トランジスタをPチャンネルで構成し、ゲートドライバ回路をPチャンネルトランジスタで構成するという構成は、有機ELなどの自己発光デバイス（表示パネルあるいは表示装置）に限定されるものではない。たとえば、液晶表示デバイスにも適用することができる。

【0818】

反転端子（DIRA、DIRB）は各単位ゲート出力回路1111に対し、共通の信号が印加される。なお、図113の等価回路図をみれば、理解できるが、反転端子（DIRA、DIRB）は互いに逆極性の電圧値を入力する。また、シフトレジスタの走査方向を反転させる場合は、反転端子（DIRA、DIRB）に印加している電圧の極性を反転させる。

【0819】

なお、図111の回路構成は、クロック信号線数は4つである。4つが本発明では最適な数であるが、本発明はこれに限定するものではない。4つ以下でも4つ以上でもよい。

【 0 8 2 0 】

クロック信号 (SCK0、SCK1、SCK2、SCK3) の入力は、隣接した単位ゲート出力回路 1 1 1 1 で異ならせている。たとえば、単位ゲート出力回路 1 1 1 1 a には、クロック端子の SCK0 が OC に、SCK2 が RST に入力されている。この状態は、単位ゲート出力回路 1 1 1 1 c も同様である。単位ゲート出力回路 1 1 1 1 a に隣接した単位ゲート出力回路 1 1 1 1 b (次段の単位ゲート出力回路) は、クロック端子の SCK1 が OC に、SCK3 が RST に入力されている。したがって、単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、SCK0 が OC に、SCK2 が RST に入力され、次段は、クロック端子の SCK1 が OC に、SCK3 が RST に入力され、さらに次段の単位ゲート出力回路 1 1 1 1 に入力されるクロック端子は、SCK0 が OC に、SCK2 が RST に入力され、というように交互に異ならせている。

【 0 8 2 1 】

図 1 1 3 が単位ゲート出力回路 1 1 1 1 の回路構成である。構成するトランジスタは P チャンネルのみで構成している。図 1 1 4 が図 1 1 3 の回路構成を説明するためのタイミングチャートである。なお、図 1 1 2 は図 1 1 3 の複数段分におけるタイミングチャートを図示したものである。したがって、図 1 1 3 を理解することにより、全体の動作を理解することができる。動作の理解は、文章で説明するよりも、図 1 1 3 の等価回路図を参照しながら、図 1 1 4 のタイミングチャートを理解することにより達成されるため、詳細な各トランジスタの動作の説明は省略する。

【 0 8 2 2 】

P チャンネルのみでドライバ回路構成を作成すると、基本的にゲート信号線 1 7 を H レベル (図 1 1 3 では V_d 電圧) に維持することは可能である。しかし、L レベル (図 1 1 3 では V_{BB} 電圧) に長時間維持することは困難である。しかし、画素行の選択時などの短期間維持は十分にできる。IN 端子に入力された信号と、RST 端子に入力された SCK クロックにより、n1 が変化し、n2 は n1 の反転信号状態となる。n2 の電位と n4 の電位とは同一極性であるが、OC 端子に入力された SCK クロックにより n4 の電位レベルはさらに低くなる。こ

の低くなるレベルに対応して、Q端子がその期間、Lレベルに維持される（オン電圧がゲート信号線17から出力される）。SQあるいはQ端子に出力される信号は、次段の単位ゲート出力回路1111に転送される。

【0823】

図111、図113の回路構成において、IN（INA、INb）端子、クロック端子の印加信号のタイミングを制御することにより、図115（a）に図示するように、1ゲート信号線17を選択する状態と、図115（b）に図示するように2ゲート信号線17を選択する状態とを同一の回路構成を用いて実現できる。選択側のゲートドライバ回路12aにおいて、図115（a）の状態は、1画素行（51a）を同時に選択する駆動方式である（ノーマル駆動）。また、選択画素行は1行ずつシフトする。図115（b）は、2画素行を選択する構成である。この駆動方式は、図27、図28で説明した複数画素行（51a、51b）の同時選択駆動（ダミー画素行を構成する方式）である。選択画素行は、1画素行ずつシフトし、かつ隣接した2画素行が同時に選択される。特に、図115（b）の駆動方法は、最終的な映像を保持する画素行（51a）に対し、画素行51bは予備充電される。そのため、画素16が書き込み易くなる。つまり、本発明は、端子に印加する信号により、2つの駆動方式を切り替えて実現できる。

【0824】

なお、図115（b）は隣接した画素16行を選択する方式であるが、図116に図示するように、隣接した以外の画素16行を選択してもよい（図116は、3画素行離れた位置の画素行を選択している実施例である）。また、図113の構成では、4画素行の組で制御される。4画素行のうち、1画素行を選択するか、連続した2画素行を選択するかの制御を実施できる。これは、使用するクロック（SCK）が4本によることの制約である。クロック（SCK）8本になれば、8画素行の組で制御を実施できる。

【0825】

選択側のゲートドライバ12aの動作は、図115の動作である。図115（a）に図示するように、1画素行を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。また、図115（b）に図示するように、2画素行

を選択し、選択位置を1水平同期信号に同期して1画素行ずつシフトする。

【0826】

つぎに、本発明の駆動方式を実施する本発明の表示機器についての実施例について説明をする。図57は情報端末装置の一例としての携帯電話の平面図である。筐体573にアンテナ571、テンキー572などが取り付けられている。572などが表示色切換キーあるいは電源オンオフ、フレームレート切り替えキーである。

【0827】

キー572を1度押さえると表示色は8色モードに、つづいて同一キー572を押さえると表示色は256色モード、さらにキー572を押さえると表示色は4096色モードとなるようにシーケンスを組んでもよい。キーは押さえるごとに表示色モードが変化するトグルスイッチとする。なお、別途表示色に対する変更キーを設けてもよい。この場合、キー572は3つ（以上）となる。

【0828】

キー572はプッシュスイッチの他、スライドスイッチなどの他のメカニカルなスイッチでもよく、また、音声認識などにより切換るものでもよい。たとえば、4096色を受話器に音声入力すること、たとえば、「高品位表示」、「256色モード」あるいは「低表示色モード」と受話器に音声入力することにより表示パネルの表示画面50に表示される表示色が変化するように構成する。これは現行の音声認識技術を採用することにより容易に実現することができる。

【0829】

また、表示色の切り替えは電氣的に切換るスイッチでもよく、表示パネルの表示部21に表示させたメニューを触れることにより選択するタッチパネルでもよい。また、スイッチを押さえる回数で切換る、あるいはクリックボールのように回転あるいは方向により切換るように構成してもよい。

【0830】

572は表示色切換キーとしたが、フレームレートを切換るキーなどとしてもよい。また、動画と静止画とを切換るキーなどとしてもよい。また、動画と静止画とフレームレートなどの複数の要件を同時に切り替えてもよい。また、押さえ

続けると徐々に（連続的に）フレームレートが変化するように構成してもよい。
 この場合は発振器を構成するコンデンサC、抵抗Rのうち、抵抗Rを可変抵抗にしたり、電子ポリウムにしたりすることにより実現できる。また、コンデンサはトリマコンデンサとすることにより実現できる。また、半導体チップに複数のコンデンサを形成しておき、1つ以上のコンデンサを選択し、これらを回路的に並列に接続することにより実現してもよい。

【0831】

なお、表示色などによりフレームレートを切換えるという技術的思想は携帯電話に限定されるものではなく、パームトップコンピュータや、ノートパソコン、デスクトップパソコン、携帯時計など表示画面を有する機器に広く適用することができる。また、液晶表示装置（液晶表示パネル）に限定されるものではなく、液晶表示パネル、有機EL表示パネルや、トランジスタパネル、PLZTパネルや、CRTにも適用することができる。

【0832】

図57で説明した本発明の携帯電話では図示していないが、筐体の裏側にCCDカメラを備えている。CCDカメラで撮影し画像は即時に表示パネルの表示画面50に表示できる。CCDカメラで撮影したデータは、表示画面50に表示することができる。CCDカメラの画像データは24ビット（1670万色）、18ビット（26万色）、16ビット（6.5万色）、12ビット（4096色）、8ビット（256色）をキー572入力で切り替えることができる。

【0833】

表示データが12ビット以上の時は、誤差拡散処理を行って表示する。つまり、CCDカメラからの画像データが内蔵メモリの容量以上の時は、誤差拡散処理などを実施し、表示色数を内蔵画像メモリの容量以下となるように画像処理を行う。

【0834】

今、ソースドライバIC14には4096色（RGB各4ビット）で1画面の内蔵RAMを具備しているとして説明する。モジュール外部から送られてくる画像データが4096色の場合は、直接ソースドライバIC14の内蔵画像RAM

に格納され、この内蔵画像RAMから画像データを読み出し、表示画面50に画像を表示する。

【0835】

画像データが26万色（G：6ビット、R、B：5ビットの計16ビット）の場合は、誤差拡散コントローラの演算メモリにいったん格納され、かつ同時に誤差拡散あるいはディザ処理を行う演算回路で誤差拡散あるいはディザ処理が行われる。この誤差拡散処理などにより16ビットの画像データは内蔵画像RAMのビット数である12ビットに変換されてソースドライバIC14に転送される。ソースドライバIC14はRGB各4ビット（4096色）の画像データを出力し、表示画面50に画像を表示する。

【0836】

さらに、本発明のEL表示パネルあるいはEL表示装置もしくは駆動方法を採用した実施の形態について、図面を参照しながら説明する。

【0837】

図58は本発明の実施の形態におけるビューファインダの断面図である。但し、説明を容易にするため模式的に描いている。また一部拡大あるいは縮小した箇所が存在し、また、省略した箇所もある。たとえば、図58において、接眼カバーを省略している。以上のことは他の図面においても該当する。

【0838】

ボデー573の裏面は暗色あるいは黒色にされている。これは、EL表示パネル（表示装置）574から出射した迷光がボデー573の内面で乱反射し表示コントラストの低下を防止するためである。また、表示パネルの光出射側には位相板（ $\lambda/4$ 板など）108、偏光板109などが配置されている。このことは図10、図11でも説明している。

【0839】

接眼リング581には拡大レンズ582が取り付けられている。観察者は接眼リング581をボデー573内での挿入位置を可変して、表示パネル574の表示画像50にピントがあうように調整する。

【0840】

また、必要に応じて表示パネル 5 7 4 の光出射側に正レンズ 5 8 3 を配置すれば、拡大レンズ 5 8 2 に入射する主光線を収束させることができる。そのため、拡大レンズ 5 8 2 のレンズ径を小さくすることができ、ビューファインダを小型化することができる。

【 0 8 4 1 】

図 5 9 はビデオカメラの斜視図である。ビデオカメラは撮影（撮像）レンズ部 5 9 2 とビデオカメラ本体 5 7 3 と具備し、撮影レンズ部 5 9 2 とビューファインダ部 5 7 3 とは背中合わせとなっている。また、ビューファインダ（図 5 8 も参照）5 7 3 には接眼カバーが取り付けられている。観察者（ユーザー）はこの接眼カバー部から表示パネル 5 7 4 の画像 5 0 を観察する。

【 0 8 4 2 】

一方、本発明の E L 表示パネルは表示モニターとしても使用されている。表示部 5 0 は支点 5 9 1 で角度を自由に調整できる。表示部 5 0 を使用しない時は、格納部 5 9 3 に格納される。

【 0 8 4 3 】

スイッチ 5 9 4 は以下の機能を実施する切り替えあるいは制御スイッチである。スイッチ 5 9 4 は表示モード切り替えスイッチである。スイッチ 5 9 4 は、携帯電話などにも取り付けることが好ましい。この表示モード切り替えスイッチ 5 9 4 について説明をする。

【 0 8 4 4 】

本発明の駆動方法の 1 つに N 倍の電流を E L 素子 1 5 に流し、1 F の $1/M$ の期間だけ点灯させる方法がある。この点灯させる期間を変化させることにより、明るさをデジタル的に変更することができる。たとえば、 $N=4$ として、E L 素子 1 5 には 4 倍の電流を流す。点灯期間を $1/M$ とし、 $M=1, 2, 3, 4$ と切り替えれば、1 倍から 4 倍までの明るさ切り替えが可能となる。なお、 $M=1, 1.5, 2, 3, 4, 5, 6$ などと変更できるように構成してもよい。

【 0 8 4 5 】

以上の切り替え動作は、携帯電話の電源をオンしたときに、表示画面 5 0 を非常に明るく表示し、一定の時間を経過した後は、電力セーブするために、表示輝

度を低下させる構成に用いる。また、ユーザーが希望する明るさに設定する機能としても用いることができる。たとえば、屋外などでは、画面を非常に明るくする。屋外では周辺が明るく、画面が全く見えなくなるからである。しかし、高い輝度で表示し続けると E L 素子 1 5 は急激に劣化する。そのため、非常に明るくする場合は、短時間で通常の輝度に復帰させるように構成しておく。さらに、高輝度で表示させる場合は、ユーザーがボタンを押すことにより表示輝度を高くできるように構成しておく。

【 0 8 4 6 】

したがって、ユーザーがボタン 5 9 4 で切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、表示輝度を 5 0 %、6 0 %、8 0 % とユーザーなどが設定できるように構成しておくことが好ましい。

【 0 8 4 7 】

なお、表示画面 5 0 はガウス分布表示にすることが好ましい。ガウス分布表示とは、中央部の輝度が明るく、周辺部を比較的暗くする方式である。視覚的には、中央部が明るければ周辺部が暗くとも明るいと感じられる。主観評価によれば、周辺部が中央部に比較して 7 0 % の輝度を保っておれば、視覚的に遜色ない。さらに低減させて、5 0 % 輝度としてもほぼ、問題がない。本発明の自己発光型表示パネルでは、以前に説明した N 倍パルス駆動（N 倍の電流を E L 素子 1 5 に流し、1 F の 1 / M の期間だけ点灯させる方法）を用いて画面の上から下方向に、ガウス分布を発生させている。

【 0 8 4 8 】

具体的には、画面の上部と下部では M の値と大きくし、中央部で M の値を小さくする。これは、ゲートドライバ 1 2 のシフトレジスタの動作速度を変調することなどにより実現する。画面の左右の明るさ変調は、テーブルのデータと映像データとを乗算することにより発生させている。以上の動作により、周辺輝度（画角 0 . 9）を 5 0 % にした時、1 0 0 % 輝度の場合に比較して約 2 0 % の低消費電力化が可能である。周辺輝度（画角 0 . 9）を 7 0 % にした時、1 0 0 % 輝度の場合に比較して約 1 5 % の低消費電力化が可能である。

【0849】

なお、ガウス分布表示はオンオフできるように切り替えスイッチなどを設けることが好ましい。たとえば、屋外などで、ガウス表示させると画面周辺部が全く見えなくなるからである。したがって、ユーザーがボタンで切り替えできるようにしておくか、設定モードで自動的に変更できるか、外光の明るさを検出して自動的に切り替えできるように構成しておくことが好ましい。また、周辺輝度を50%、60%、80%とユーザーなどが設定できるように構成しておくことが好ましい。

【0850】

液晶表示パネルではバックライトで固定のガウス分布を発生させている。したがって、ガウス分布のオンオフを行うことはできない。ガウス分布をオンオフできるのは自己発光型の表示デバイス特有の効果である。

【0851】

また、フレームレートが所定の時、室内の蛍光灯などの点灯状態と干渉してフリッカが発生する場合がある。つまり、蛍光灯が60Hzの交流で点灯しているとき、EL表示素子15がフレームレート60Hzで動作していると、微妙な干渉が発生し、画面がゆっくりと点滅しているように感じられる場合がある。これを避けるにはフレームレートを変更すればよい。本発明はフレームレートの変更機能を付加している。また、N倍パルス駆動（N倍の電流をEL素子15に流し、1Fの1/Mの期間だけ点灯させる方法）において、NまたはMの値を変更できるように構成している。

【0852】

以上の機能をスイッチ594で実現できるようにする。スイッチ594は表示画面50のメニューにしたがって、複数回おさえることにより、以上に説明した機能を切り替え実現する。

【0853】

なお、以上の事項は、携帯電話だけに限定されるものではなく、テレビ、モニターなどに用いることができることはいうまでもない。また、どのような表示状態にあるかをユーザーがすぐに認識できるように、表示画面にアイコン表示をし

ておくことが好ましい。以上の事項は以下の事項に対しても同様である。

【 0 8 5 4 】

本実施の形態の E L 表示装置などはビデオカメラだけでなく、図 6 0 に示すような電子カメラにも適用することができる。表示装置はカメラ本体 6 0 1 に付属されたモニター 5 0 として用いる。カメラ本体 6 0 1 にはシャッタ 6 0 3 の他、スイッチ 5 9 4 が取り付けられている。

【 0 8 5 5 】

以上は表示パネルの表示領域が比較的小型の場合であるが、30 インチ以上と大型となると表示画面 5 0 がたわみやすい。その対策のため、本発明では図 6 1 に示すように表示パネルに外枠 6 1 1 をつけ、外枠 6 1 1 をつり上げられるように固定部材 6 1 4 で取り付けられている。この固定部材 6 1 4 を用いて、壁などに取り付ける。

【 0 8 5 6 】

しかし、表示パネルの画面サイズが大きくなると重量も重たくなる。そのため、表示パネルの下側に脚取り付け部 6 1 3 を配置し、複数の脚 6 1 2 で表示パネルの重量を保持できるようにしている。

【 0 8 5 7 】

脚 6 1 2 は A に示すように左右に移動でき、また、脚 6 1 2 は B に示すように収縮できるように構成されている。そのため、狭い場所であっても表示装置を容易に設置することができる。

【 0 8 5 8 】

図 6 1 のテレビでは、画面の表面を保護フィルム（保護板でもよい）で被覆している。これは、表示パネルの表面に物体があたって破損することを防止することが 1 つの目的である。保護フィルムの表面には A I R コートが形成されており、また、表面をエンボス加工することにより表示パネルに外の状況（外光）が写り込むことを抑制している。

【 0 8 5 9 】

保護フィルムと表示パネル間にビーズなどを散布することにより、一定の空間が配置されるように構成されている。また、保護フィルムの裏面に微細な凸部を

形成し、この凸部で表示パネルと保護フィルム間に空間を保持させる。このように空間を保持することにより保護フィルムからの衝撃が表示パネルに伝達することを抑制する。

【 0 8 6 0 】

また、保護フィルムと表示パネル間にアルコール、エチレングリコールなど液体あるいはゲル状のアクリル樹脂あるいはエポキシなどの固体樹脂などの光結合剤を配置または注入することも効果がある。界面反射を防止できるとともに、前記光結合剤が緩衝材として機能するからである。

【 0 8 6 1 】

保護フィルムとしては、ポリカーボネートフィルム（板）、ポリプロピレンフィルム（板）、アクリルフィルム（板）、ポリエステルフィルム（板）、PVAフィルム（板）などが例示される。その他エンジニアリング樹脂フィルム（ABSなど）を用いることができることは言うまでもない。また、強化ガラスなど無機材料からなるものでもよい。保護フィルムを配置するかわりに、表示パネルの表面をエポキシ樹脂、フェノール樹脂、アクリル樹脂で0.5mm以上2.0mm以下の厚みでコーティングすることも同様の効果がある。また、これらの樹脂表面にエンボス加工などを行うことも有効である。

【 0 8 6 2 】

また、保護フィルムあるいはコーティング材料の表面をフッ素コートすることも効果がある。表面についた汚れを洗剤などで容易にふき落とすことができるからである。また、保護フィルムを厚く形成し、フロントライトと兼用してもよい。

【 0 8 6 3 】

本発明の実施例における表示パネルは、3辺フリーの構成と組み合わせることも有効であることは言うまでもない。特に3辺フリーの構成は画素がアモルファスシリコン技術を用いて作製されているときに有効である。また、アモルファスシリコン技術で形成されたパネルでは、トランジスタ素子の特性バラツキのプロセス制御が不可能のため、本発明のN倍パルス駆動、リセット駆動、ダミー画素駆動などを実施することが好ましい。つまり、本発明におけるトランジスタなど

は、ポリシリコン技術によるものに限定するものではなく、アモルファスシリコンによるものであってもよい。

【 0 8 6 4 】

なお、本発明のN倍パルス駆動（図13、図16、図19、図20、図22、図24、図30など）などは、低温ポリシリコン技術でトランジスタ11を形成して表示パネルよりも、アモルファスシリコン技術でトランジスタ11を形成した表示パネルに有効である。アモルファスシリコンのトランジスタ11では、隣接したトランジスタの特性がほぼ一致しているからである。したがって、加算した電流で駆動しても個々のトランジスタの駆動電流はほぼ目標値となっている（特に、図22、図24、図30のN倍パルス駆動はアモルファスシリコンで形成したトランジスタの画素構成において有効である）。

【 0 8 6 5 】

本発明の実施例で説明した技術的思想はビデオカメラ、プロジェクター、立体テレビ、プロジェクションテレビなどに適用できる。また、ビューファインダ、携帯電話のモニター、PHS、携帯情報端末およびそのモニター、デジタルカメラおよびそのモニターにも適用できる。

【 0 8 6 6 】

また、電子写真システム、ヘッドマウントディスプレイ、直視モニターディスプレイ、ノートパーソナルコンピュータ、ビデオカメラ、電子スチルカメラにも適用できる。また、現金自動引き出し機のモニター、公衆電話、テレビ電話、パーソナルコンピュータ、腕時計およびその表示装置にも適用できる。

【 0 8 6 7 】

さらに、家庭電器機器の表示モニター、ポケットゲーム機器およびそのモニター、表示パネル用バックライトあるいは家庭用もしくは業務用の照明装置などにも適用あるいは応用展開できることは言うまでもない。照明装置は色温度を可変できるように構成することが好ましい。これは、RGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更できる。また、広告あるいはポスターなどの表示装置、RGBの信号器、警報表示灯などにも応用できる。

【0868】

また、スキャナの光源としても有機EL表示パネルは有効である。RGBのドットマトリックスを光源として、対象物に光を照射し、画像を読み取る。もちろん、単色でもよいことは言うまでもない。また、アクティブマトリックスに限定するものではなく、単純マトリックスでもよい。色温度を調整できるようにすれば画像読み取り精度も向上する。

【0869】

また、液晶表示装置のバックライトにも有機EL表示装置は有効である。EL表示装置（バックライト）のRGBの画素をストライプ状あるいはドットマトリックス状に形成し、これらに流す電流を調整することにより色温度を変更でき、また、明るさの調整も容易である。その上、面光源であるから、画面の中央部を明るく、周辺部を暗くするガウス分布を容易に構成できる。また、R、G、B光を交互に走査する、フィールドシーケンシャル方式の液晶表示パネルのバックライトとしても有効である。また、バックライトを点滅しても黒挿入することにより動画表示用などの液晶表示パネルのバックライトとしても用いることができる。

【0870】

【発明の効果】

本発明のソースドライバ回路は、カントミラー回路を構成するトランジスタが隣接するように形成しているので、しきい値のずれによる出力電流のばらつきが小さく、したがって、EL表示パネルの輝度むらの発生を抑制することが可能となり、その実用的効果は大きい。

【0871】

また、本発明の表示パネル、表示装置等は、高画質、良好な動画表示性能、低消費電力、低コスト化、高輝度化等のそれぞれの構成に応じて特徴ある効果を発揮する。

【0872】

なお、本発明を用いれば、低消費電力の情報表示装置などを構成できるので、電力を消費しない。また、小型軽量化できるので、資源を消費しない。また、高

精細の表示パネルであっても十分に対応できる。したがって、地球環境、宇宙環境に優しいこととなる。

【図面の簡単な説明】

- 【図 1】 本発明の表示パネルの画素構成図である。
- 【図 2】 本発明の表示パネルの画素構成図である。
- 【図 3】 本発明の表示パネルの動作の説明図である。
- 【図 4】 本発明の表示パネルの動作の説明図である。
- 【図 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 6】 本発明の表示装置の構成図である。
- 【図 7】 本発明の表示パネルの製造方法の説明図である。
- 【図 8】 本発明の表示装置の構成図である。
- 【図 9】 本発明の表示装置の構成図である。
- 【図 1 0】 本発明の表示パネルの断面図である。
- 【図 1 1】 本発明の表示パネルの断面図である。
- 【図 1 2】 本発明の表示パネルの説明図である。
- 【図 1 3】 本発明の表示装置の駆動方法の説明図である。
- 【図 1 4】 本発明の表示装置の駆動方法の説明図である。
- 【図 1 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 1 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 1 7】 本発明の表示装置の駆動方法の説明図である。
- 【図 1 8】 本発明の表示装置の駆動方法の説明図である。
- 【図 1 9】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 0】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 1】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 2】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 3】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 4】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 6】 本発明の表示装置の駆動方法の説明図である。

- 【図 2 7】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 8】 本発明の表示装置の駆動方法の説明図である。
- 【図 2 9】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 0】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 1】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 2】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 3】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 4】 本発明の表示装置の構成図である。
- 【図 3 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 3 7】 本発明の表示装置の構成図である。
- 【図 3 8】 本発明の表示装置の構成図である。
- 【図 3 9】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 0】 本発明の表示装置の構成図である。
- 【図 4 1】 本発明の表示装置の構成図である。
- 【図 4 2】 本発明の表示パネルの画素構成図である。
- 【図 4 3】 本発明の表示パネルの画素構成図である。
- 【図 4 4】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 5】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 4 7】 本発明の表示パネルの画素構成図である。
- 【図 4 8】 本発明の表示装置の構成図である。
- 【図 4 9】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 0】 本発明の表示パネルの画素構成図である。
- 【図 5 1】 本発明の表示パネルの画素図である。
- 【図 5 2】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 3】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 4】 本発明の表示パネルの画素構成図である。
- 【図 5 5】 本発明の表示装置の駆動方法の説明図である。

- 【図 5 6】 本発明の表示装置の駆動方法の説明図である。
- 【図 5 7】 本発明の携帯電話の説明図である。
- 【図 5 8】 本発明のビューファインダの説明図である。
- 【図 5 9】 本発明のビデオカメラの説明図である。
- 【図 6 0】 本発明のデジタルカメラの説明図である。
- 【図 6 1】 本発明のテレビ（モニター）の説明図である。
- 【図 6 2】 従来の表示パネルの画素構成図である。
- 【図 6 3】 本発明のドライバ回路の機能ブロック図である。
- 【図 6 4】 本発明のドライバ回路の説明図である。
- 【図 6 5】 本発明のドライバ回路の説明図である
- 【図 6 6】 電圧受け渡し方式の多段式カレントミラー回路の説明図である。
- 【図 6 7】 電流受け渡し方式の多段式カレントミラー回路の説明図である。
- 【図 6 8】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 6 9】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 7 0】 本発明の他に実施例におけるドライバ回路の説明図である。
- 【図 7 1】 本発明の他の実施例におけるドライバ回路の説明図である。
- 【図 7 2】 従来のドライバ回路の説明図である。
- 【図 7 3】 本発明のドライバ回路の説明図である。
- 【図 7 4】 本発明のドライバ回路の説明図である。
- 【図 7 5】 本発明のドライバ回路の説明図である。
- 【図 7 6】 本発明のドライバ回路の説明図である。
- 【図 7 7】 本発明のドライバ回路の制御方法の説明図である。
- 【図 7 8】 本発明のドライバ回路の説明図である。
- 【図 7 9】 本発明のドライバ回路の説明図である。
- 【図 8 0】 本発明のドライバ回路の説明図である。
- 【図 8 1】 本発明のドライバ回路の説明図である。
- 【図 8 2】 本発明のドライバ回路の説明図である。
- 【図 8 3】 本発明のドライバ回路の説明図である。
- 【図 8 4】 本発明のドライバ回路の説明図である。

- 【図 8 5】 本発明のドライバ回路の説明図である。
- 【図 8 6】 本発明のドライバ回路の説明図である。
- 【図 8 7】 本発明のドライバ回路の説明図である。
- 【図 8 8】 本発明の駆動方法の説明図である。
- 【図 8 9】 本発明のドライバ回路の説明図である。
- 【図 9 0】 本発明の駆動方法の説明図である。
- 【図 9 1】 本発明の E L 表示装置の構成図である。
- 【図 9 2】 本発明の E L 表示装置の構成図である。
- 【図 9 3】 本発明のドライバ回路の説明図である。
- 【図 9 4】 本発明のドライバ回路の説明図である。
- 【図 9 5】 本発明の E L 表示装置の構成図である。
- 【図 9 6】 本発明の E L 表示装置の構成図である。
- 【図 9 7】 本発明の E L 表示装置の構成図である。
- 【図 9 8】 本発明の E L 表示装置の構成図である。
- 【図 9 9】 本発明の E L 表示装置の構成図である。
- 【図 1 0 0】 本発明の E L 表示装置の断面図である。
- 【図 1 0 1】 本発明の E L 表示装置の断面図である。
- 【図 1 0 2】 本発明の E L 表示装置の構成図である。
- 【図 1 0 3】 本発明の E L 表示装置の構成図である。
- 【図 1 0 4】 本発明の E L 表示装置の構成図である。
- 【図 1 0 5】 本発明の E L 表示装置の構成図である。
- 【図 1 0 6】 本発明の E L 表示装置の構成図である。
- 【図 1 0 7】 本発明の E L 表示装置の構成図である。
- 【図 1 0 8】 本発明の E L 表示装置の構成図である。
- 【図 1 0 9】 本発明の E L 表示装置の構成図である。
- 【図 1 1 0】 本発明のソースドライバ I C の説明図である。
- 【図 1 1 1】 本発明のゲートドライバ回路のブロック図である。
- 【図 1 1 2】 図 1 1 1 のゲートドライバ回路のタイミングチャート図である。
- 【図 1 1 3】 本発明のゲートドライバ回路の 1 部のブロック図である。

- 【図 1 1 4】 図 1 1 3 のゲートドライバ回路のタイミングチャート図である。
- 【図 1 1 5】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 6】 本発明の E L 表示装置の駆動方法の説明図である。
- 【図 1 1 7】 本発明の E L 表示装置の駆動回路の説明図である。
- 【図 1 1 8】 本発明のソースドライバ I C の説明図である。
- 【図 1 1 9】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 0】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 1】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 2】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 3】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 4】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 5】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 6】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 7】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 8】 本発明のソースドライバ I C の説明図である。
- 【図 1 2 9】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 0】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 1】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 2】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 3】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 4】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 5】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 6】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 7】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 8】 本発明のソースドライバ I C の説明図である。
- 【図 1 3 9】 本発明のソースドライバ I C の説明図である。
- 【図 1 4 0】 本発明の表示パネルの説明図である。
- 【図 1 4 1】 本発明の表示パネルの説明図である。
- 【図 1 4 2】 本発明の表示パネルの説明図である。

【図 1 4 3】 本発明の表示パネルの説明図である。

【符号の説明】

- 1 1 トランジスタ（薄膜トランジスタ）
- 1 2 ゲートドライバ I C（回路）
- 1 4 ソースドライバ I C（回路）
- 1 5 E L（素子）（発光素子）
- 1 6 画素
- 1 7 ゲート信号線
- 1 8 ソース信号線
- 1 9 蓄積容量（付加コンデンサ、付加容量）
- 5 0 表示画面
- 5 1 書き込み画素（行）
- 5 2 非表示画素（非表示領域、非点灯領域）
- 5 3 表示画素（表示領域、点灯領域）
- 6 1 シフトレジスタ
- 6 2 インバータ
- 6 3 出力バッファ
- 7 1 アレイ基板（表示パネル）
- 7 2 レーザー照射範囲（レーザースポット）
- 7 3 位置決めマーカー
- 7 4 ガラス基板（アレイ基板）
- 8 1 コントロール I C（回路）
- 8 2 電源 I C（回路）
- 8 3 プリント基板
- 8 4 フレキシブル基板
- 8 5 封止フタ
- 8 6 カソード配線
- 8 7 アノード配線（V d d）
- 8 8 データ信号線

- 89 ゲート制御信号線
- 101 土手 (リブ)
- 102 層間絶縁膜
- 104 コンタクト接続部
- 105 画素電極
- 106 カソード電極
- 107 乾燥剤
- 108 $\lambda/4$ 板
- 109 偏光板
- 111 薄膜封止膜
- 281 ダミー画素 (行)
- 341 出力段回路
- 371 OR回路
- 401 点灯制御線
- 471 逆バイアス線
- 472 ゲート電位制御線
- 561 電子ボリウム回路
- 562 トランジスタのSD (ソースドレイン) ショート
- 571 アンテナ
- 572 キー
- 573 筐体
- 574 表示パネル
- 581 接眼リング
- 582 拡大レンズ
- 583 凸レンズ
- 591 支点 (回転部)
- 592 撮影レンズ
- 593 格納部
- 594 スイッチ

- 6 0 1 本体
- 6 0 2 撮影部
- 6 0 3 シャッタスイッチ
- 6 1 1 取り付け枠
- 6 1 2 脚
- 6 1 3 取り付け台
- 6 1 4 固定部
- 6 3 1 電流源
- 6 3 2 電流源
- 6 3 3 電流源
- 6 4 1 スイッチ（オンオフ手段）
- 6 3 4 電流源（1 単位）
- 6 4 3 内部配線
- 6 5 1 ボリウム（電流調整手段）
- 6 8 1 トランジスタ群
- 6 9 1 抵抗（電流制限手段、所定電圧発生手段）
- 6 9 2 デコーダ回路
- 6 9 3 レベルシフタ回路
- 7 0 1 カウンタ（計数手段）
- 7 0 2 NOR
- 7 0 3 AND
- 7 0 4 電流出力回路
- 7 1 1 嵩上げ回路
- 7 2 1 D/A変換器
- 7 2 2 オペアンプ
- 7 3 1 アナログスイッチ（オンオフ手段）
- 7 3 2 インバータ
- 7 6 1 出力パッド（出力信号端子）
- 7 7 1 基準電流源

- 7 7 2 電流制御回路
- 7 8 1 温度検出回路
- 7 8 2 温度制御回路
- 9 3 1 カスケード電流接続線
- 9 3 2 基準電流信号線
- 9 4 1 i 電流入力端子
- 9 4 1 o 電流出力端子
- 9 5 1 ベースアノード線 (アノード電圧線)
- 9 5 2 アノード配線
- 9 5 3 接続端子
- 9 6 1 接続アノード線
- 9 6 2 共通アノード線
- 9 7 1 コンタクトホール
- 9 9 1 ベースカソード線
- 9 9 2 入力信号線
- 1 0 0 1 接続樹脂 (導電性樹脂、異方向性導電樹脂)
- 1 0 1 1 光吸収膜
- 1 0 1 2 樹脂ビーズ
- 1 0 1 3 封止樹脂
- 1 0 2 1 回路形成部
- 1 0 5 1 ゲート電圧線
- 1 0 9 1 電源回路 (I C)
- 1 0 9 2 電源 I C 制御信号
- 1 0 9 3 ゲートドライバ回路制御信号
- 1 1 1 1 単位ゲート出力回路
- 1 2 4 1 調整用トランジスタ
- 1 2 5 1 カット箇所
- 1 2 5 2 共通端子
- 1 3 4 1 ダミートランジスタ

1 3 5 1 トランジスタ (1 単位)

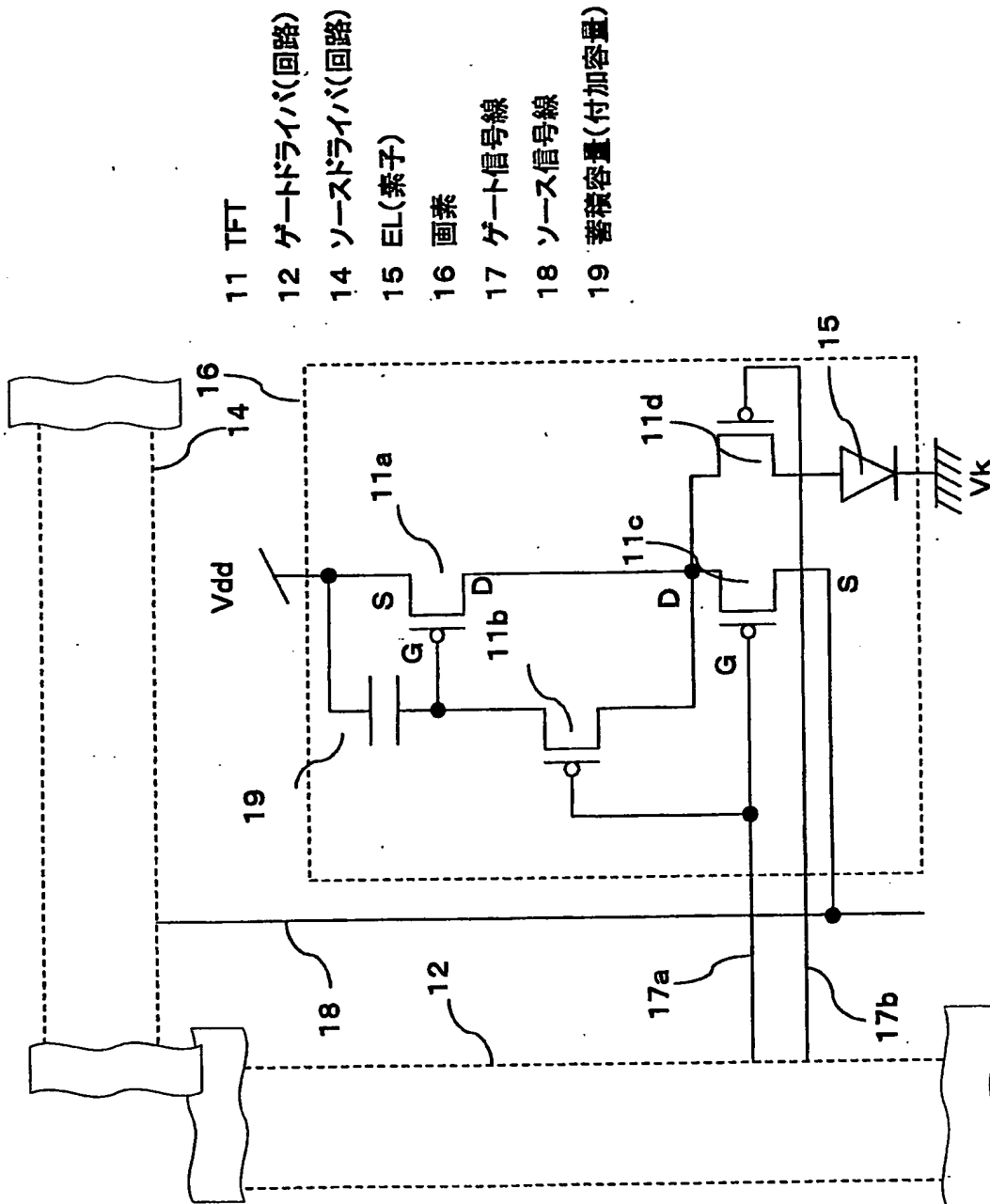
1 3 5 2 基本単位トランジスタ

1 4 0 1 切り替え回路 (アナログスイッチ)

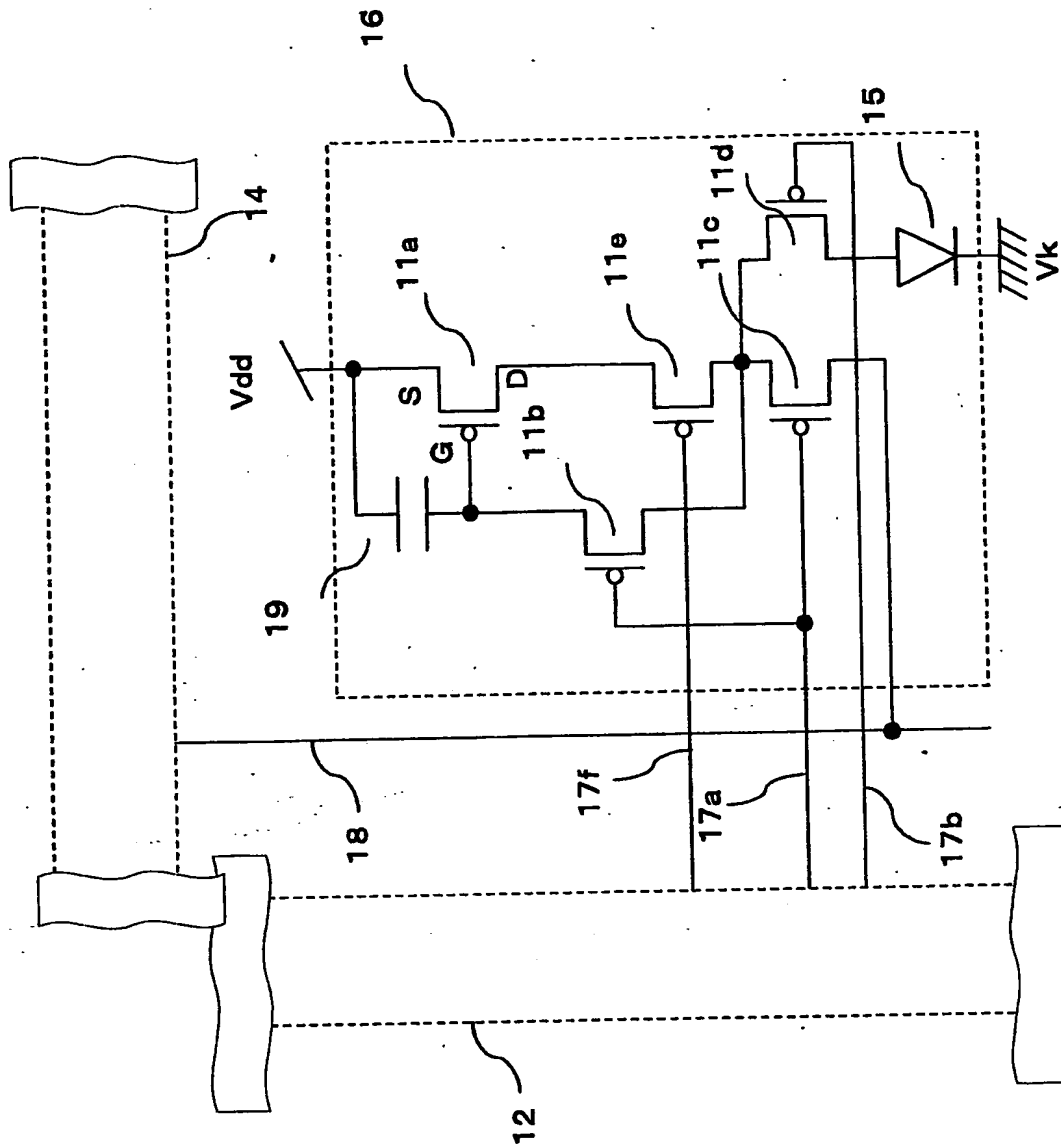
【書類名】

図面

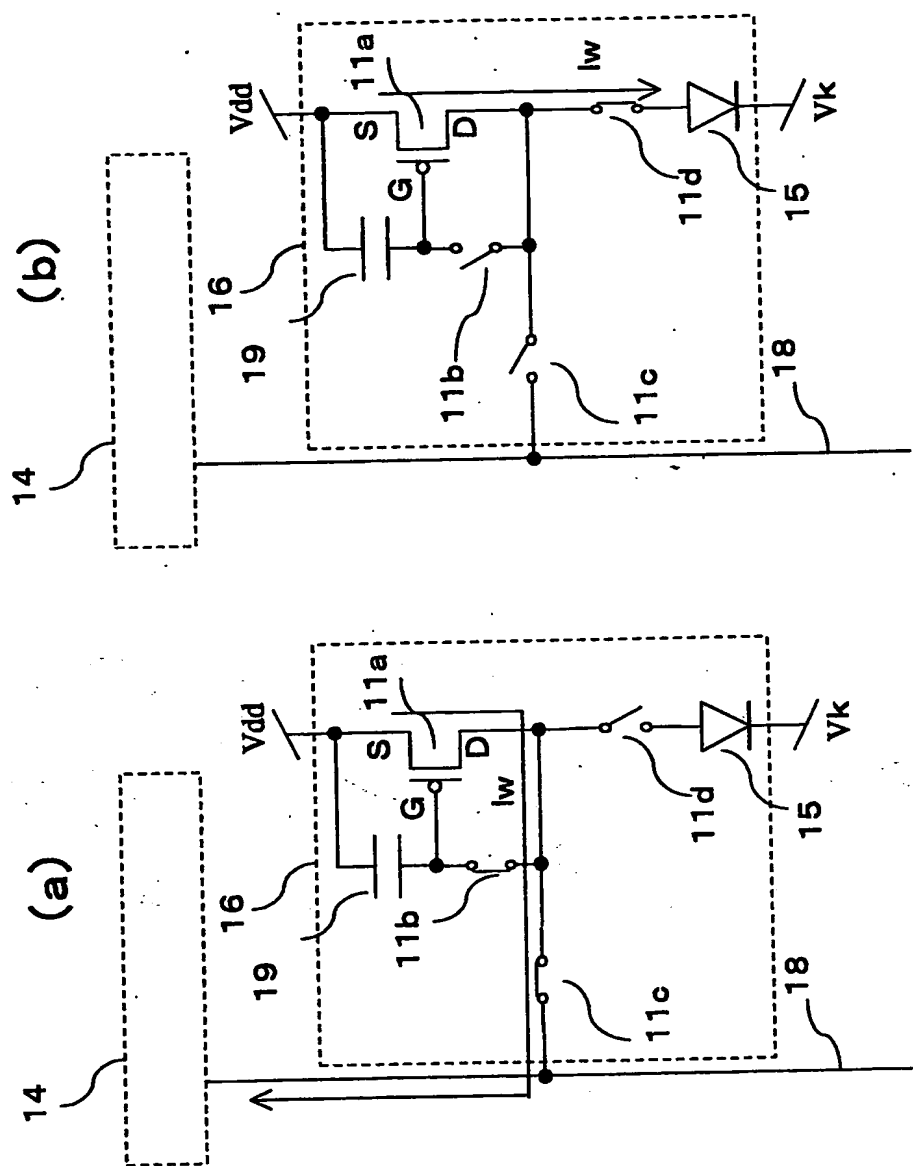
【圖 1】



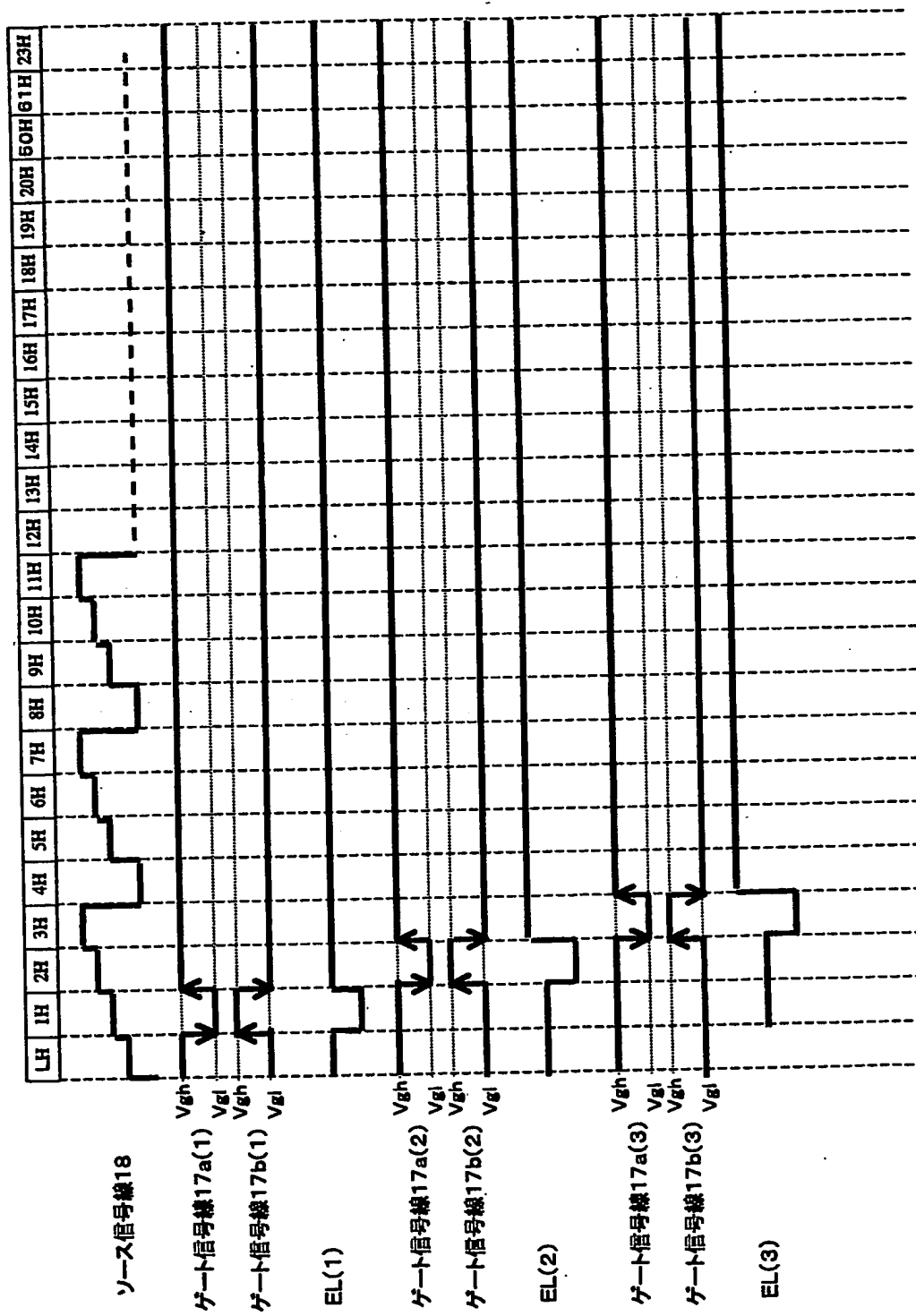
【図2】



【図3】

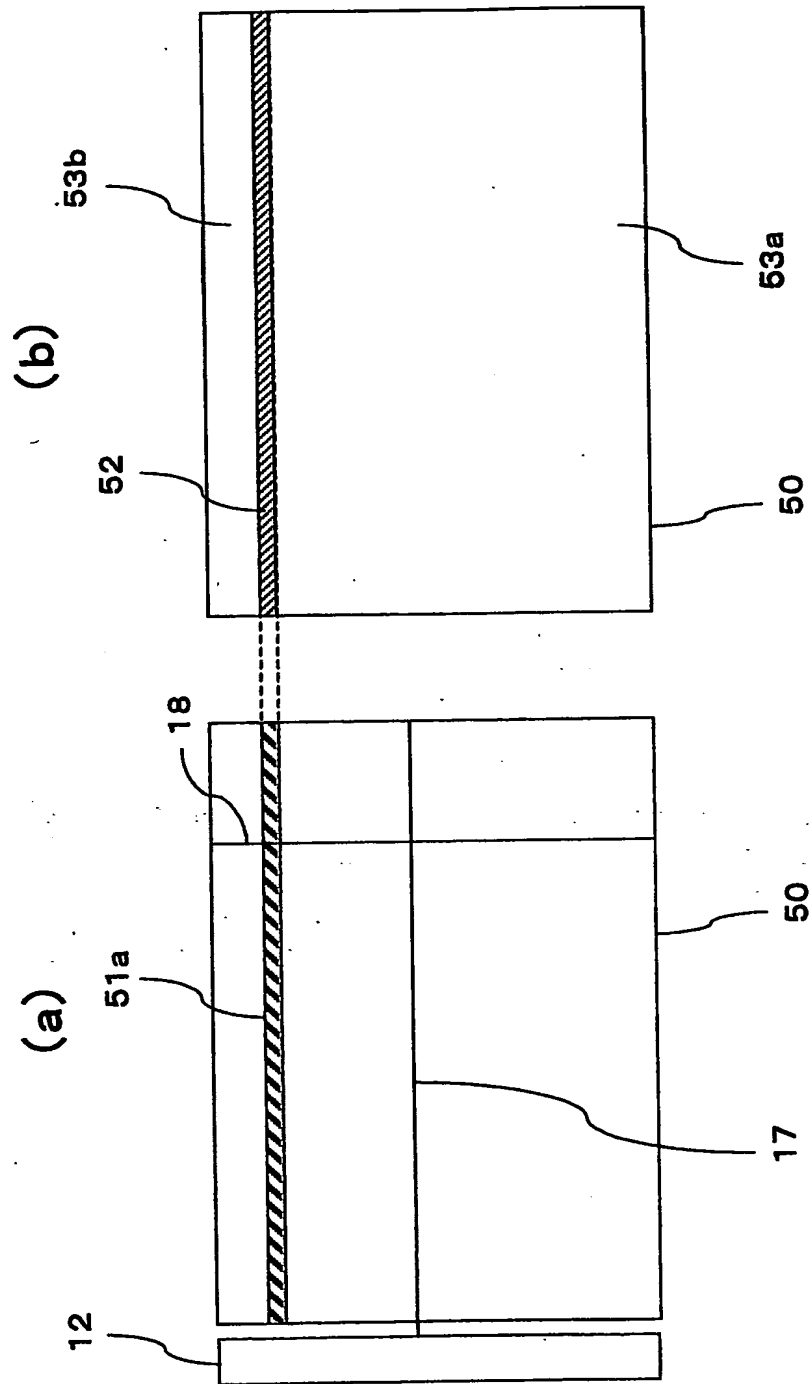


【図 4】

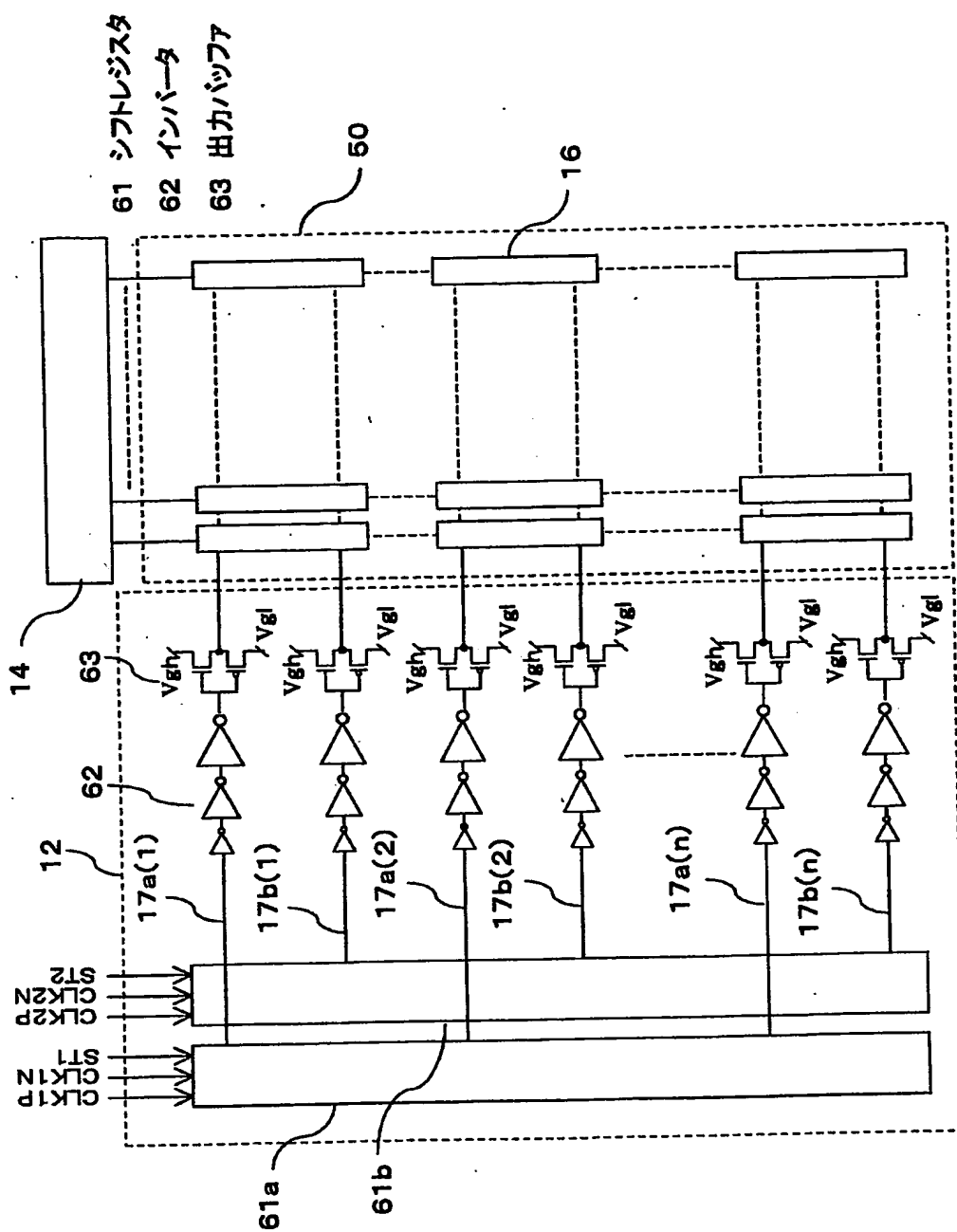


【図 5】

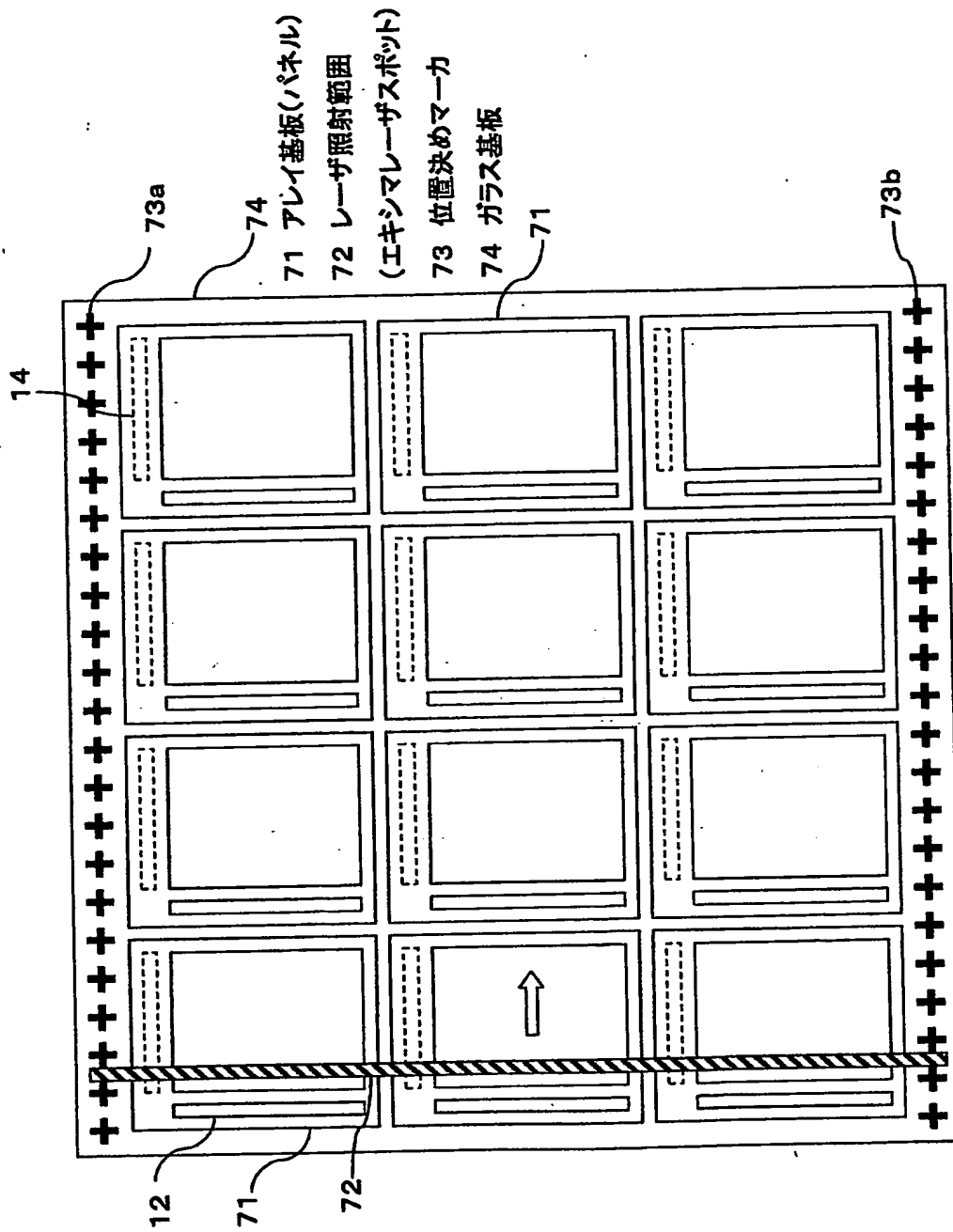
- 50 表示画面
- 51 書き込み画素(行)
- 52 非表示画素(非表示領域、非点灯領域)
- 53 表示画素(表示領域、点灯領域)



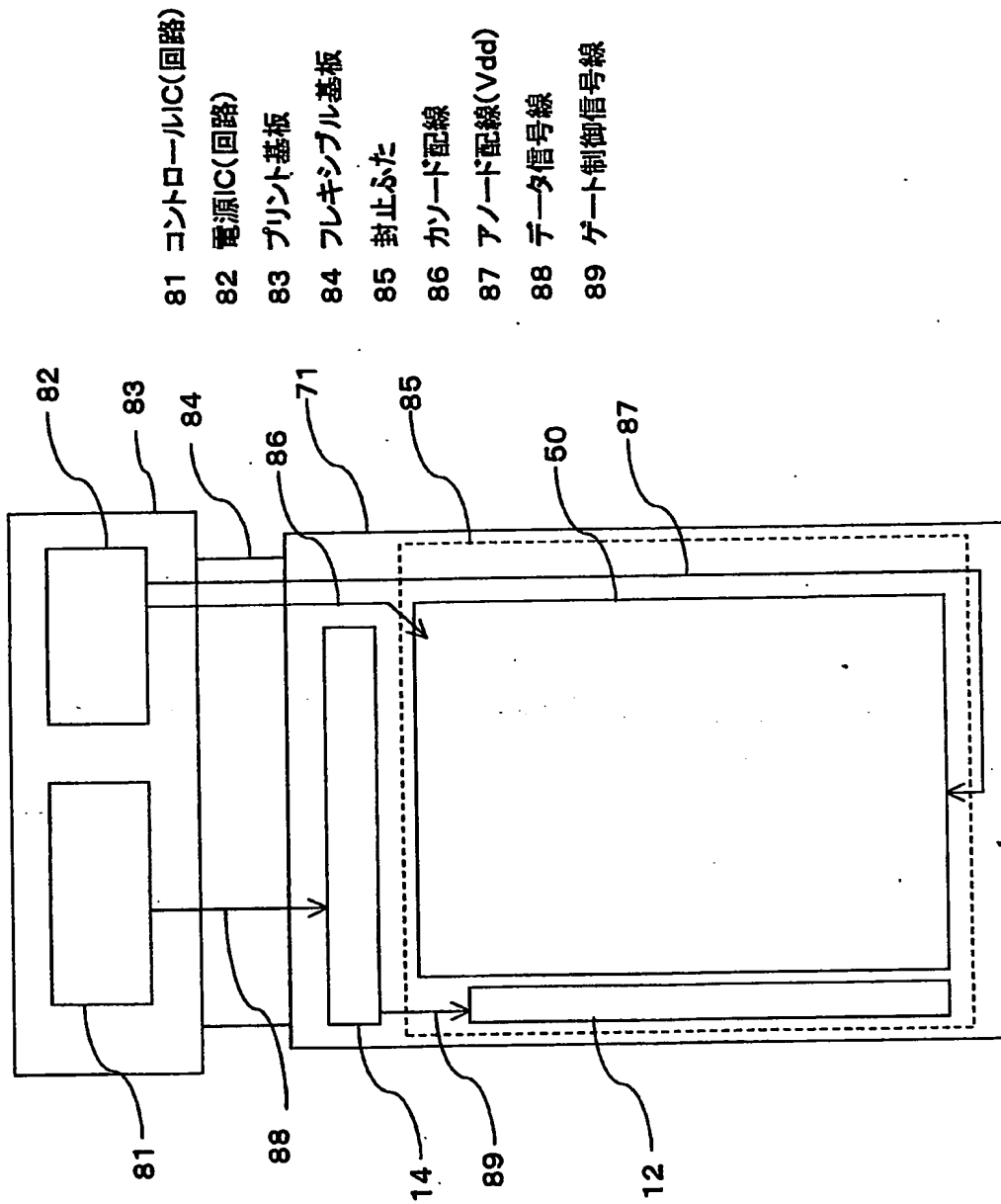
【図 6】



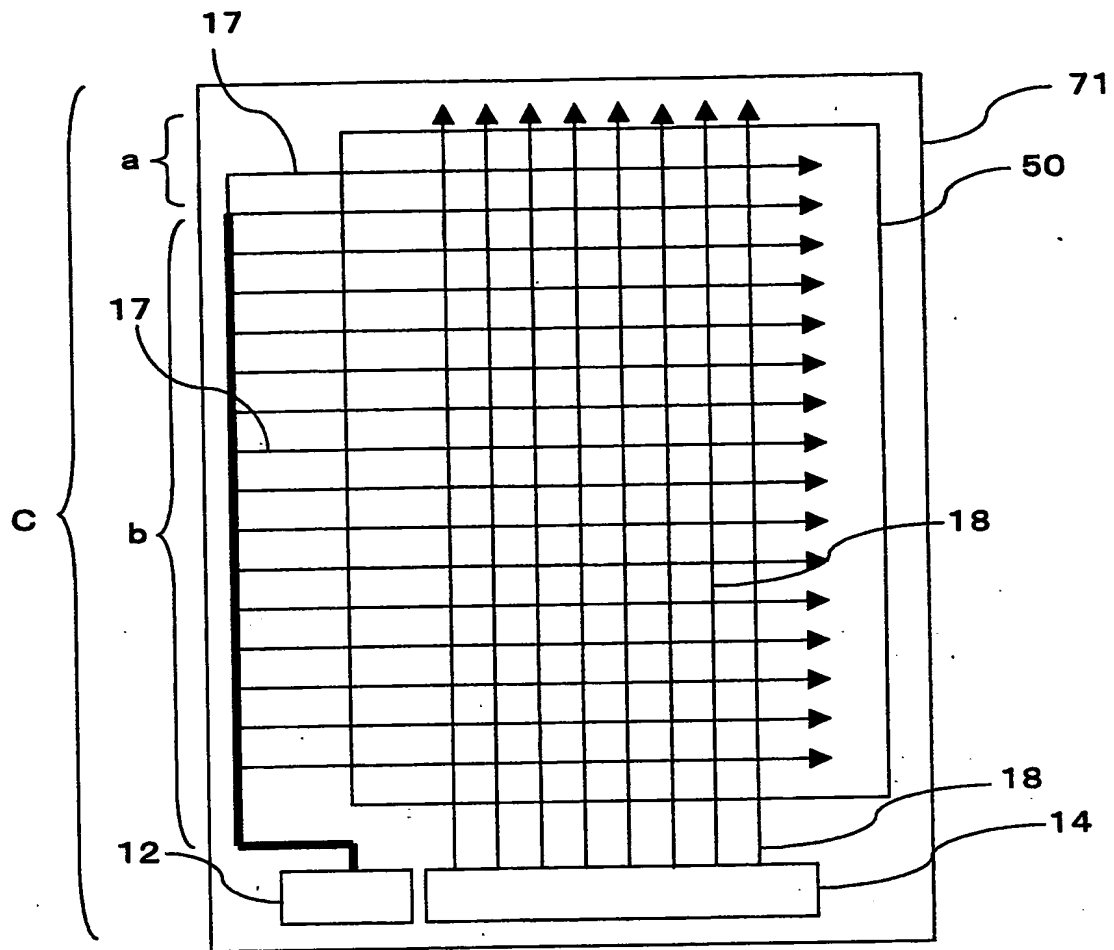
【図 7】



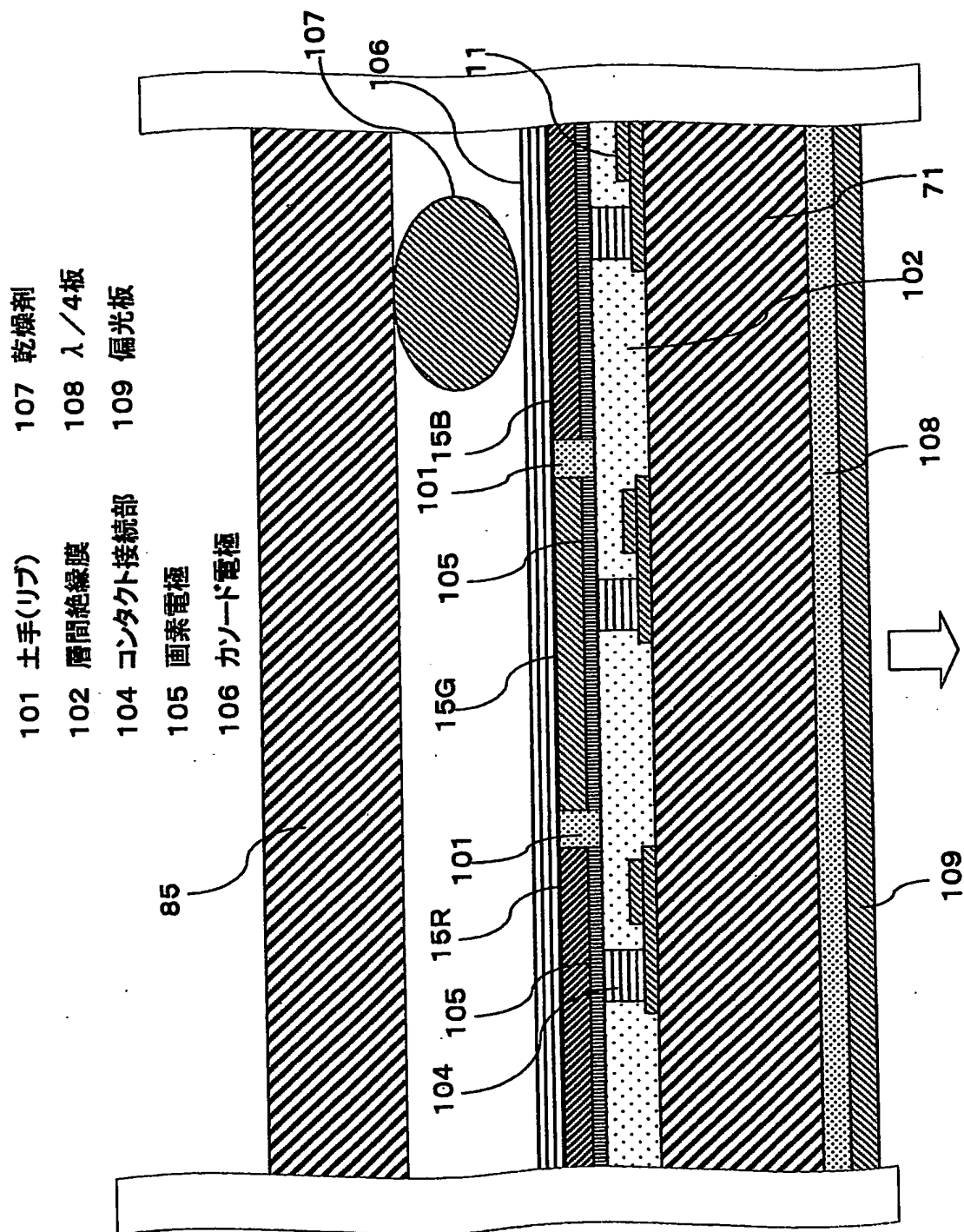
【図 8】



【図9】

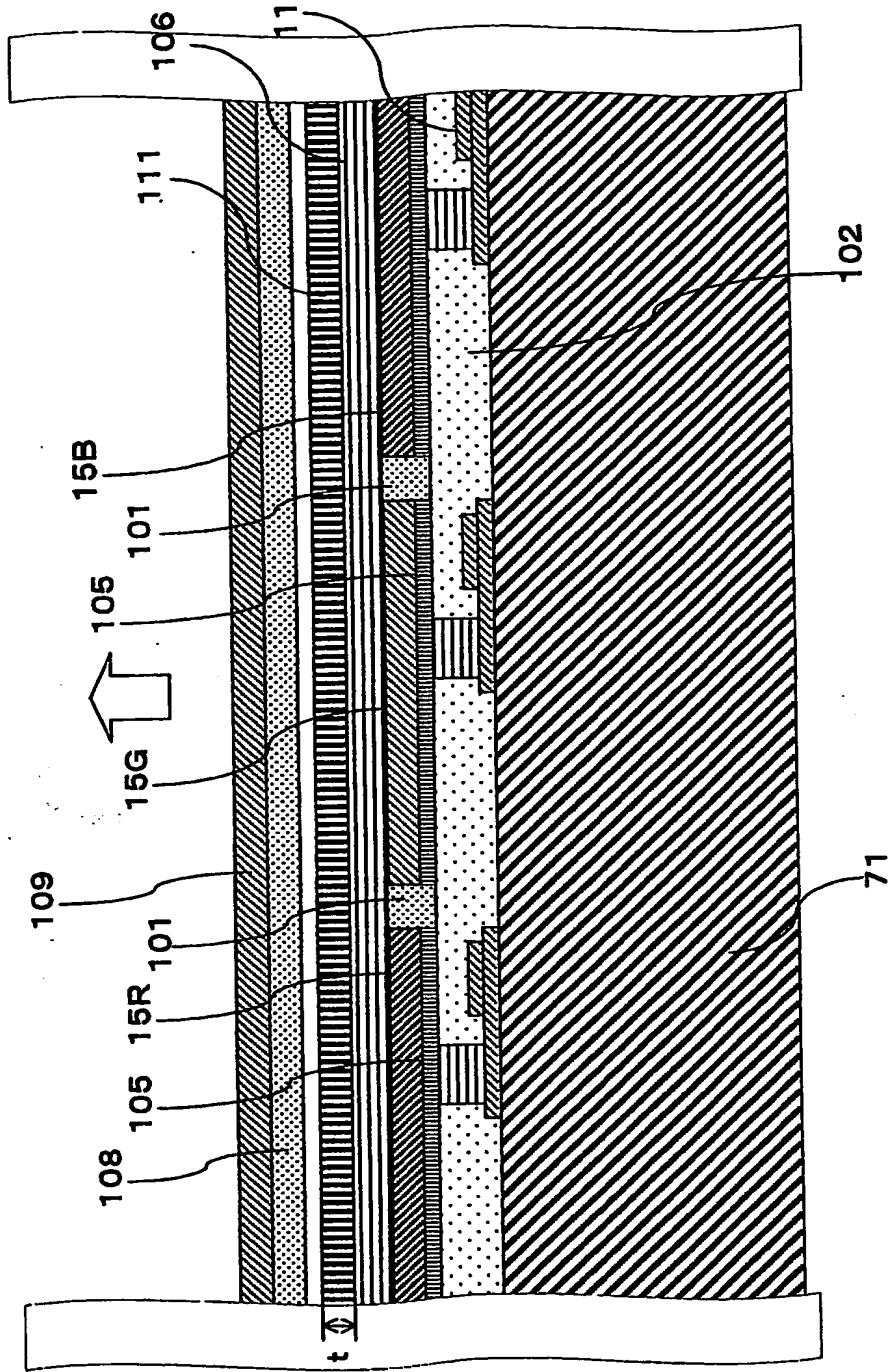


【図10】

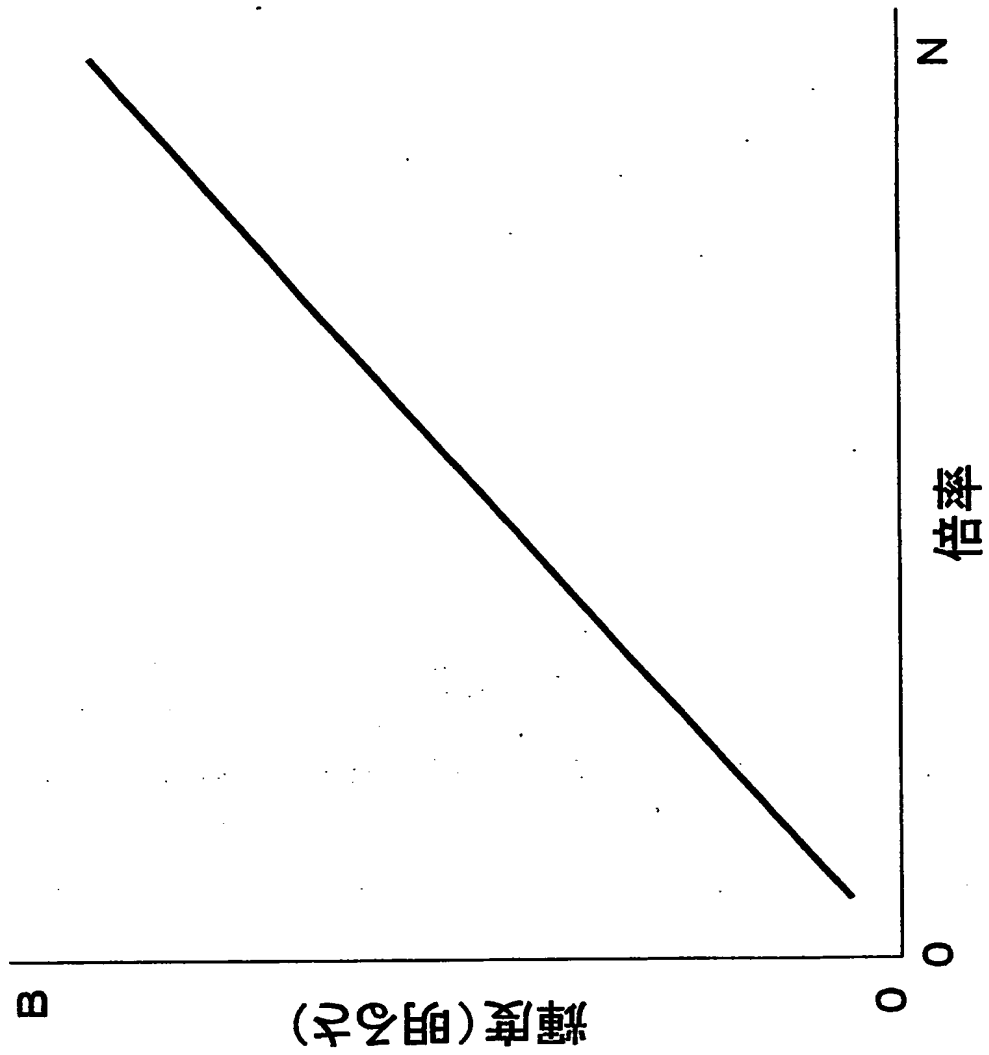


【図 11】

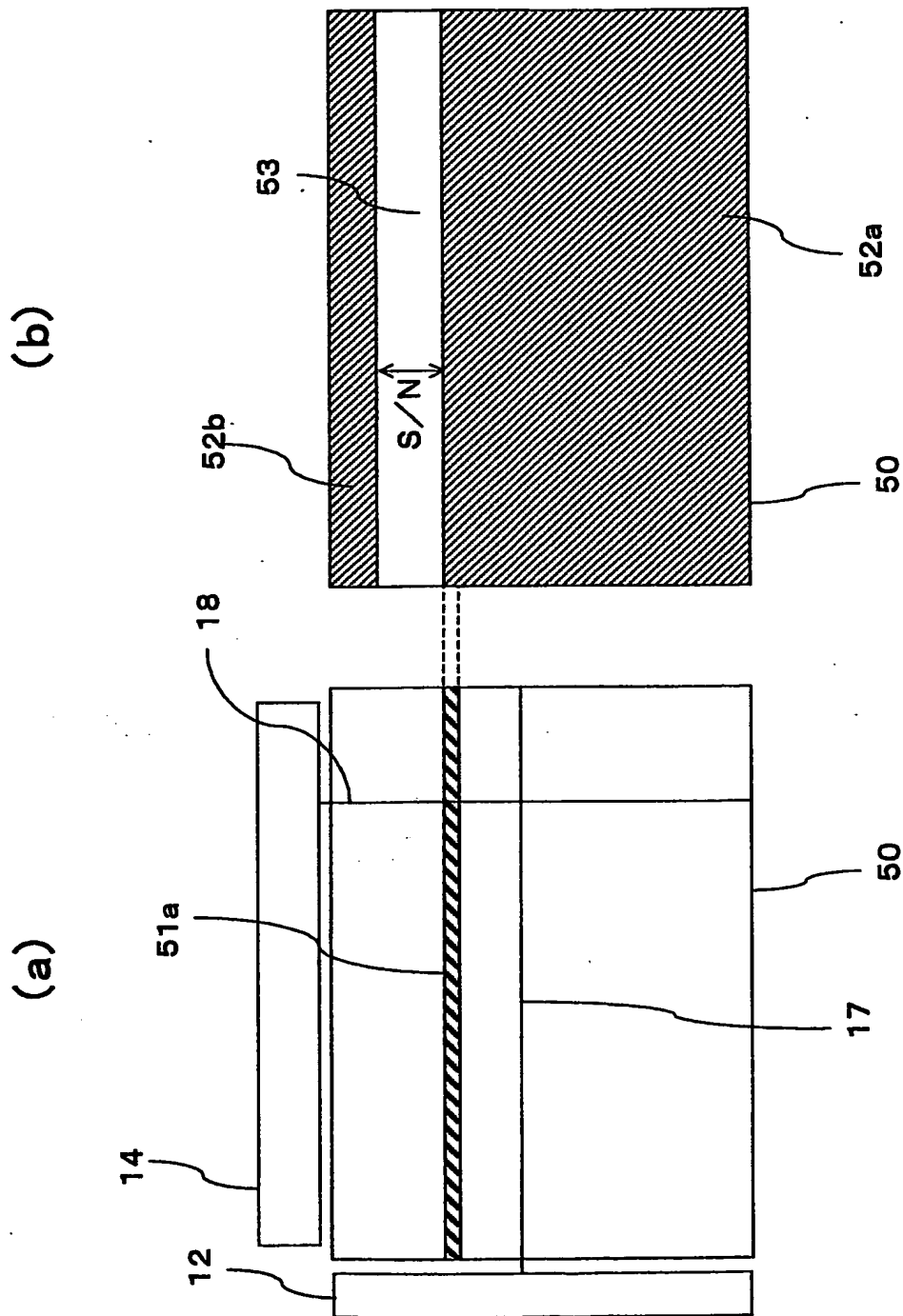
111 薄膜封止膜



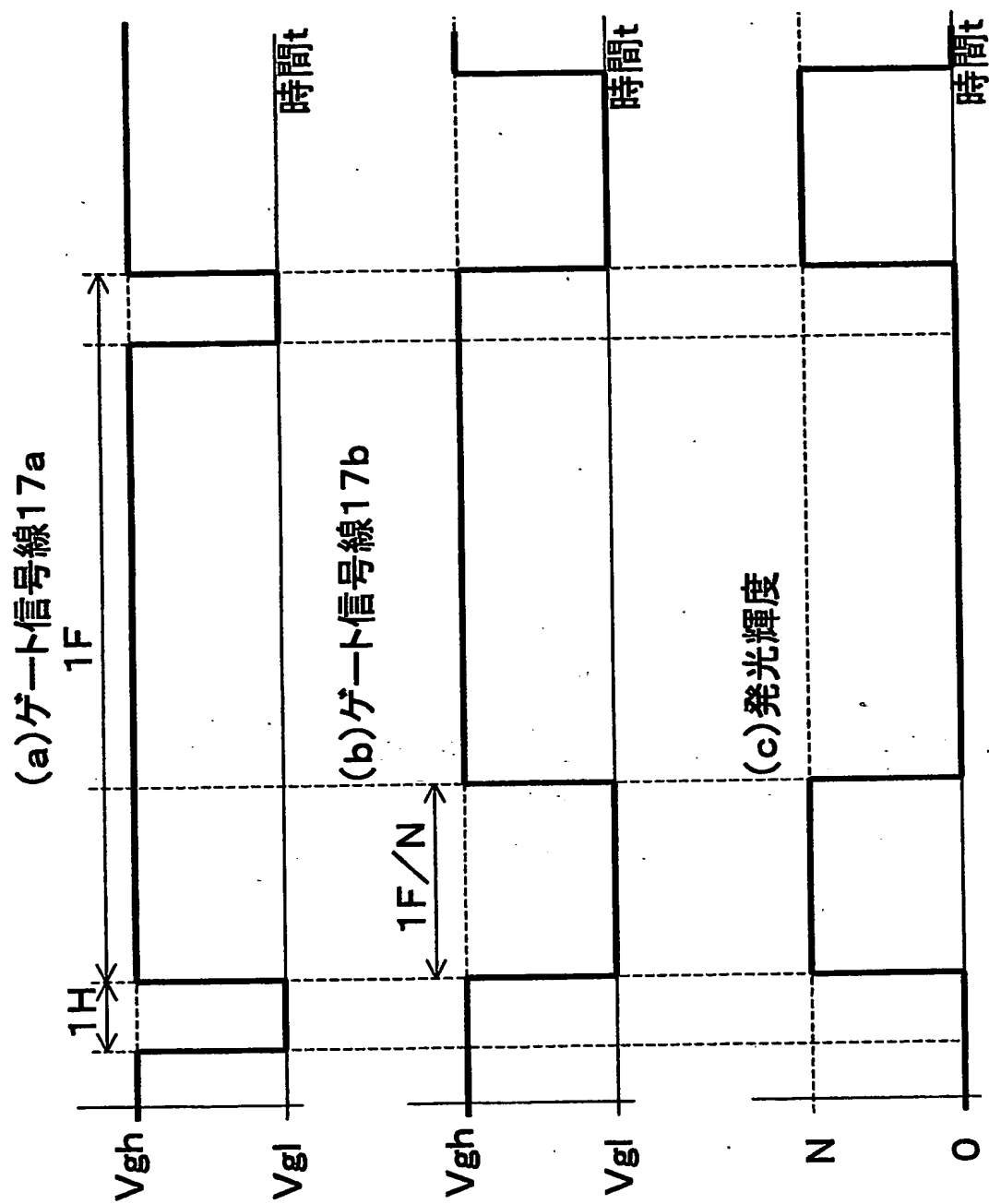
【図 1 2】



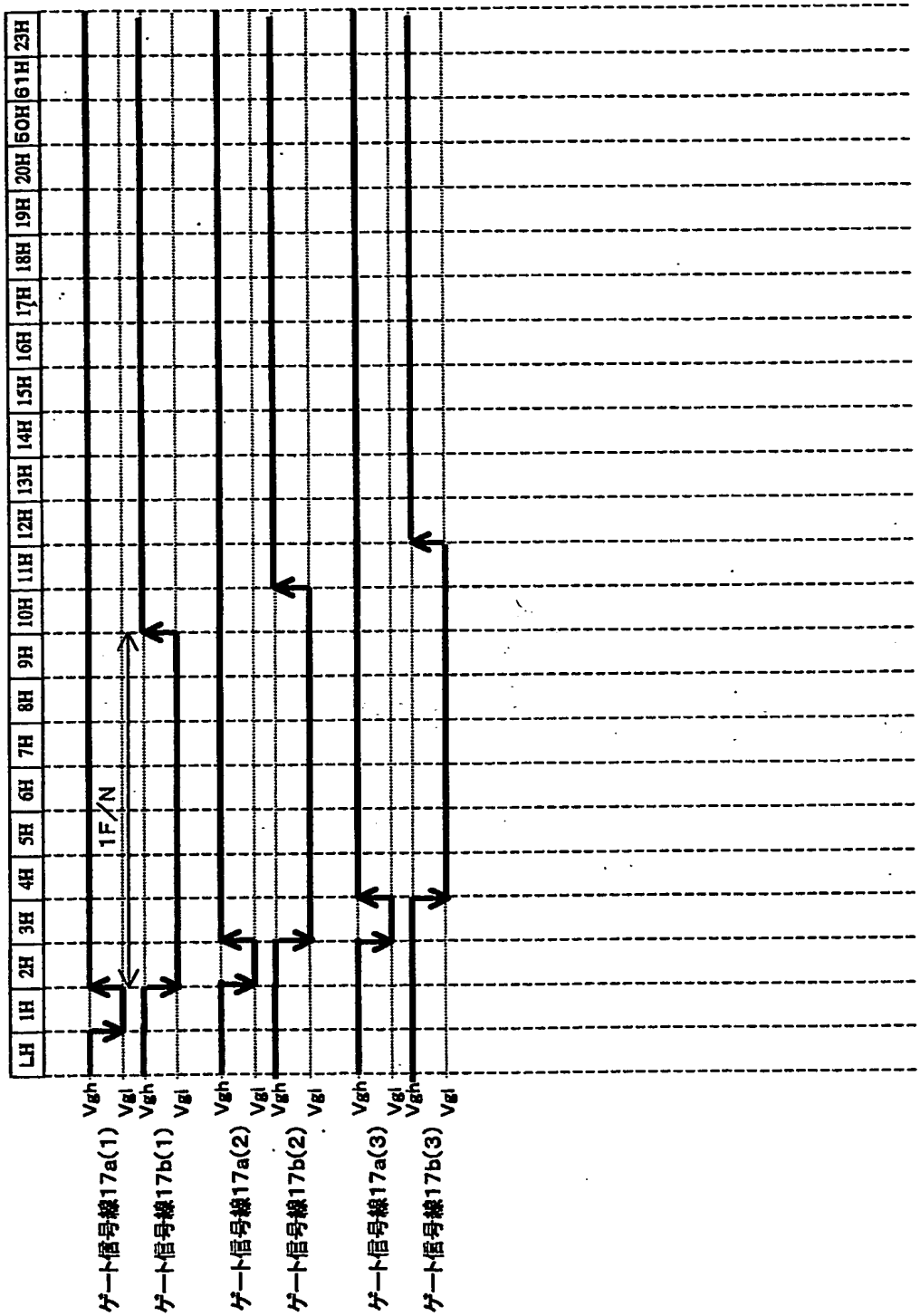
【図 1 3】



【図14】

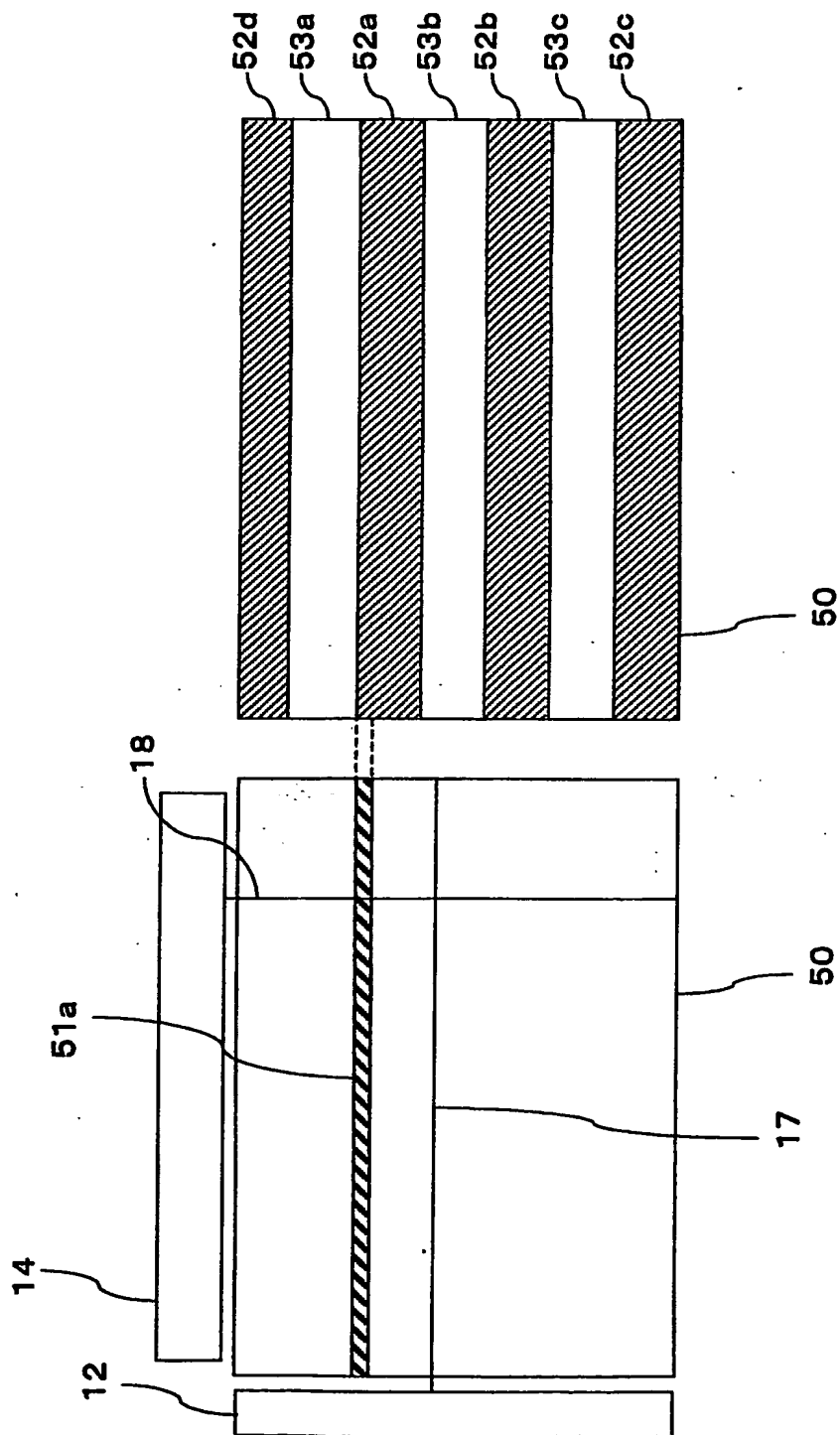


【図 15】

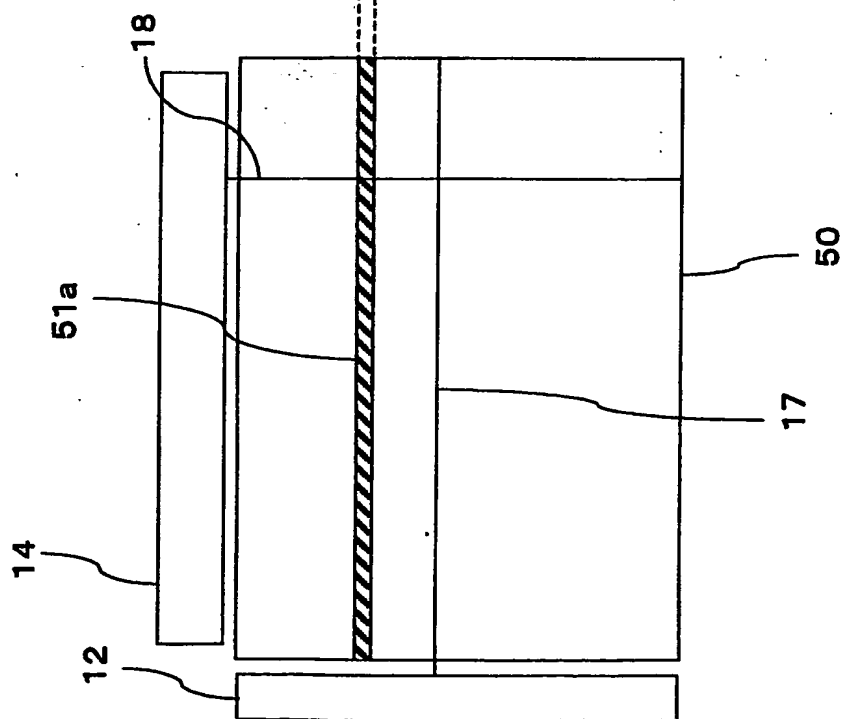


【図16】

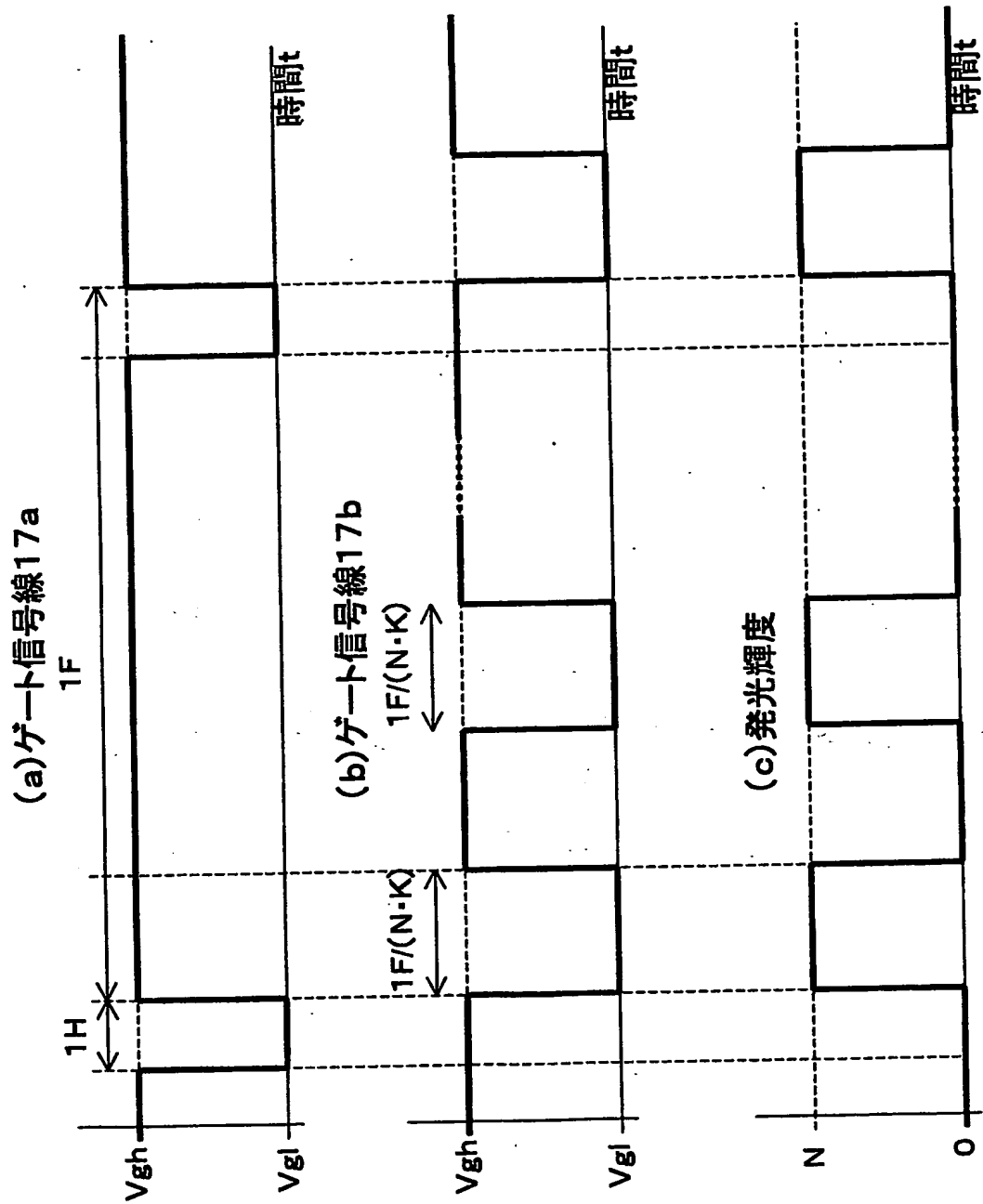
(b)



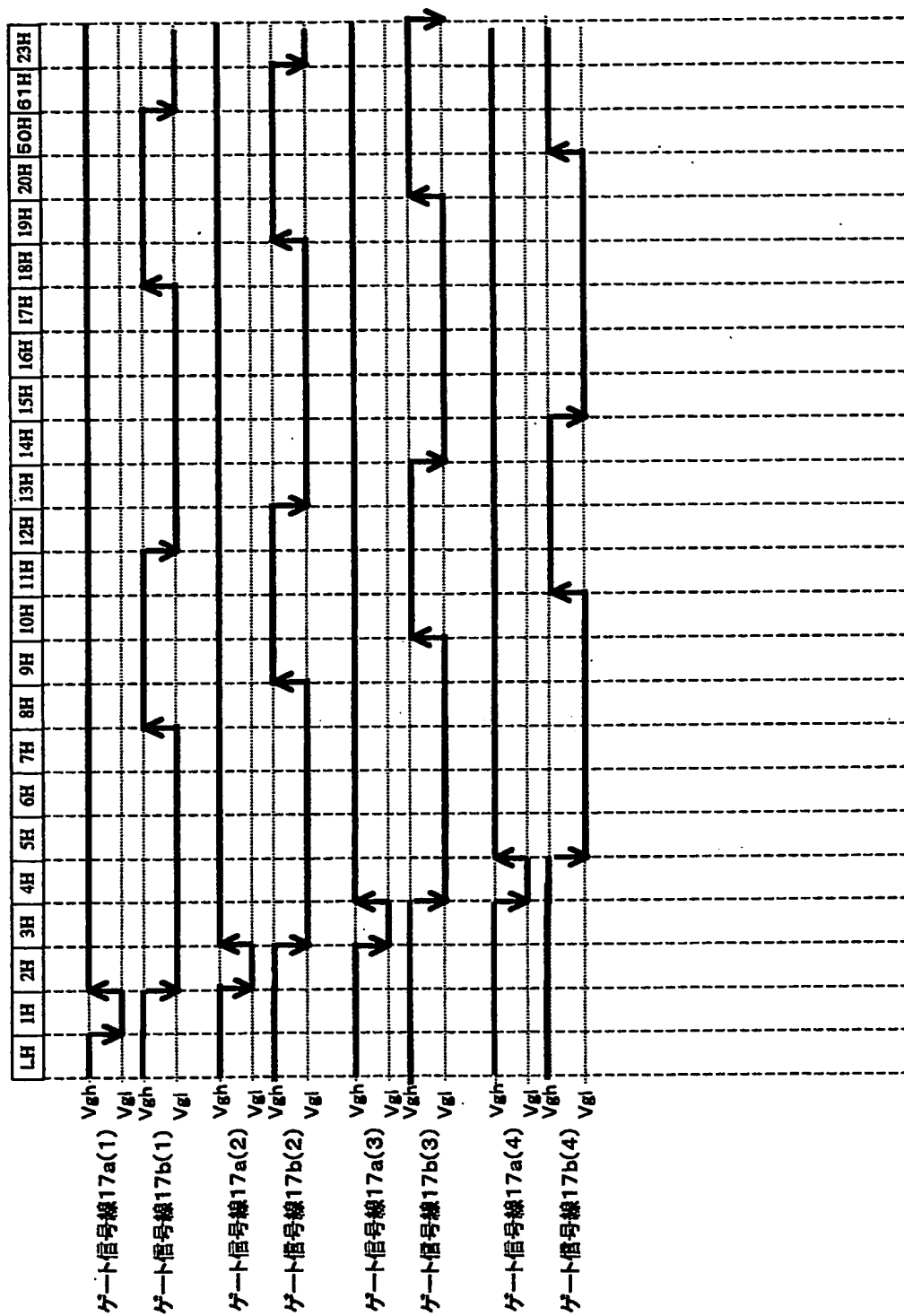
(a)



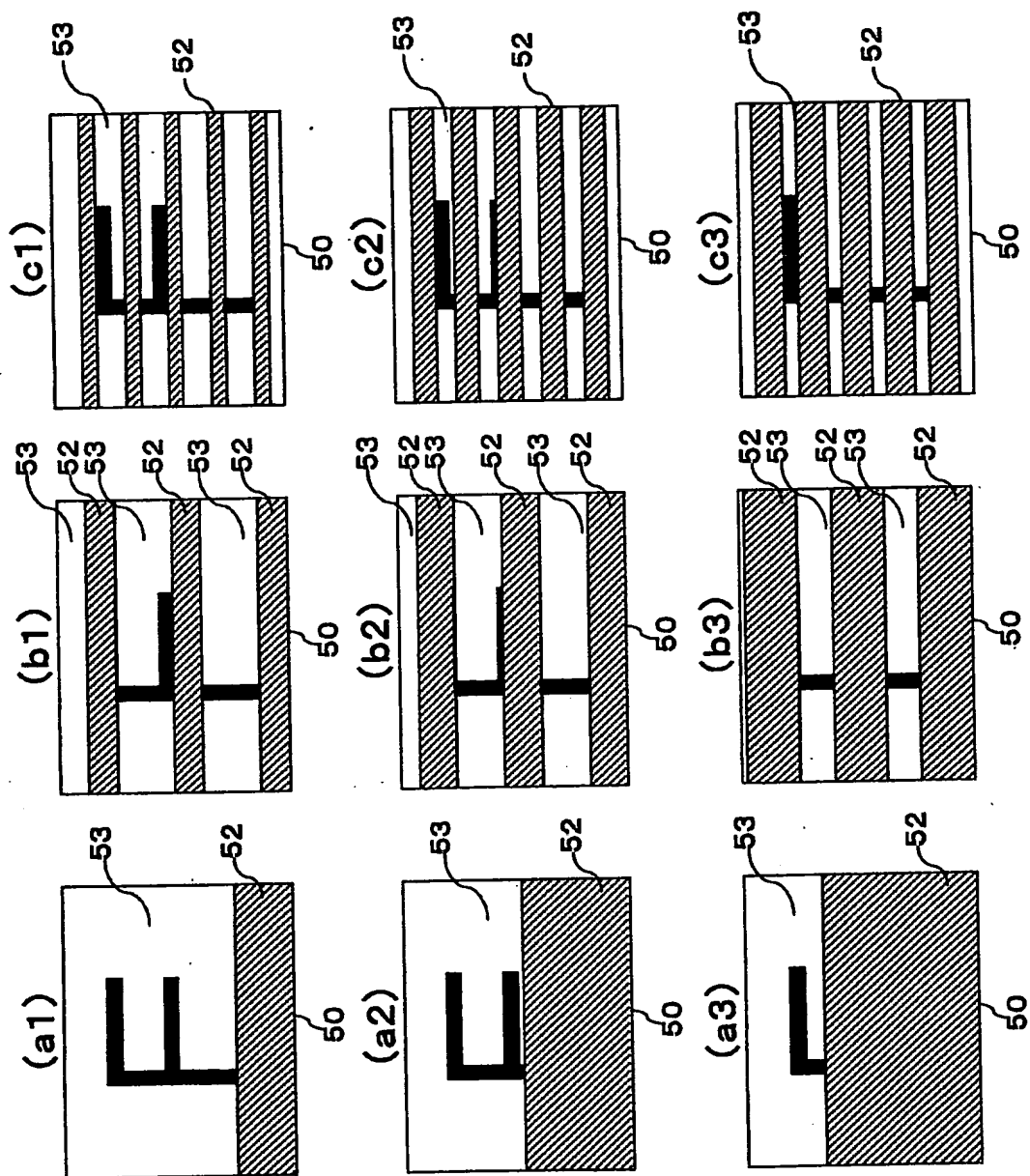
【図 17】



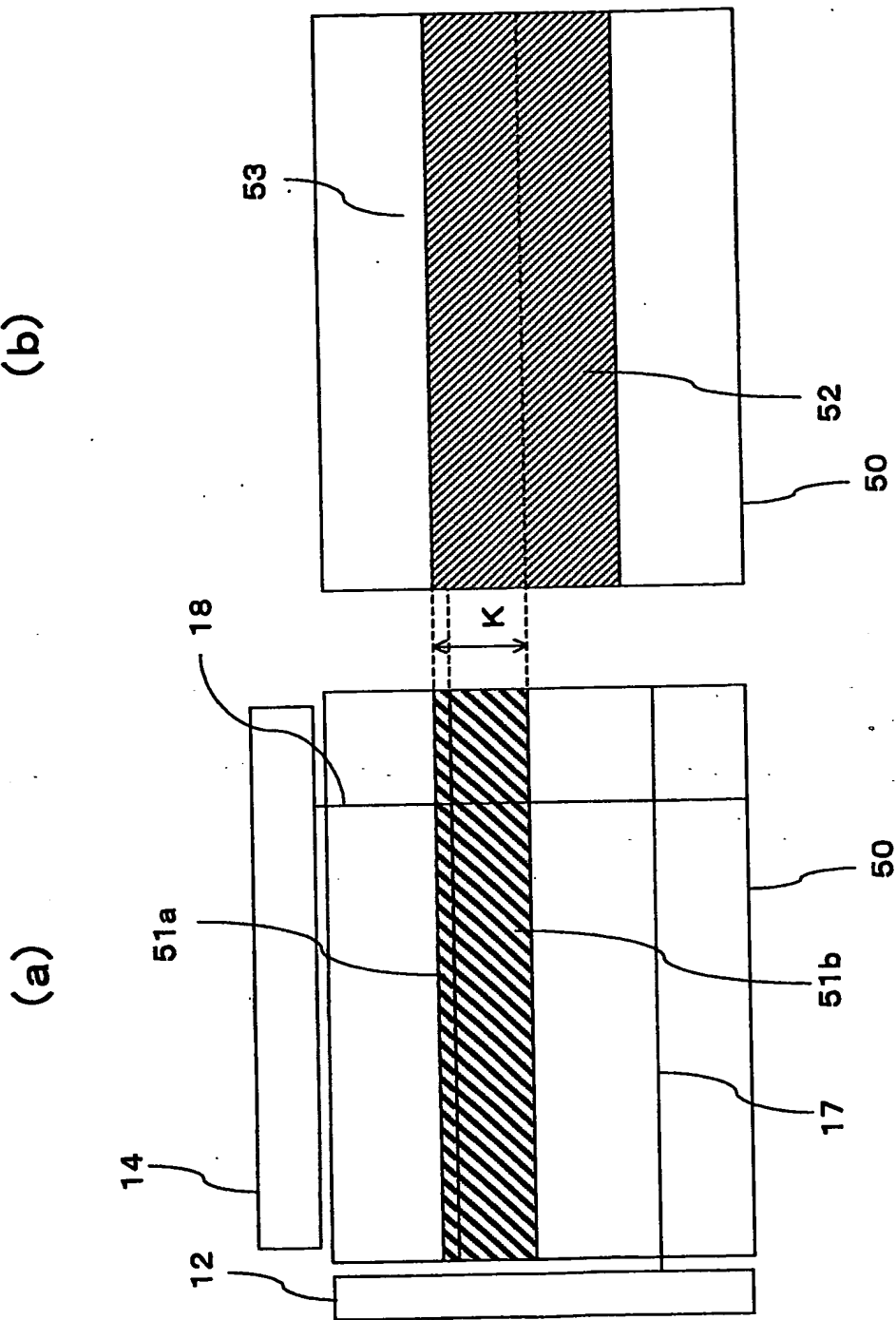
【図 18】



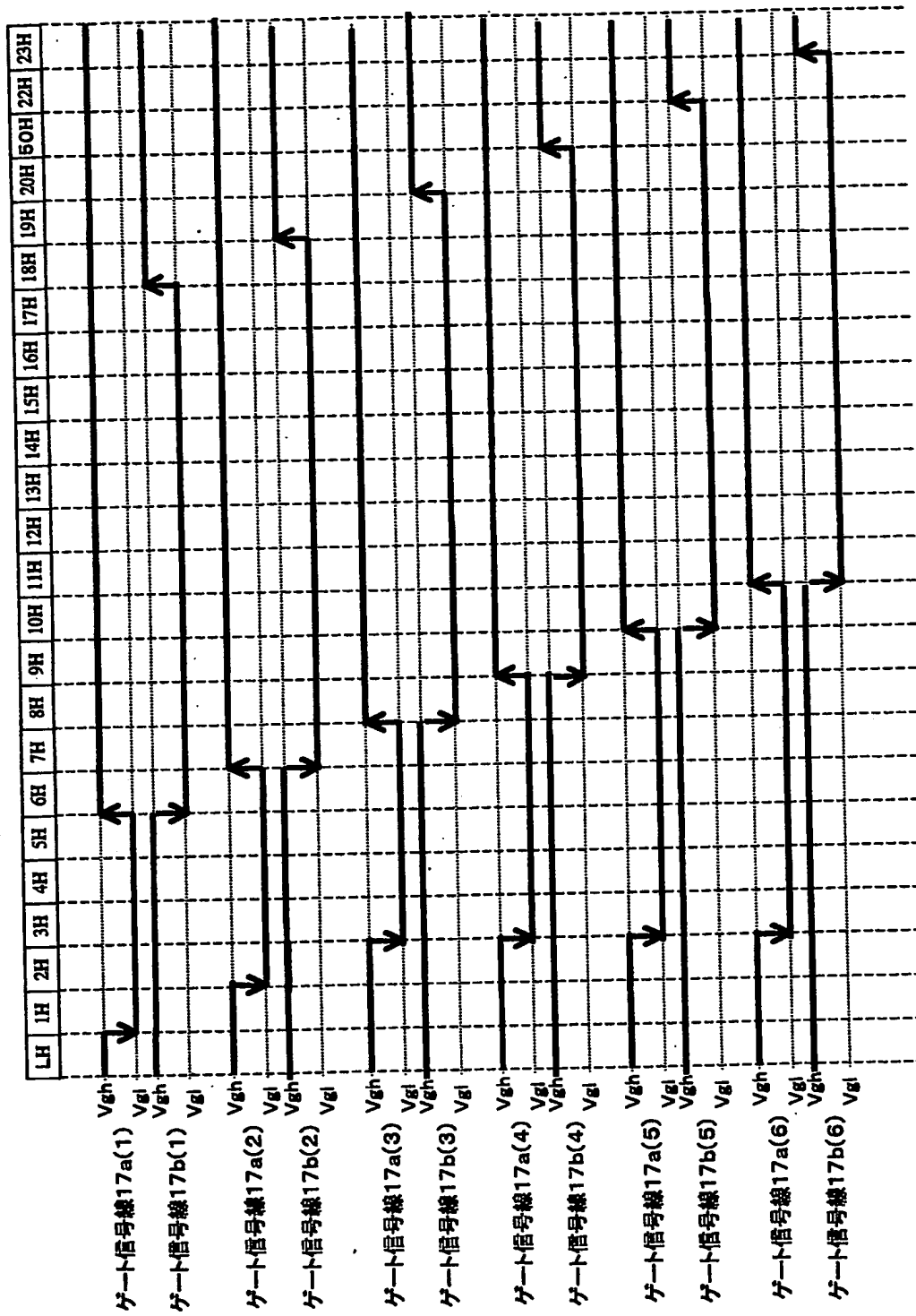
【図 19】



【図 20】

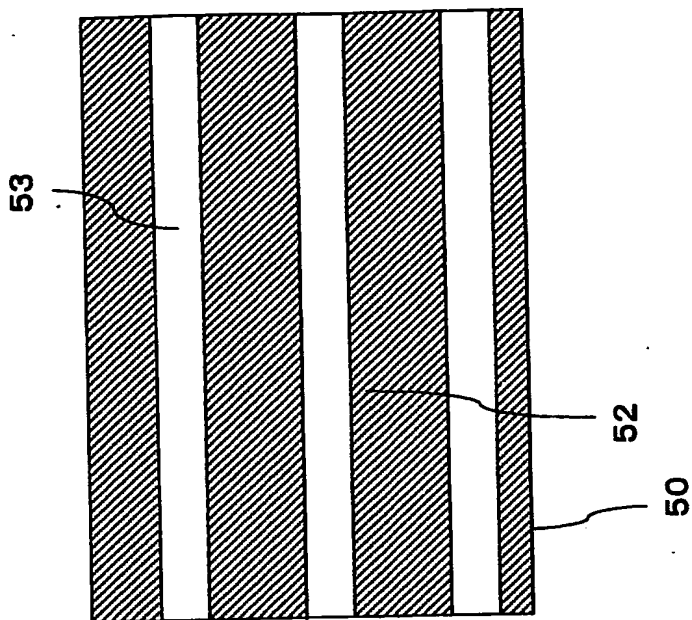


【図 21】

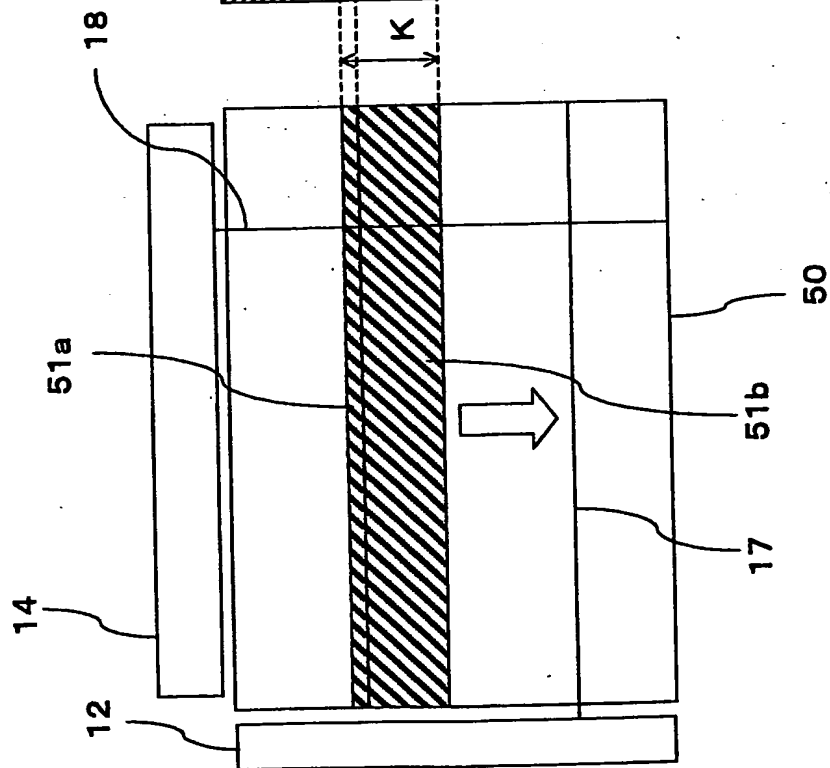


【図 22】

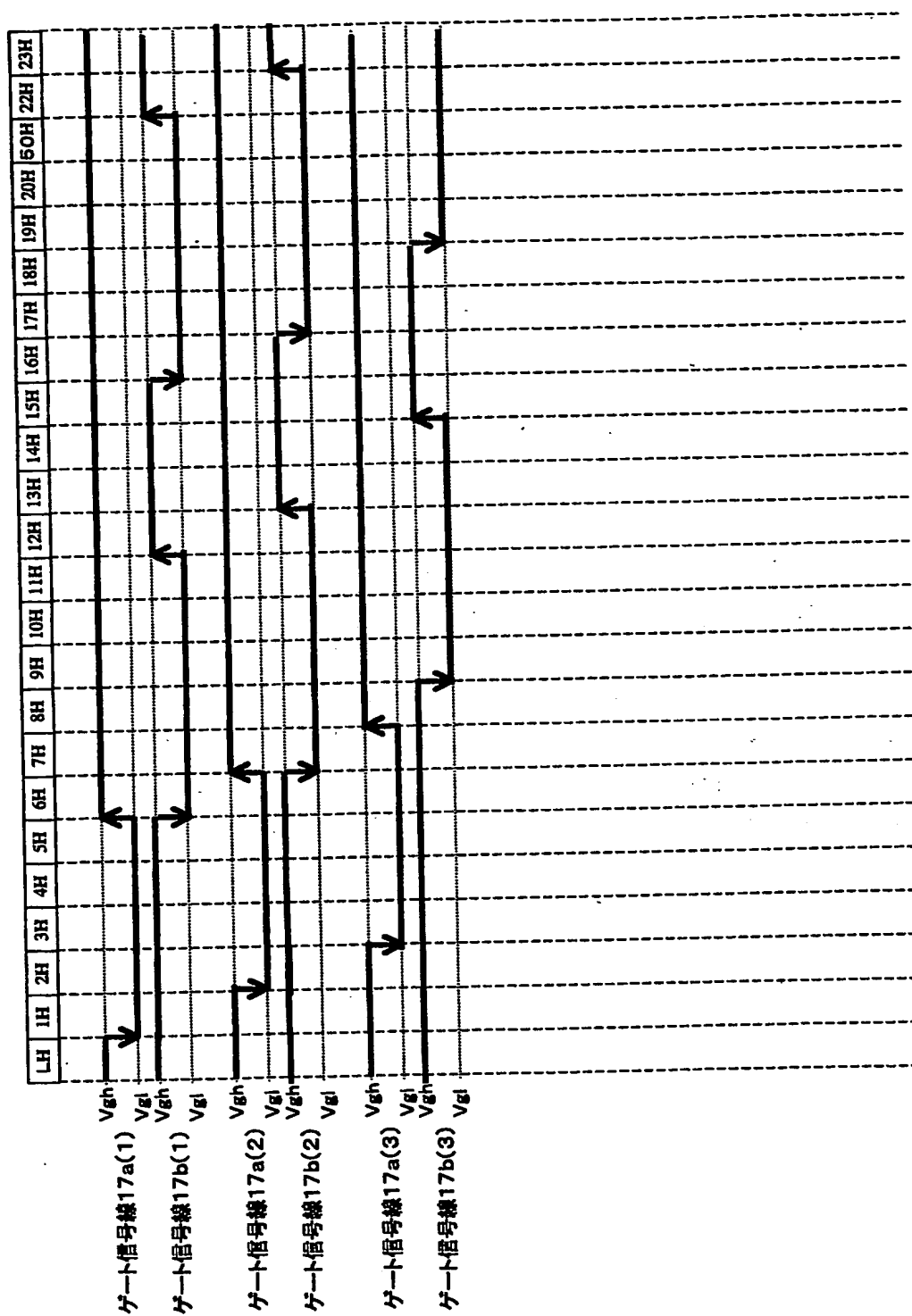
(b)



(a)

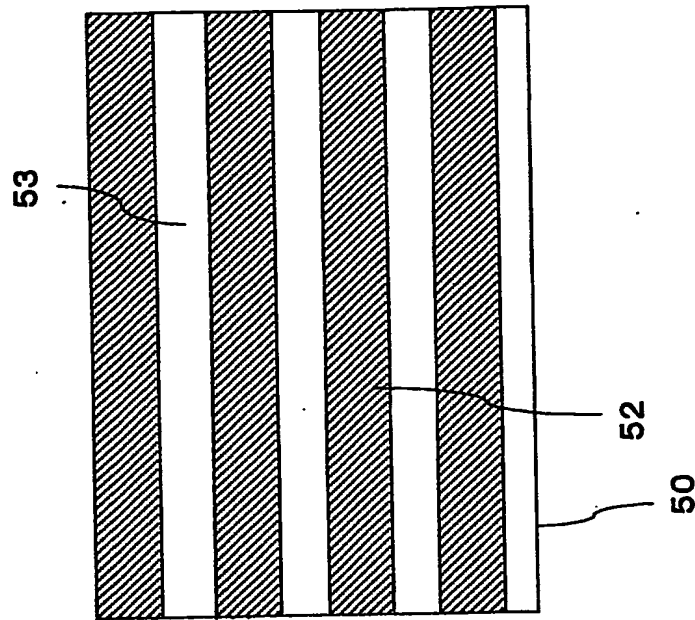


【図 23】

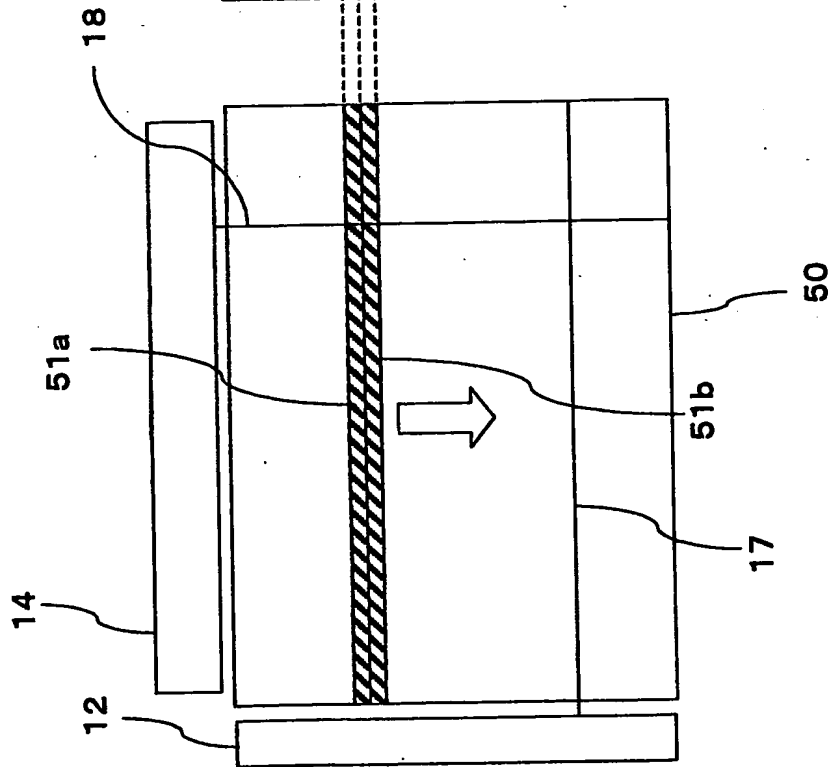


【図 2 4】

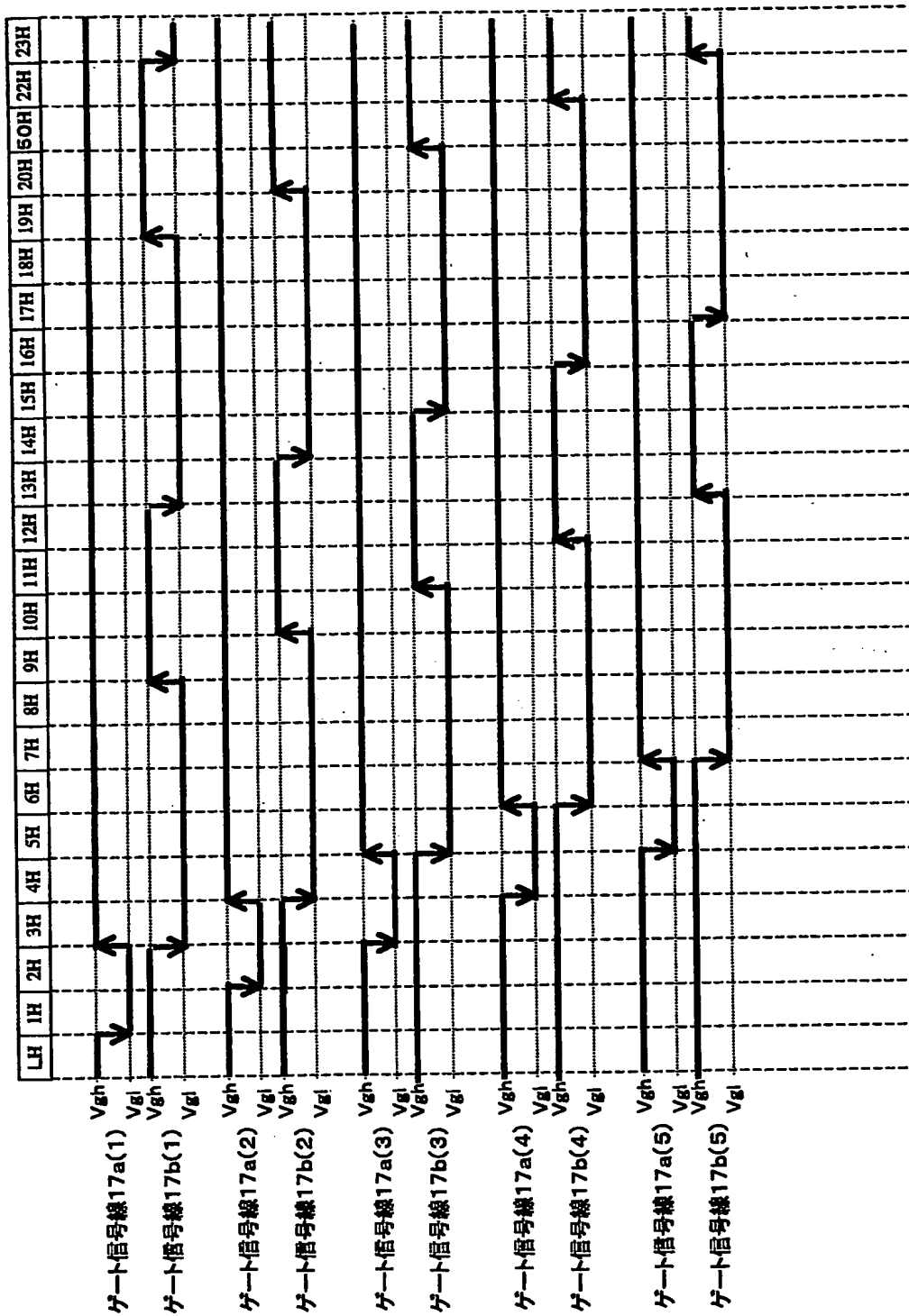
(b)



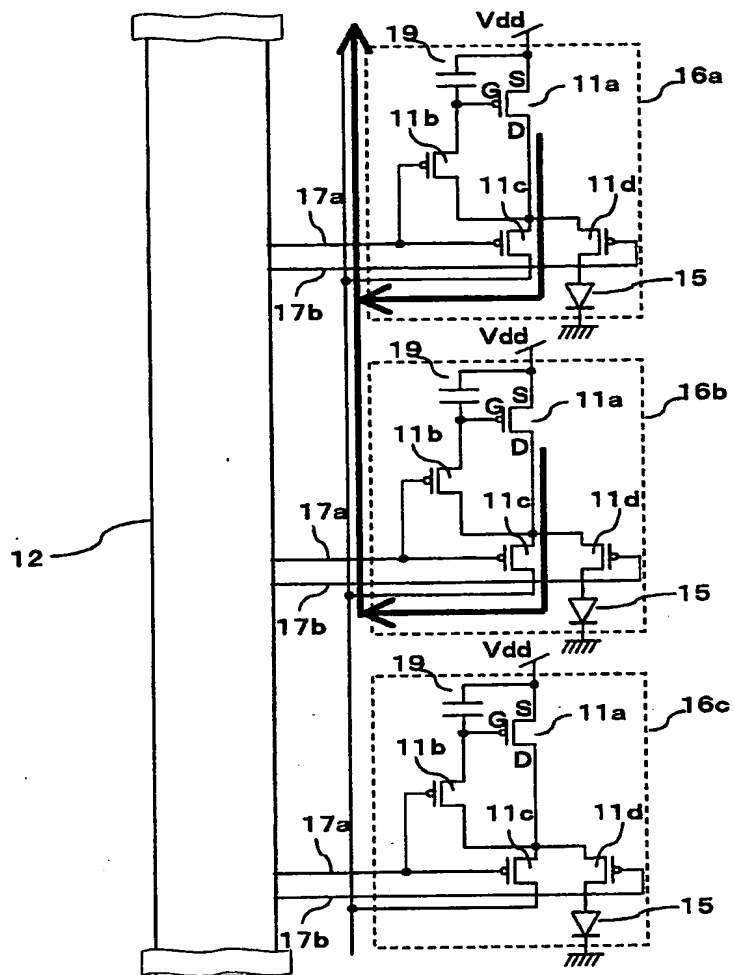
(a)



【図 25】

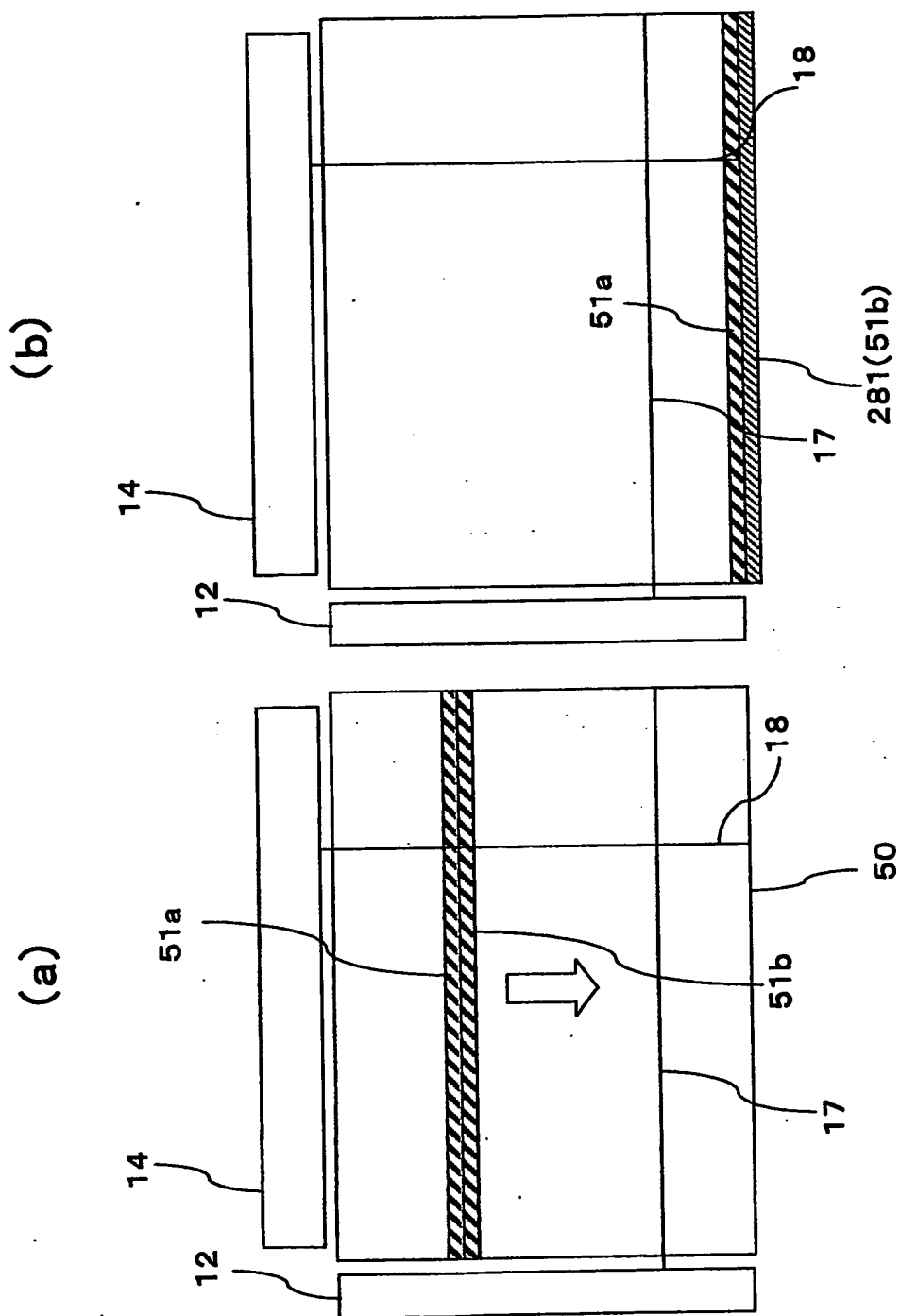


【図 26】

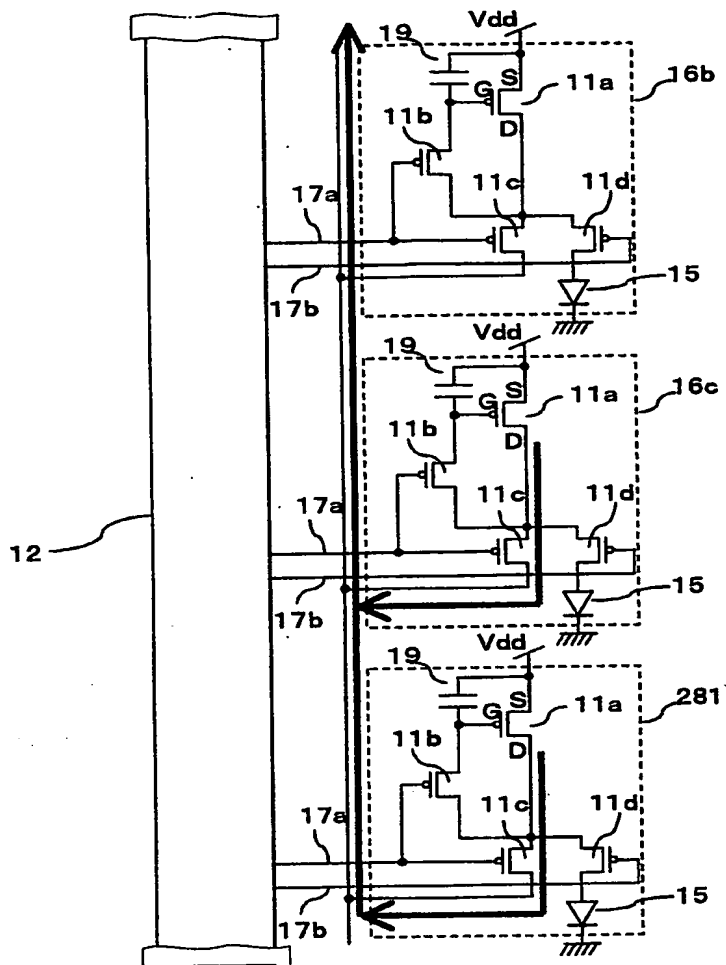


【図 27】

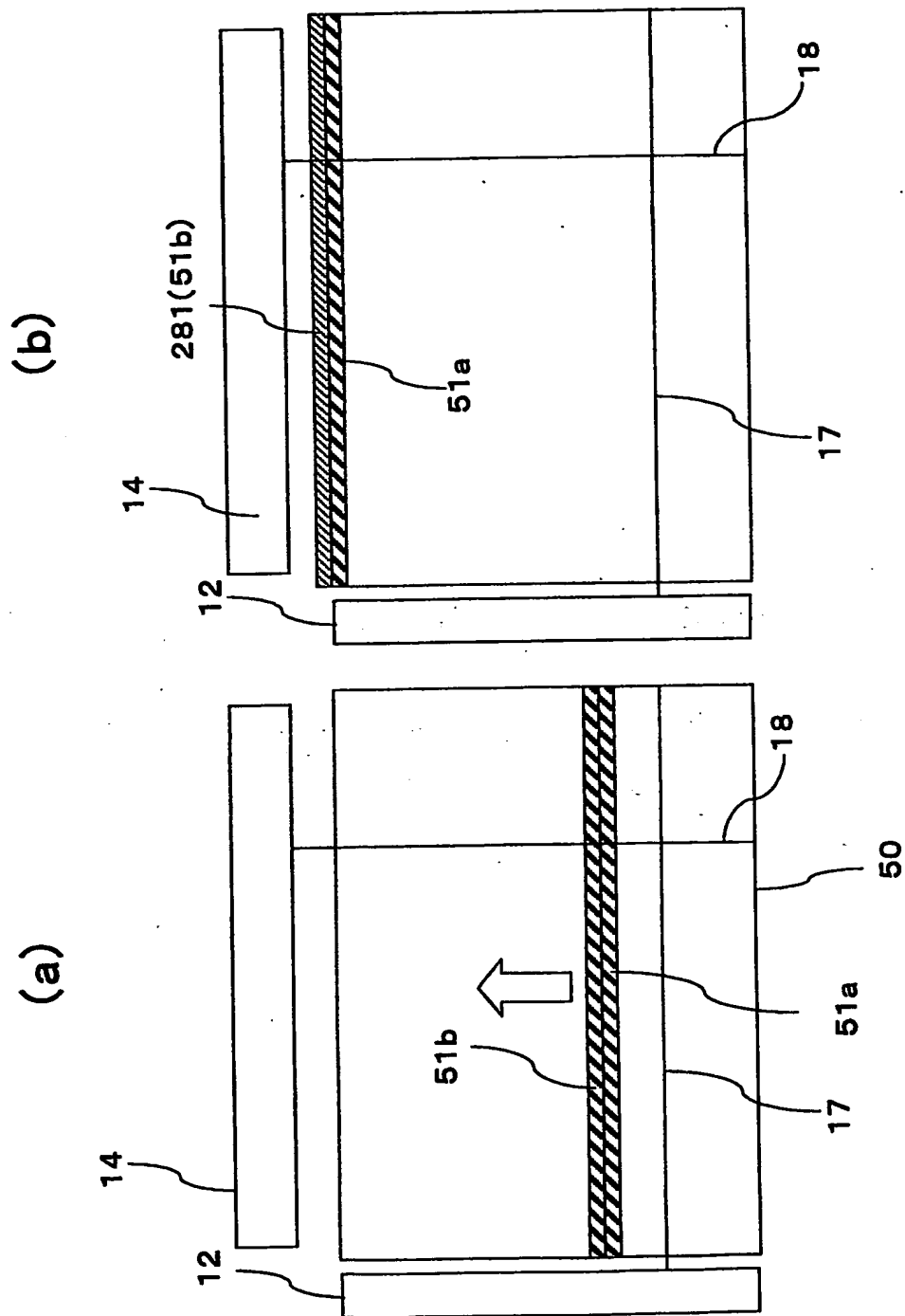
281 ダミー画素(行)



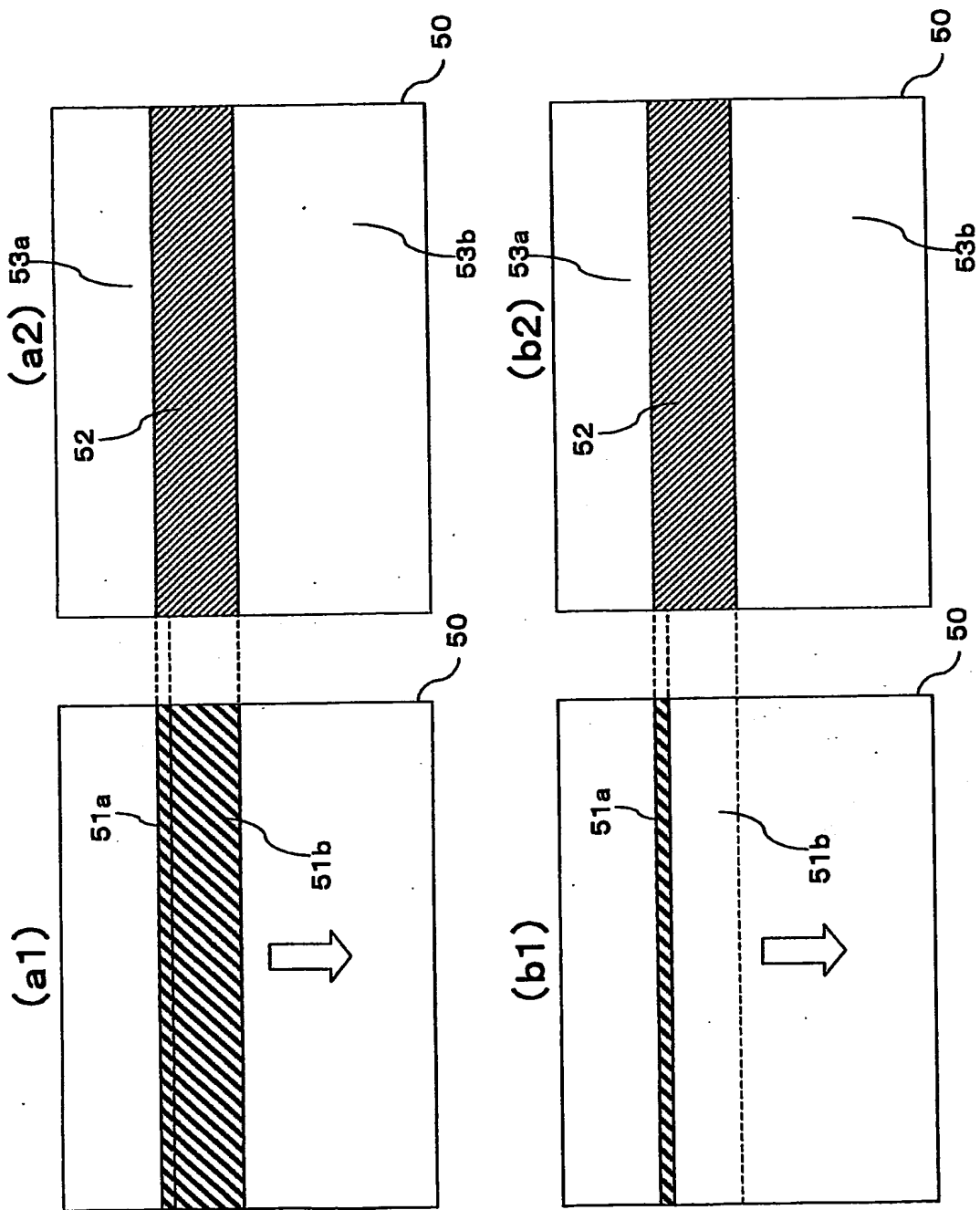
【図 28】



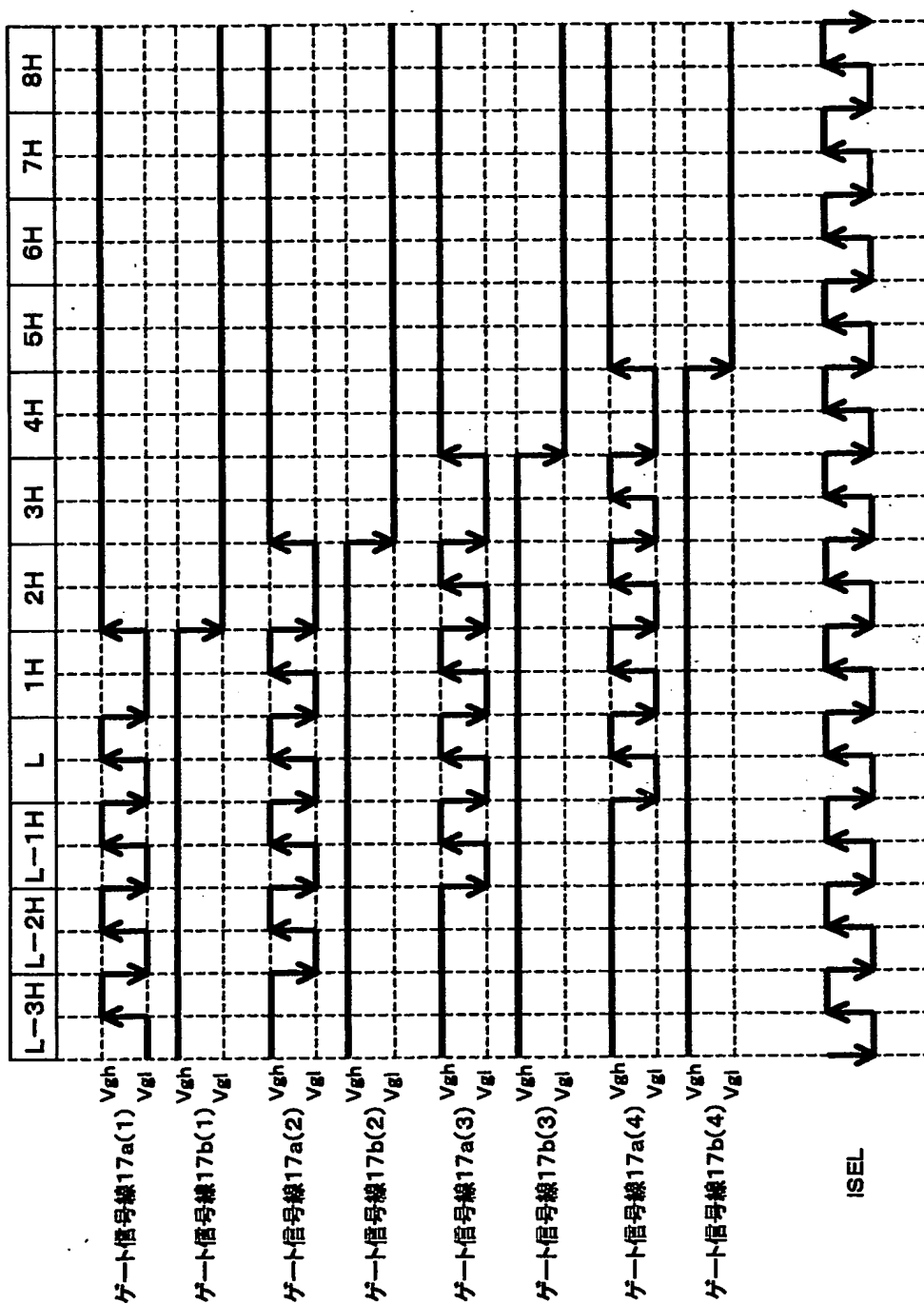
【図29】



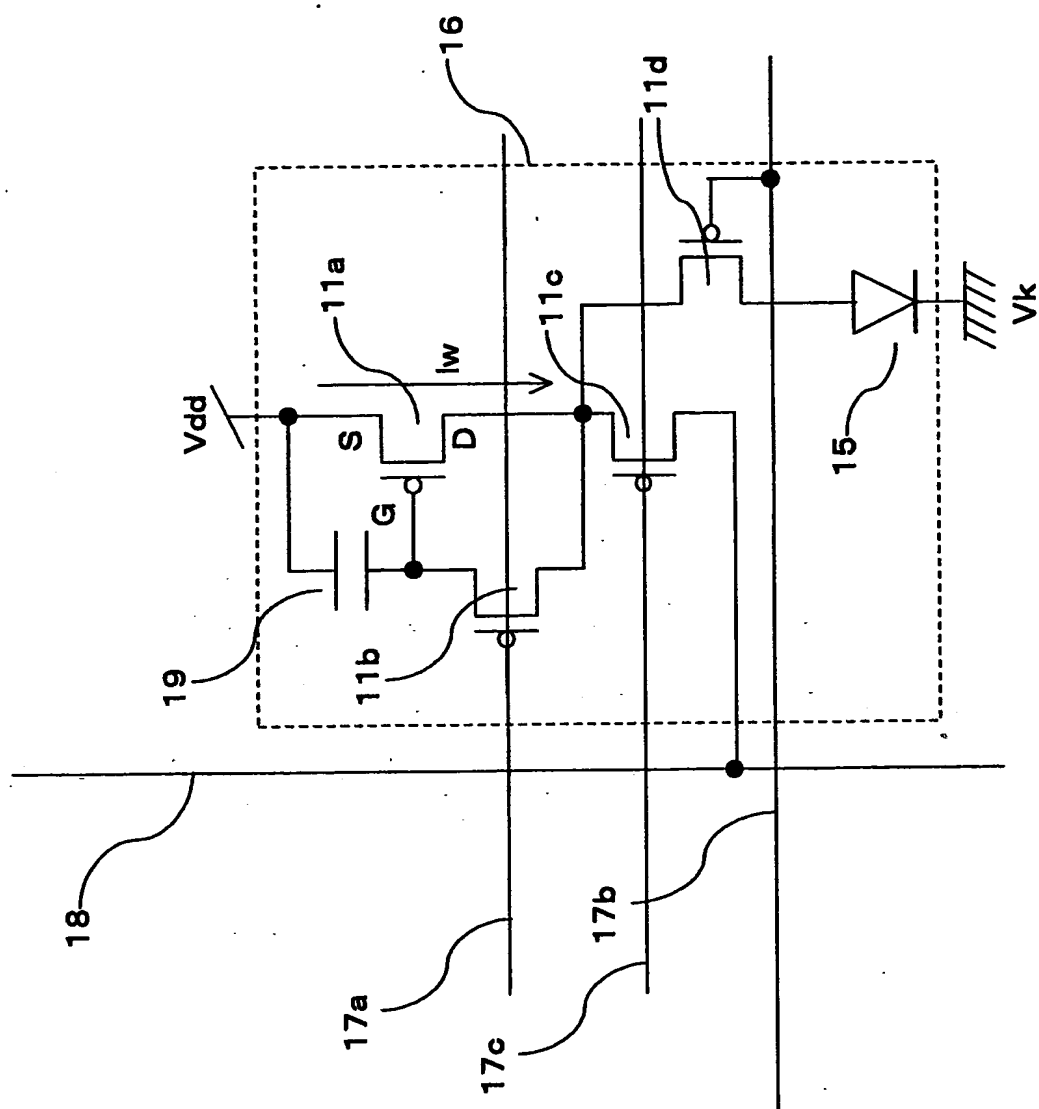
【図 30】



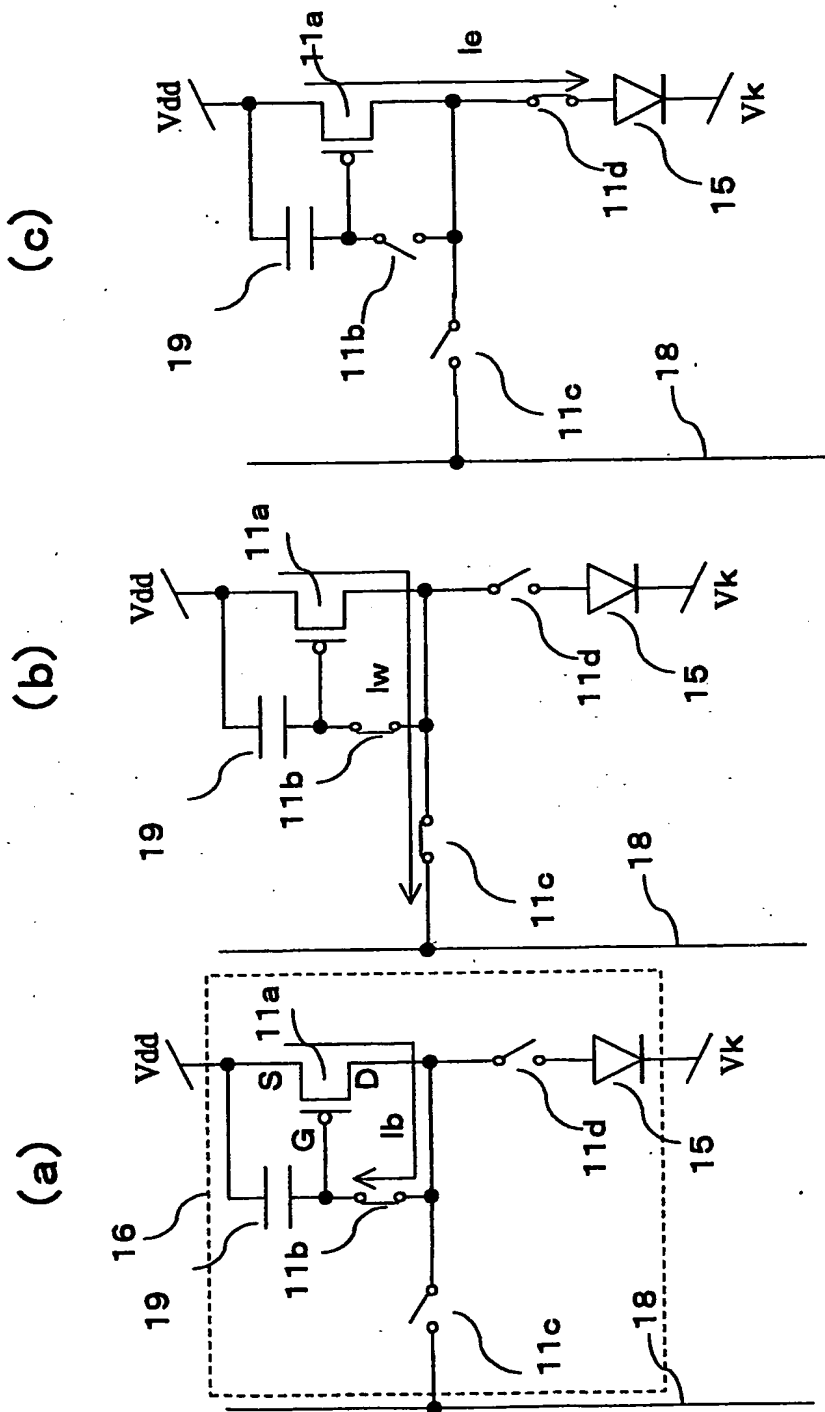
【図 31】



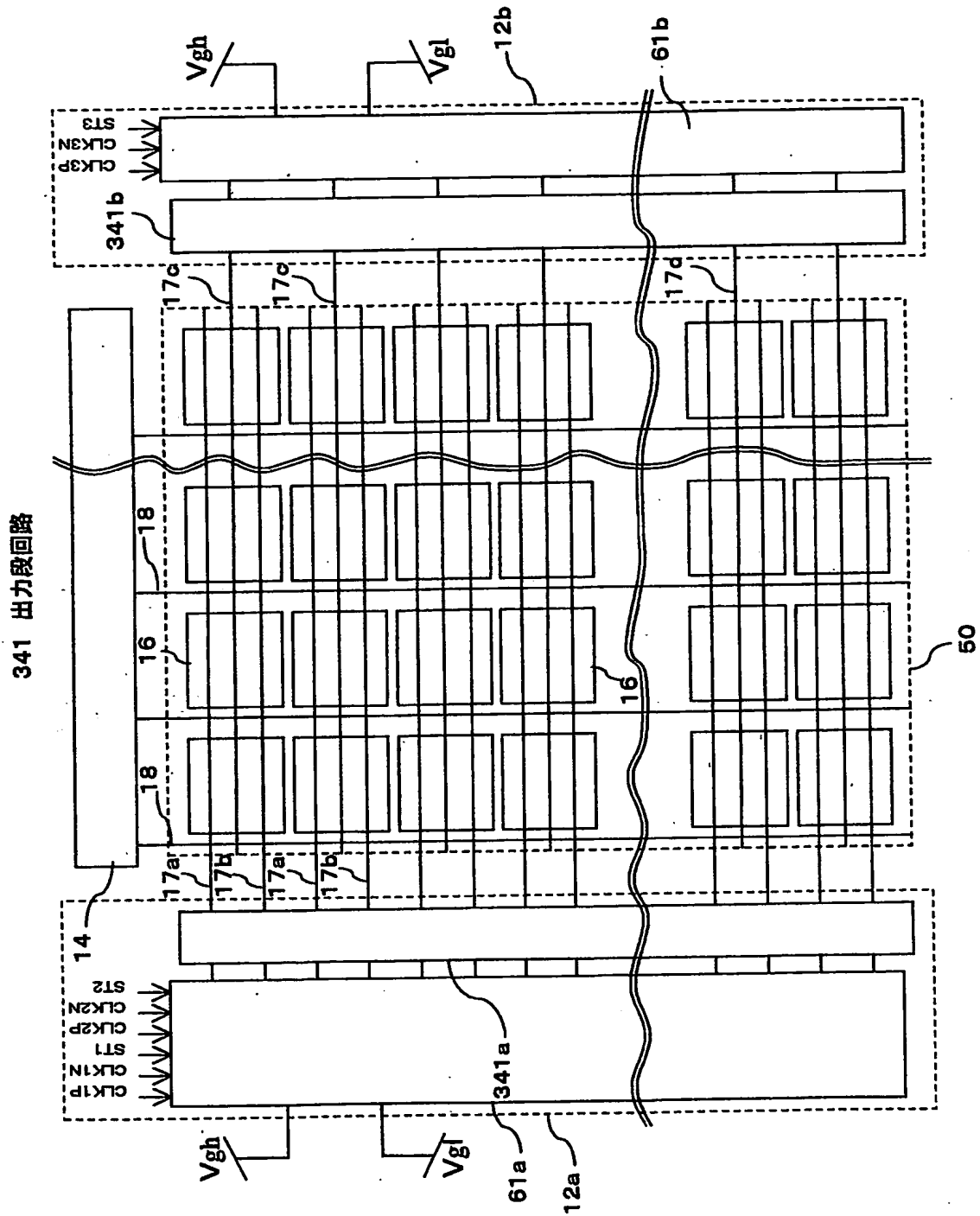
【図 3 2】



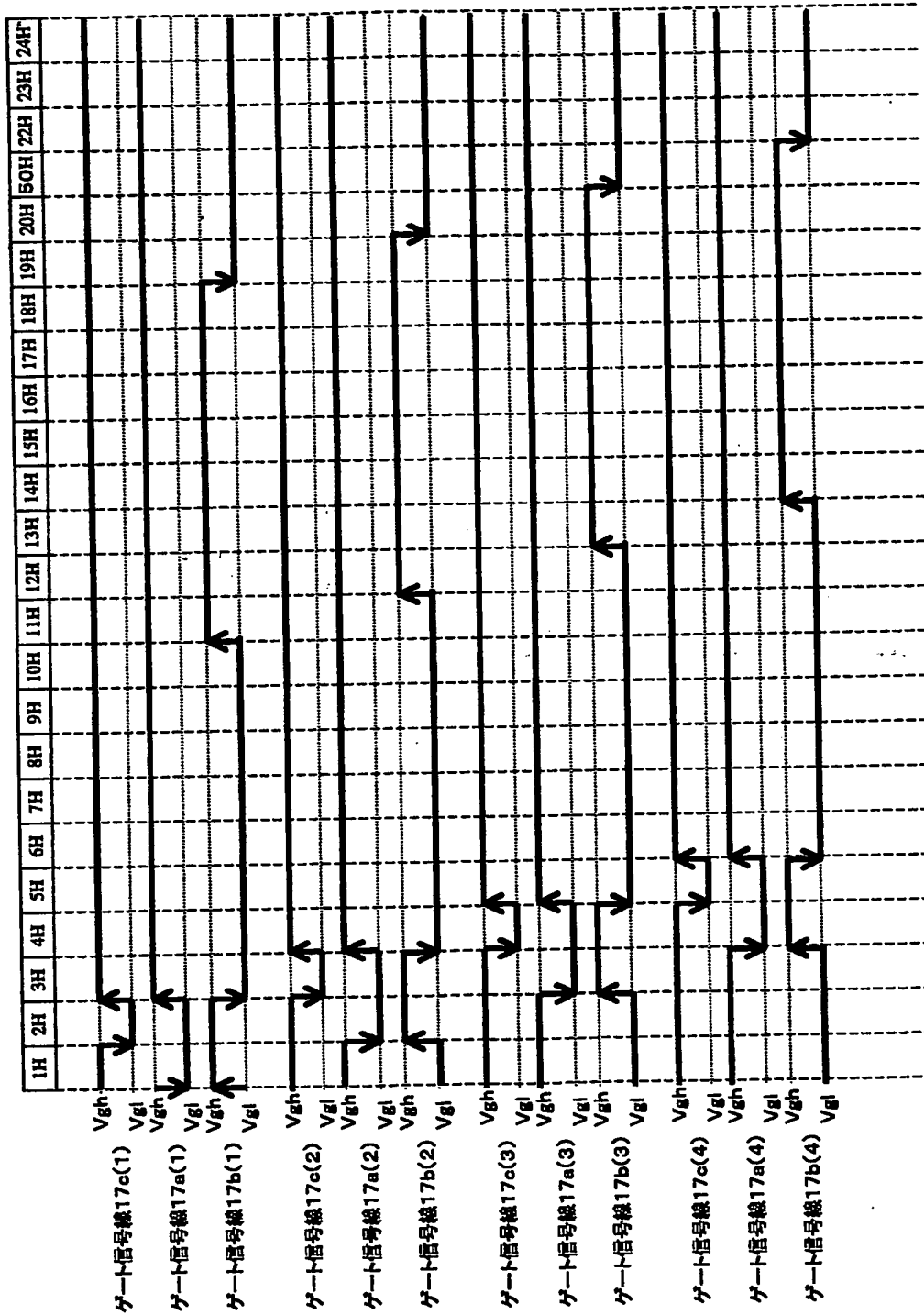
【図 33】



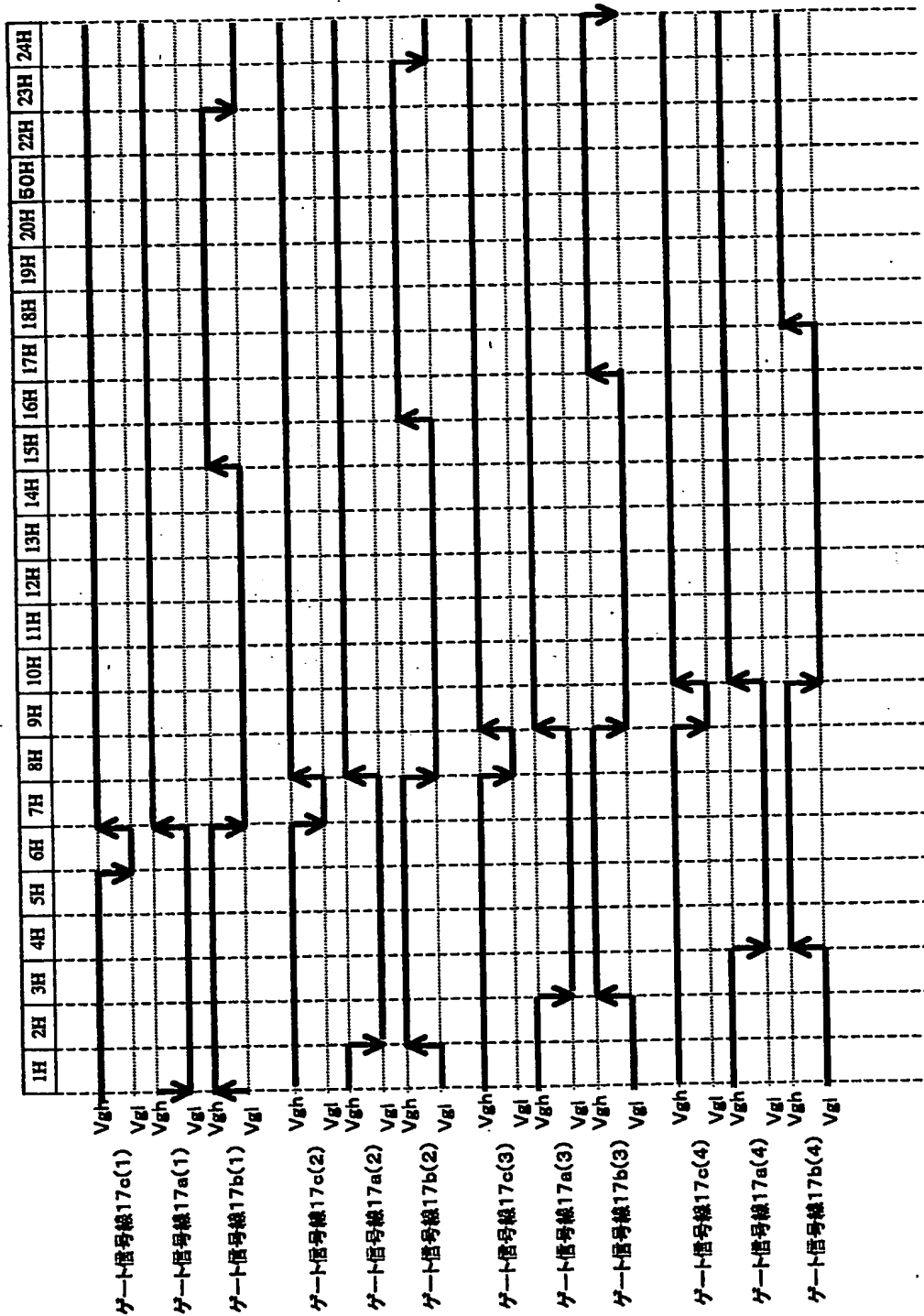
【図 34】



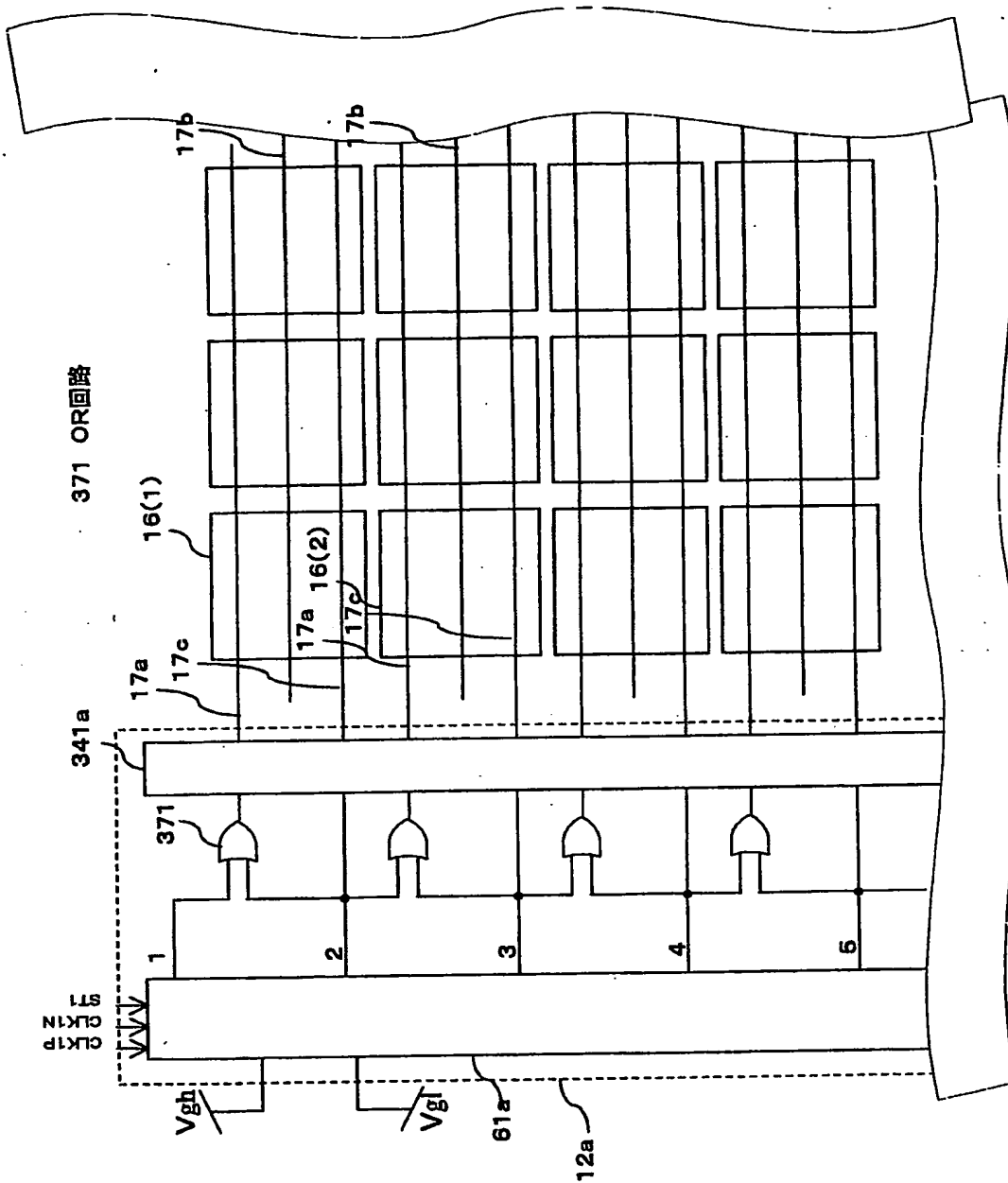
【図 35】



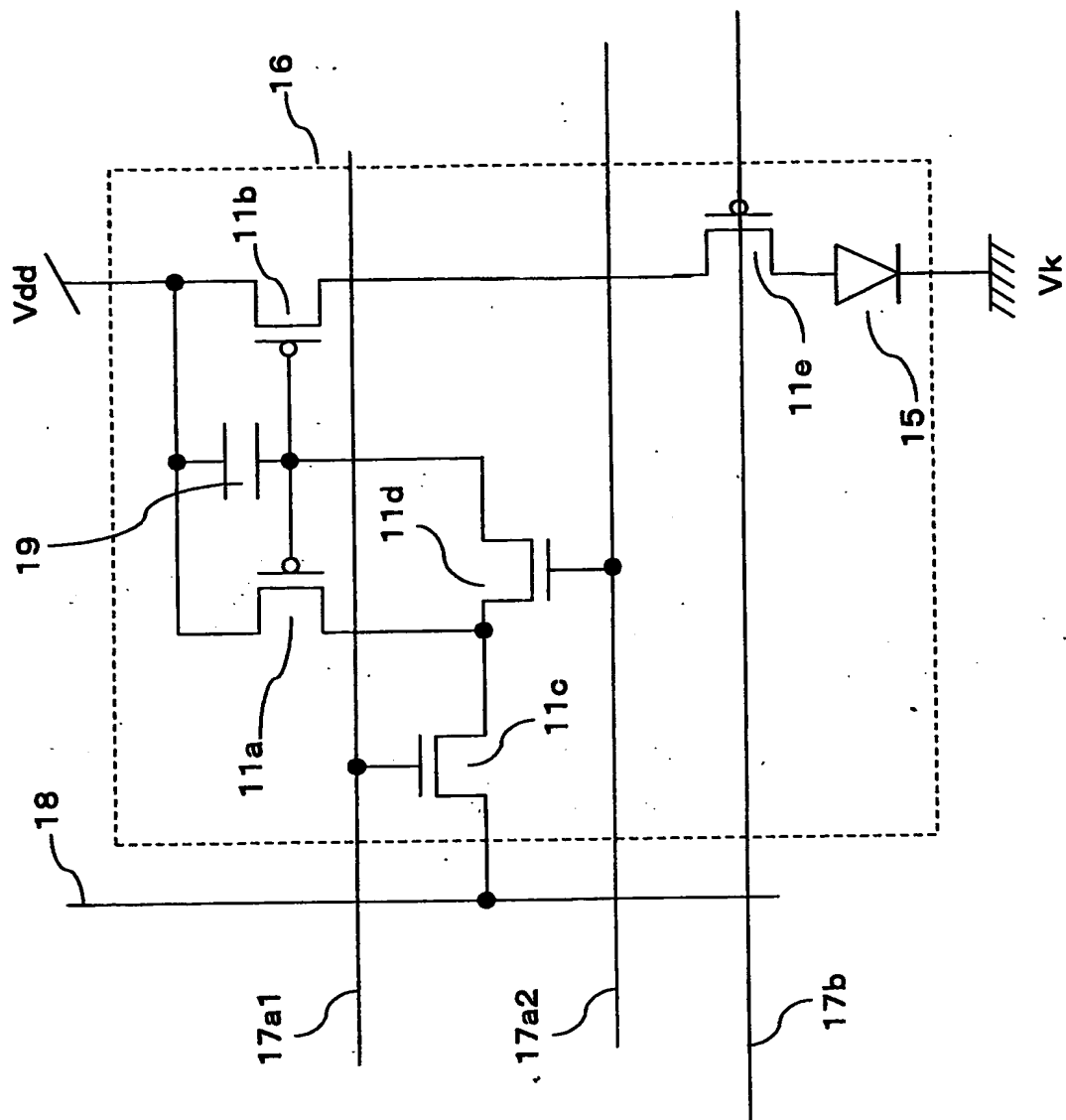
【図36】



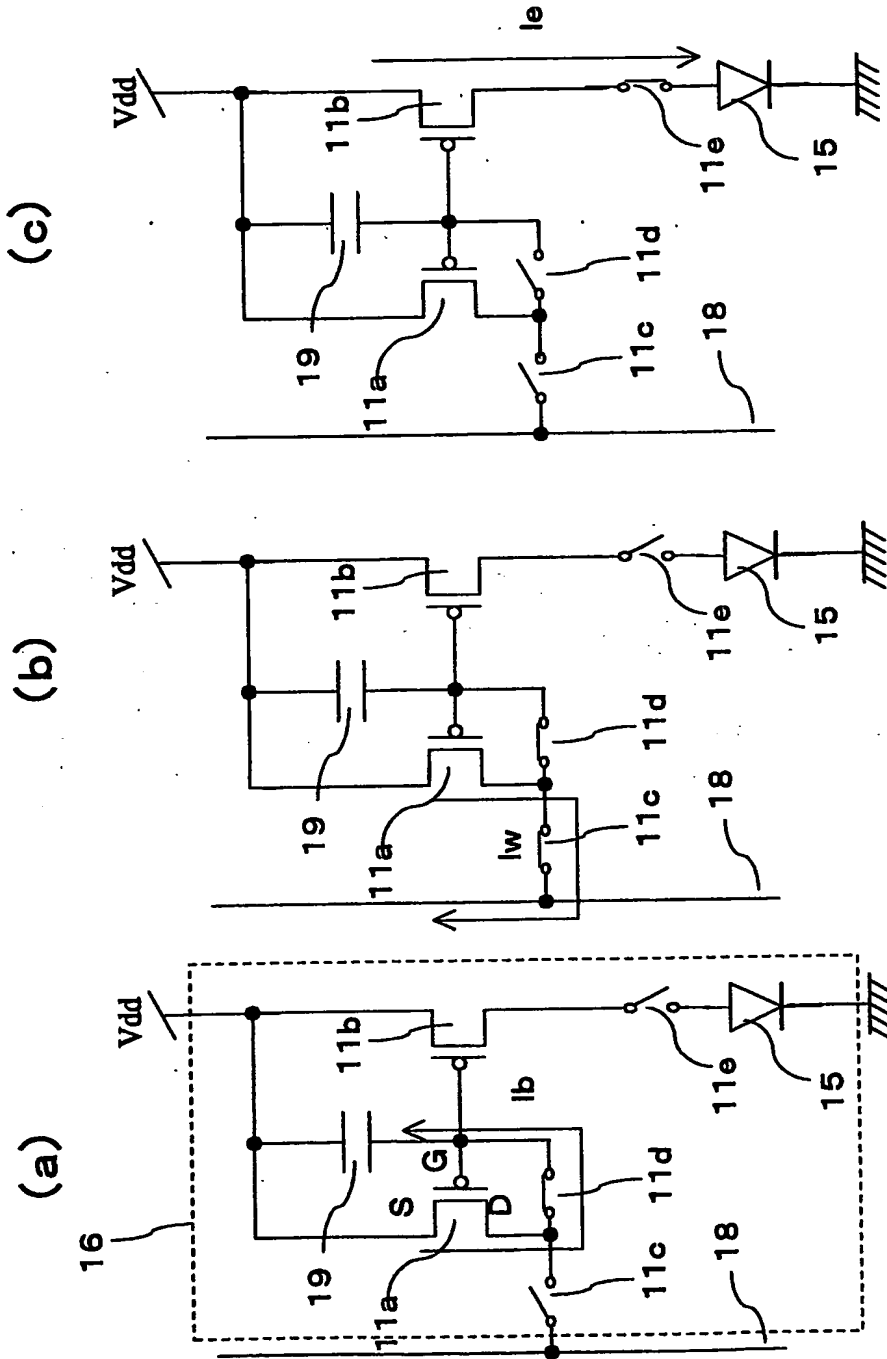
【図 37】



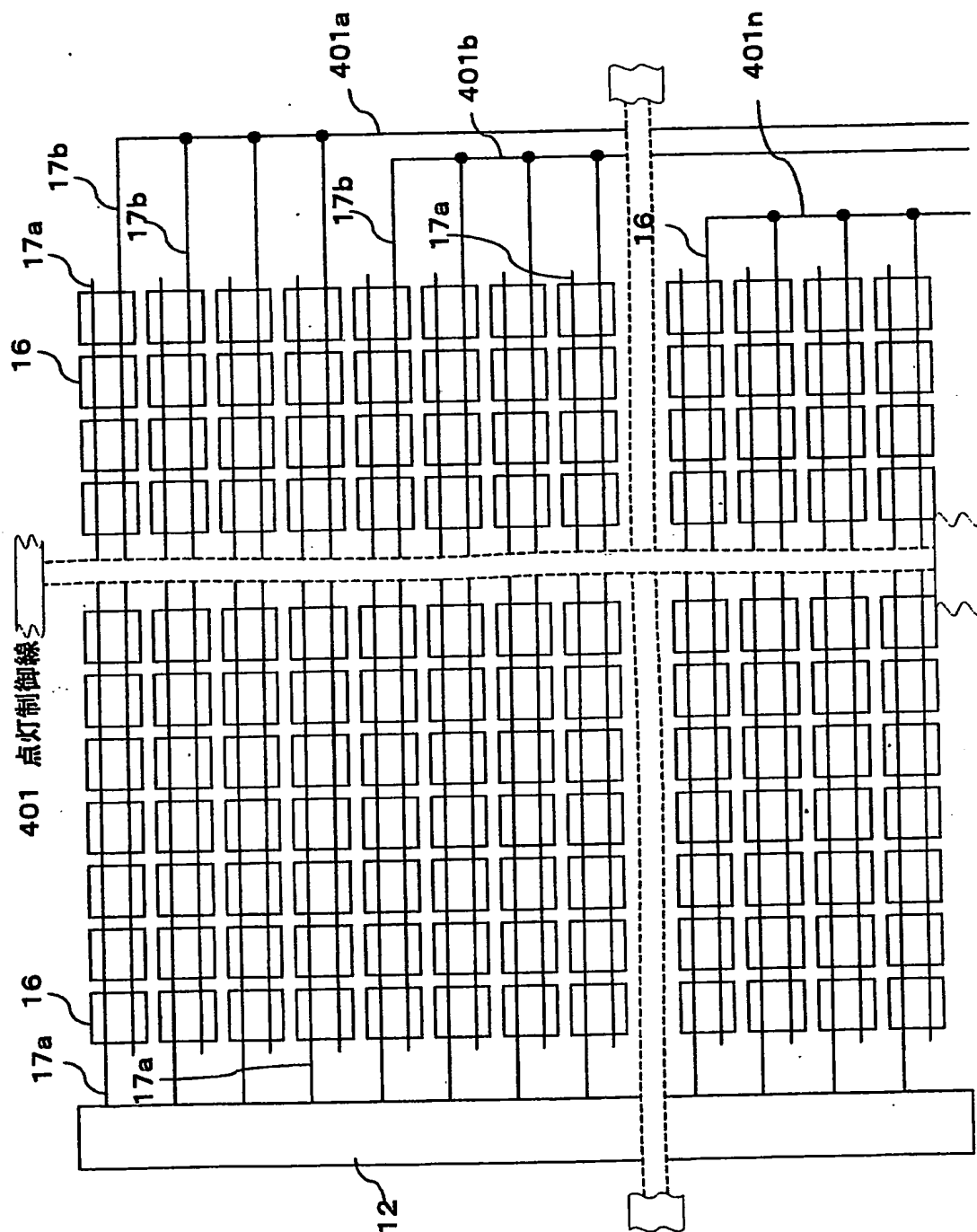
【図 38】



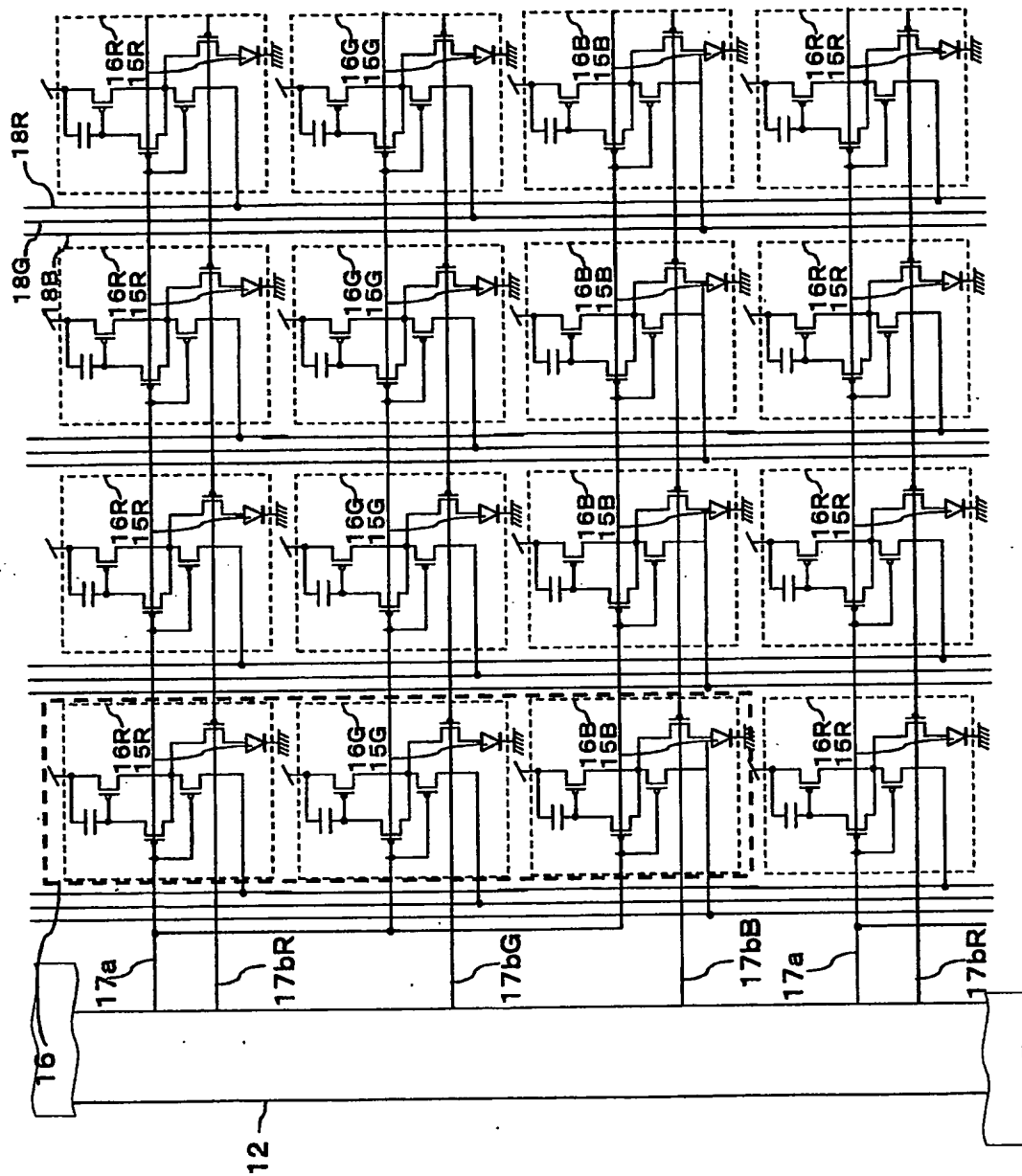
【図 39】



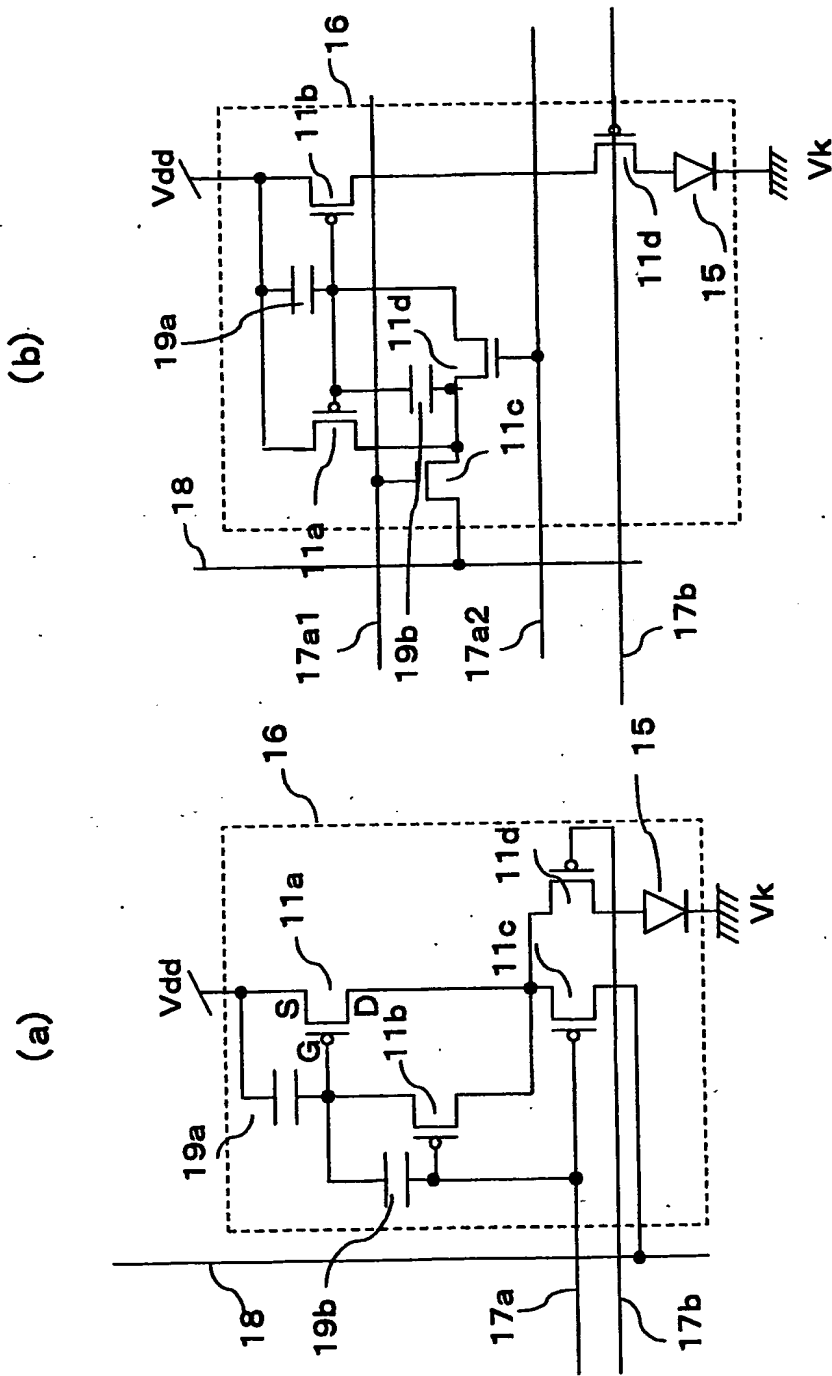
【図 4 0】



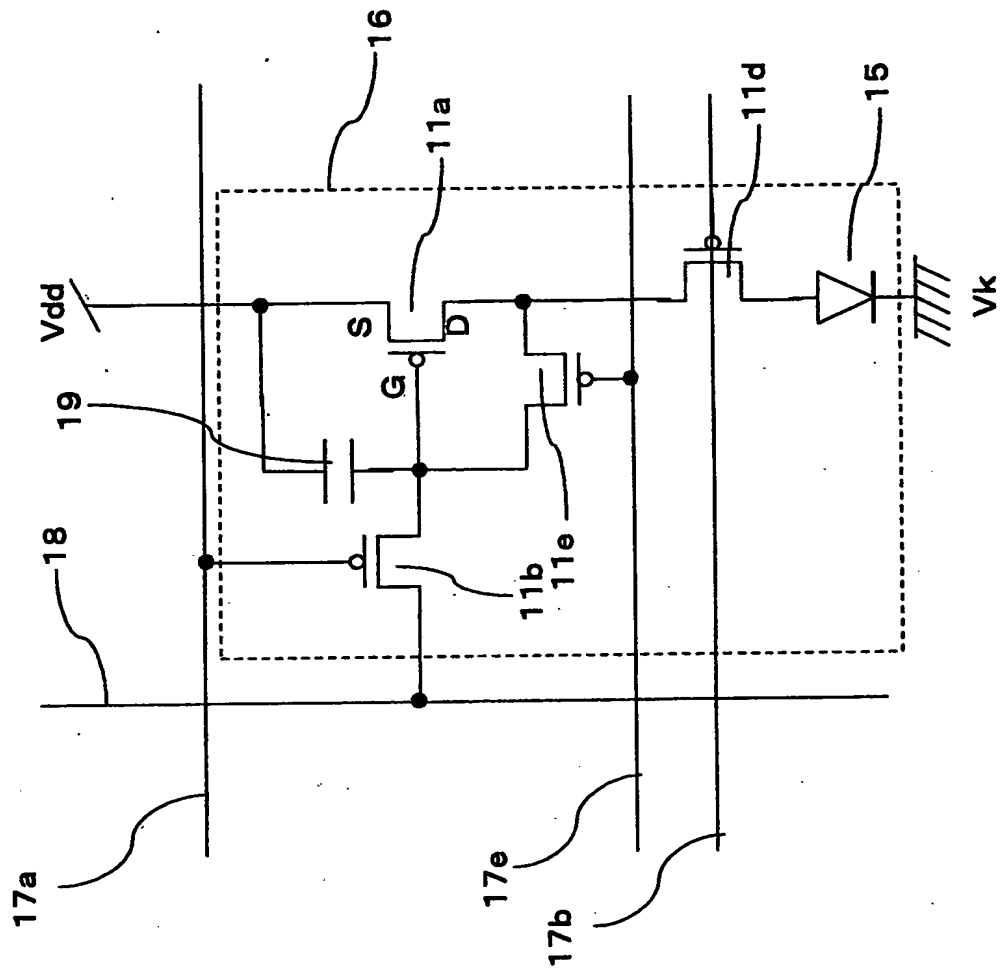
【図 41】



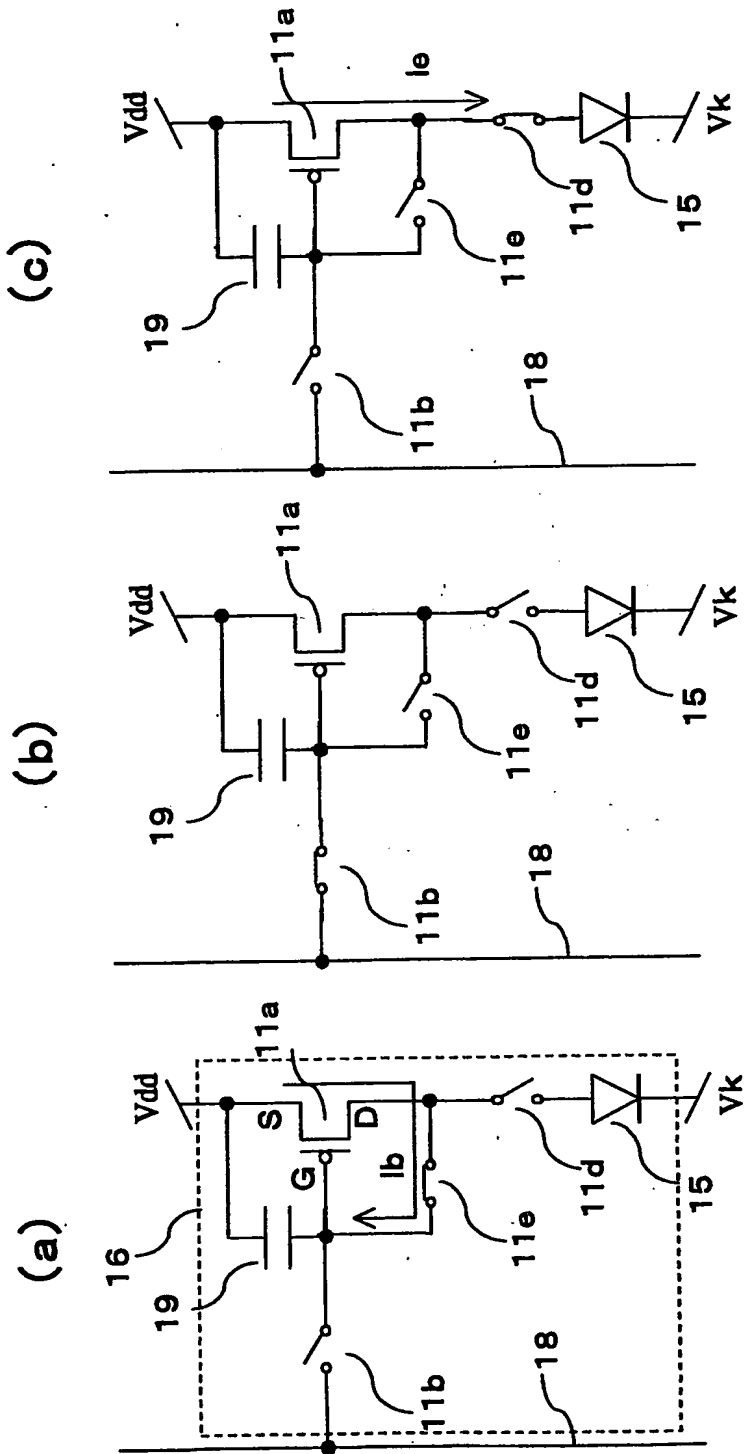
【図 4 2】



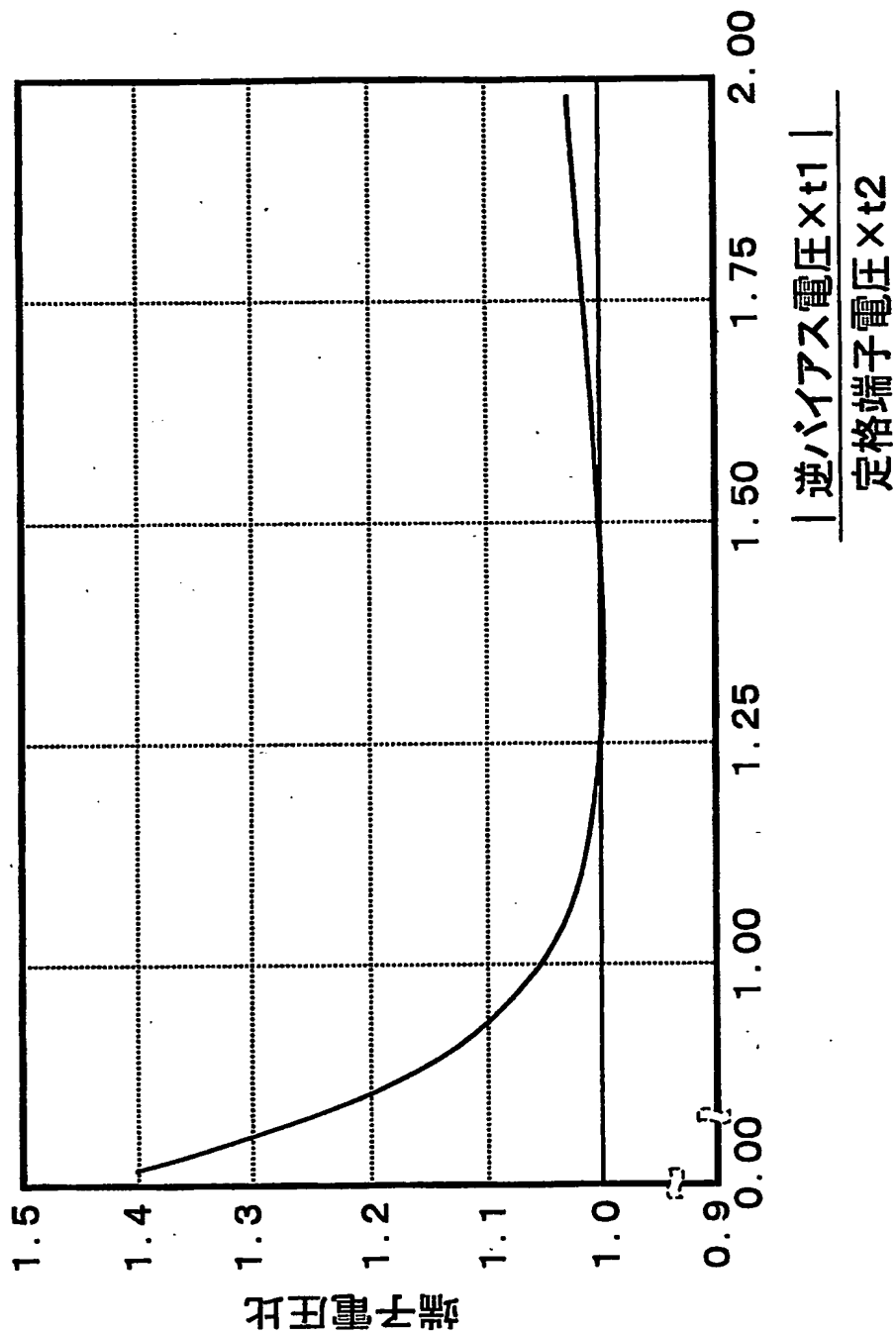
【図43】



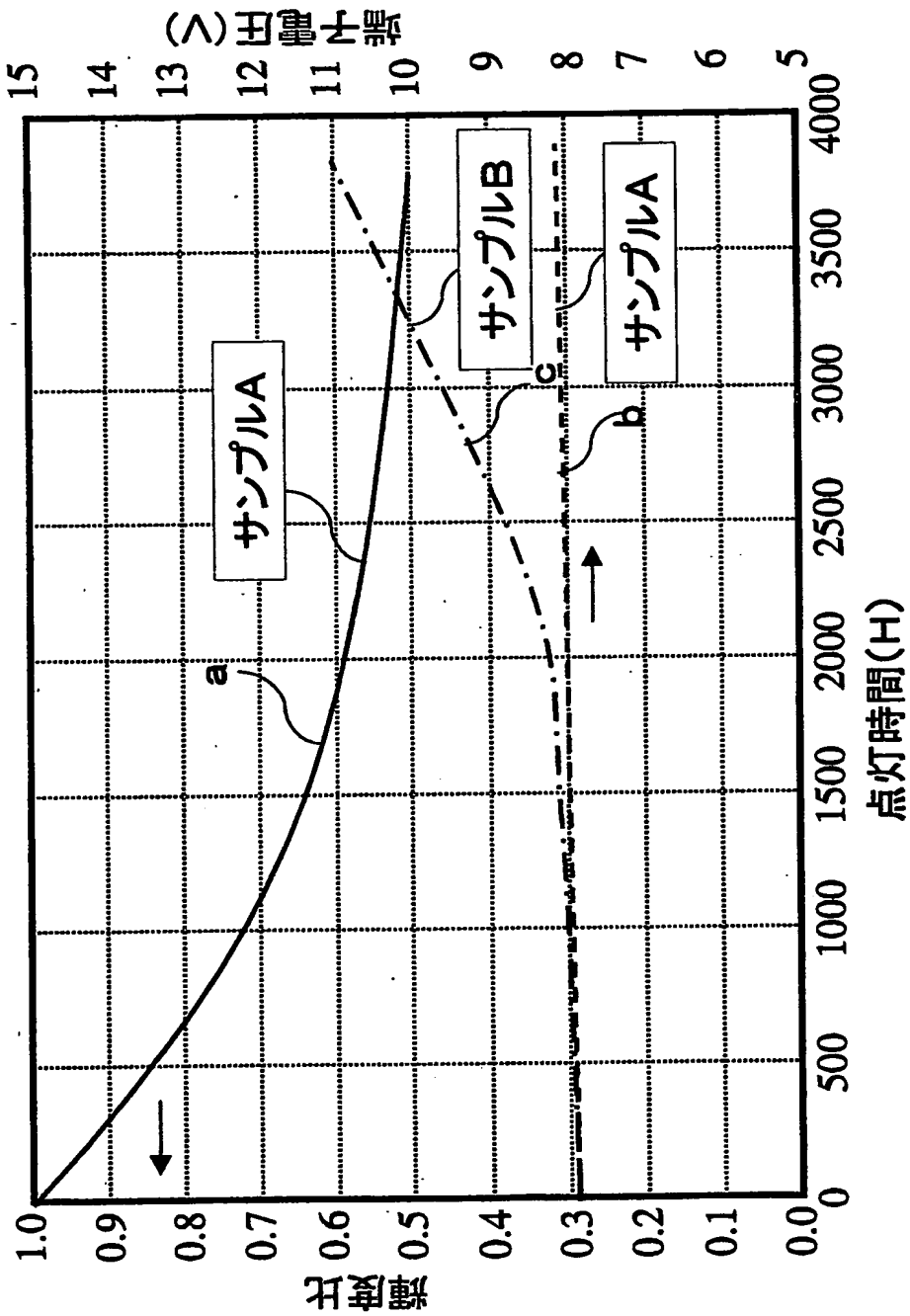
【図 4 4】



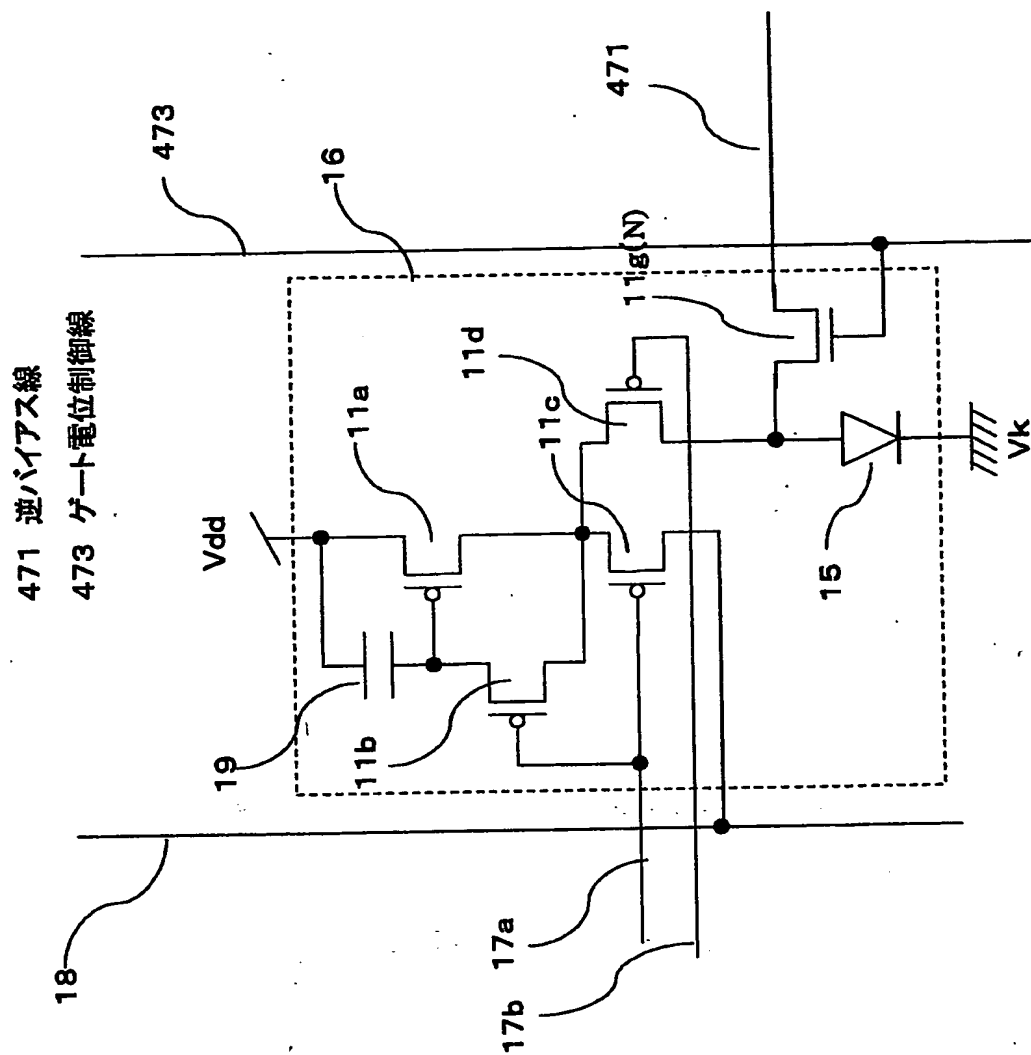
【図 4 5】



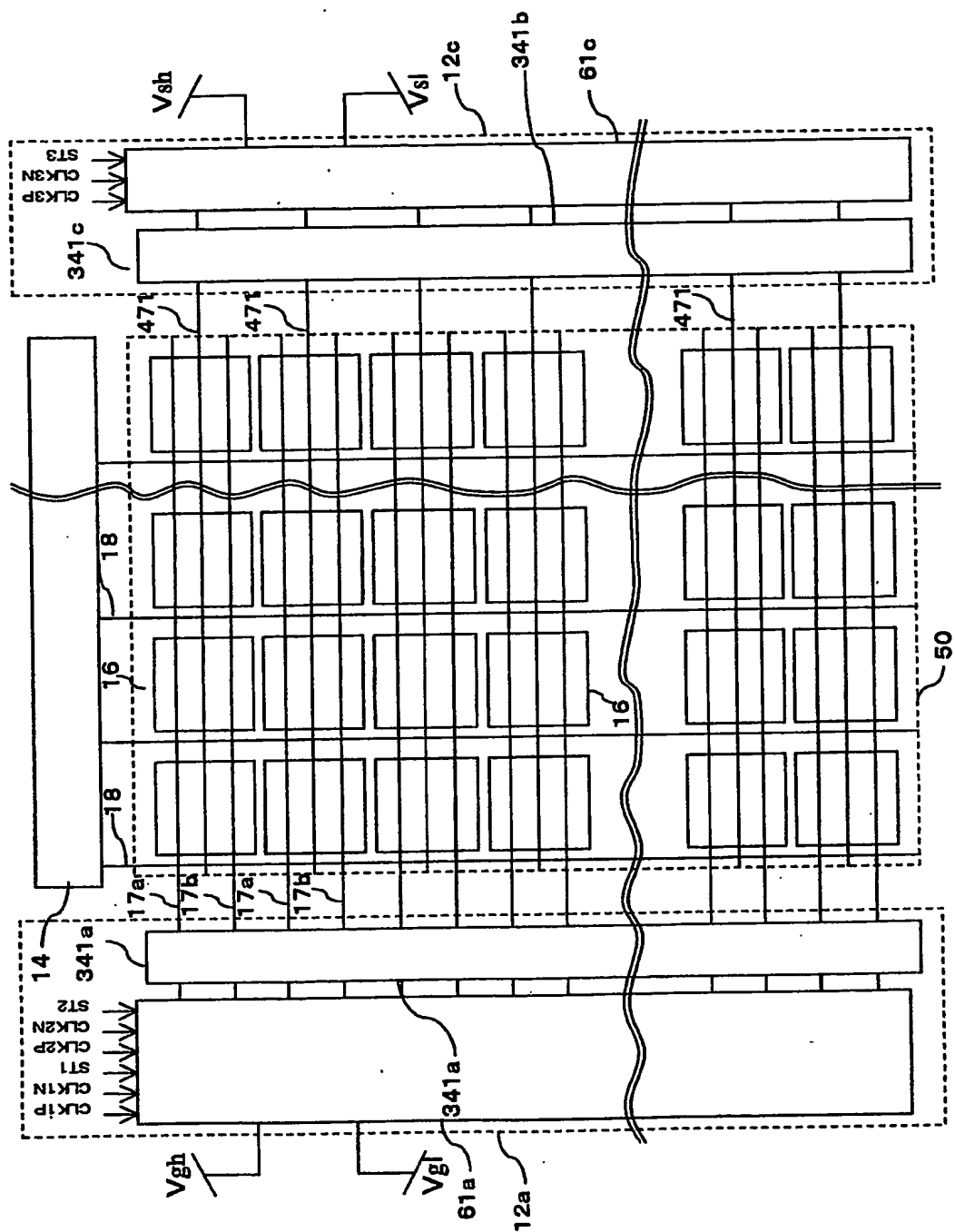
【図 4 6】



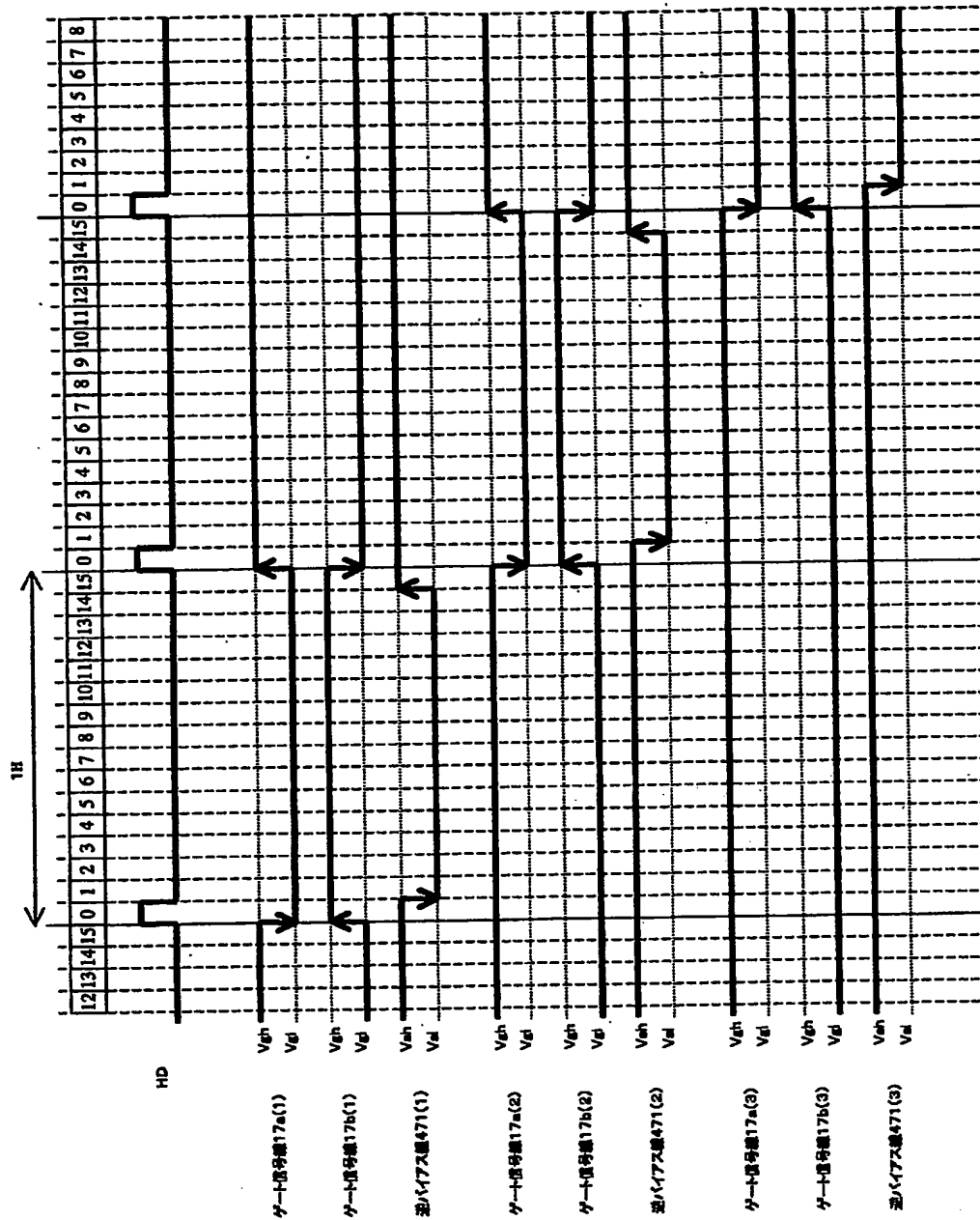
【図 47】



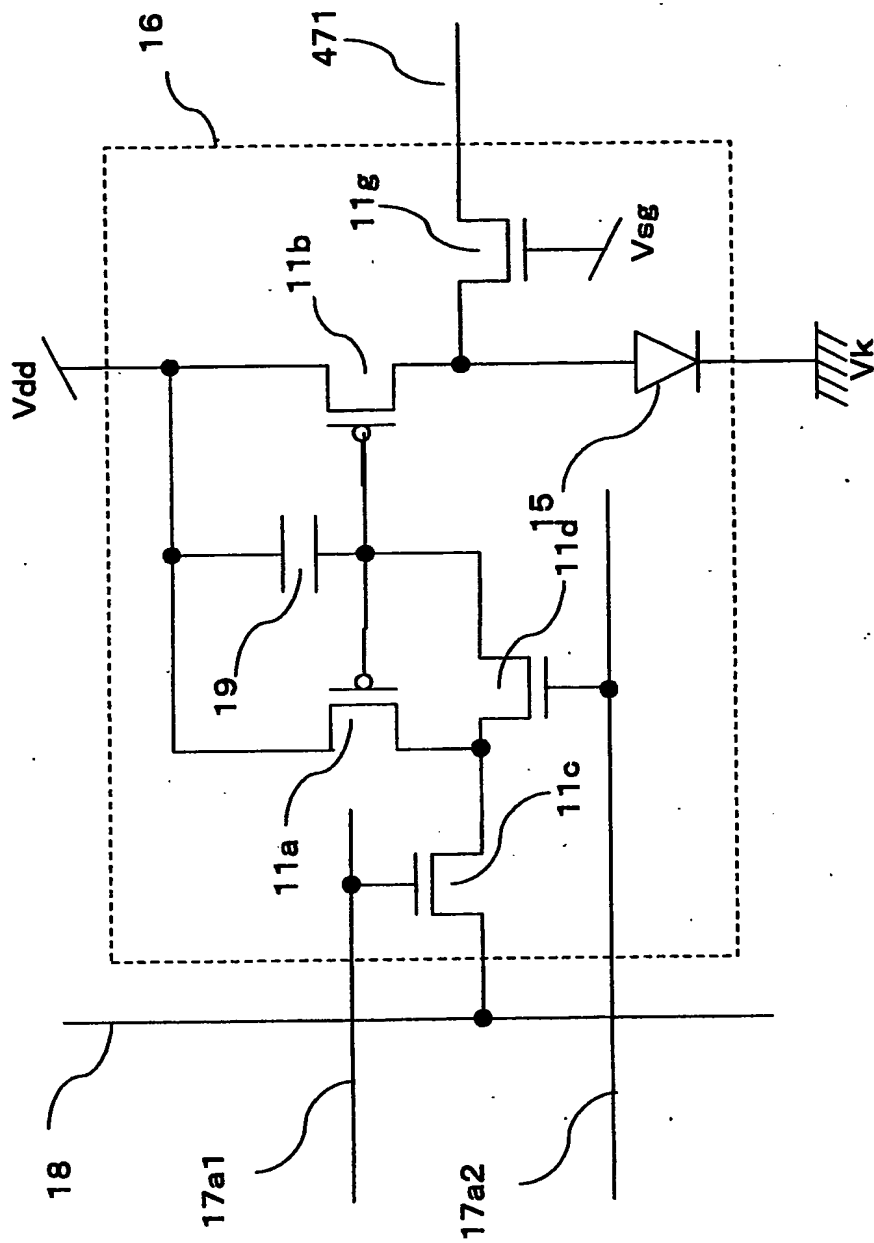
【図 4 8】



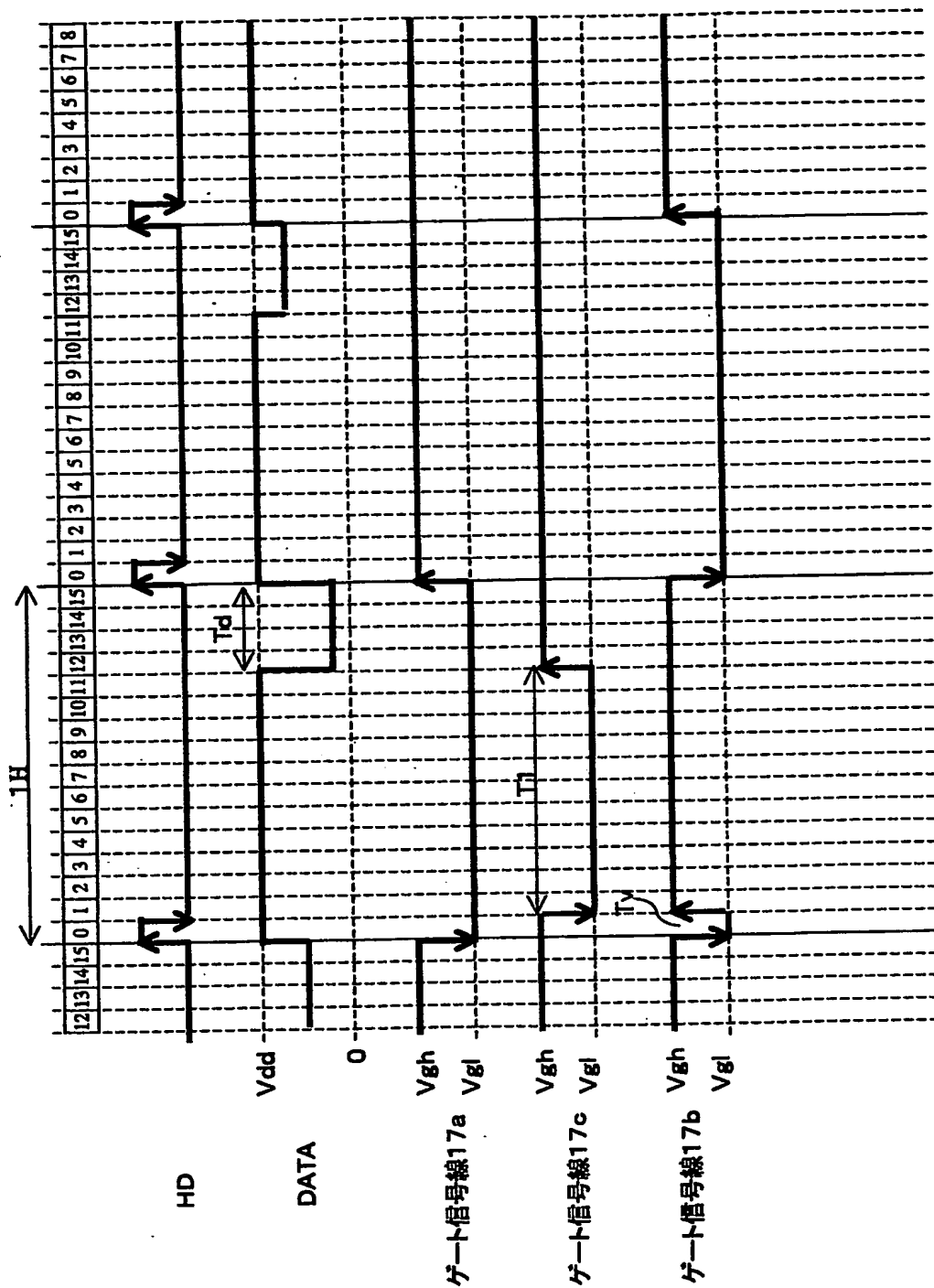
【図 49】



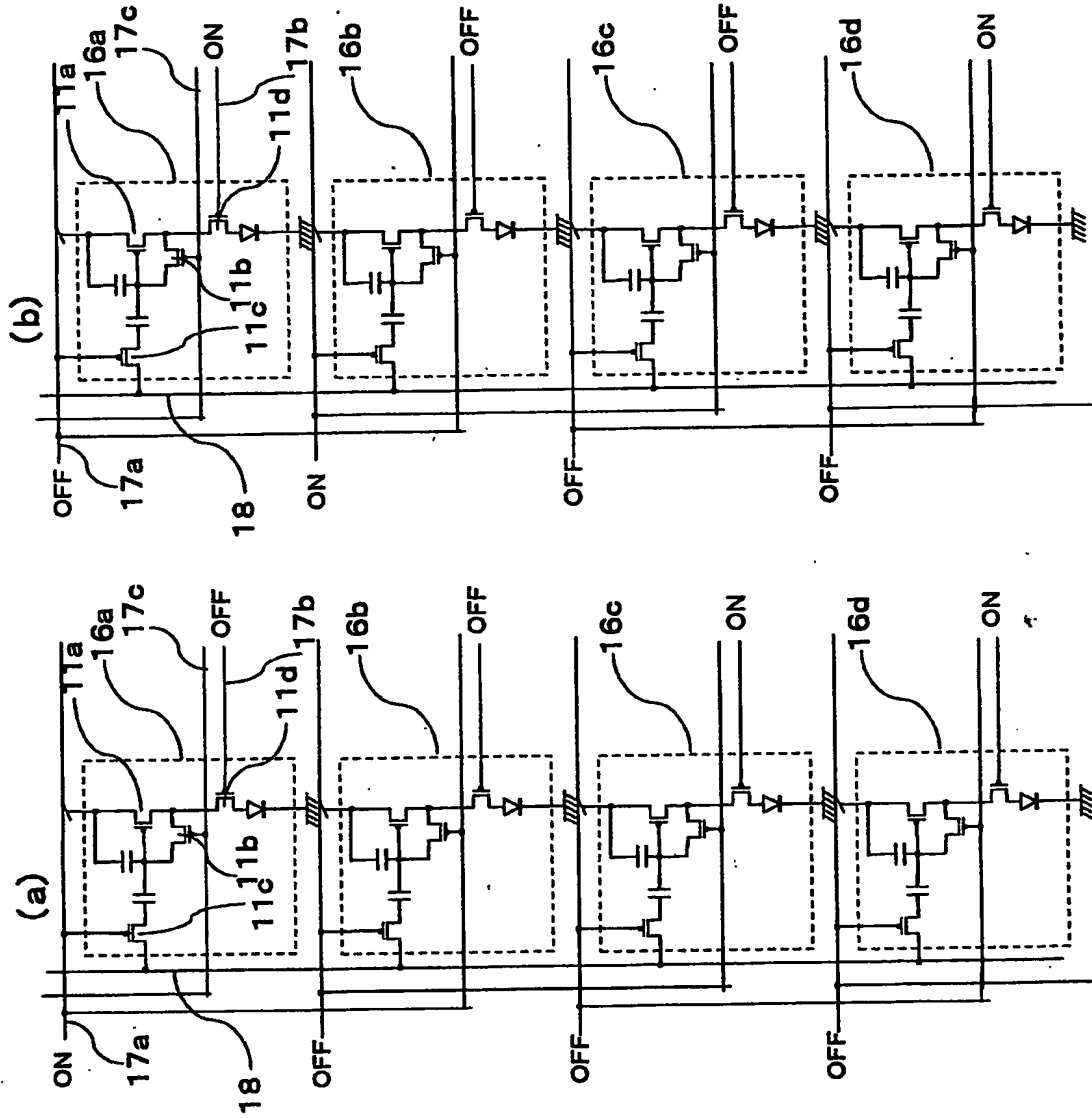
【図50】



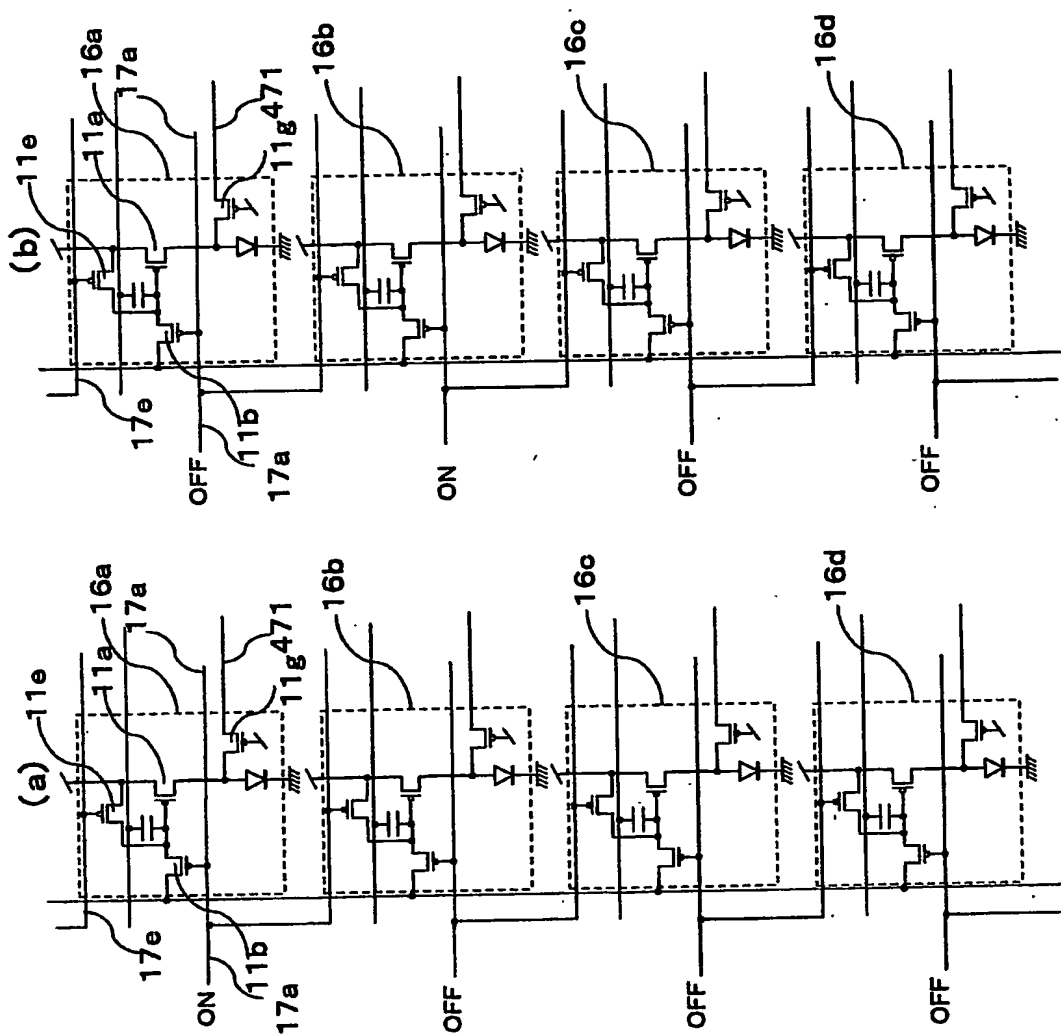
【図 5 2】



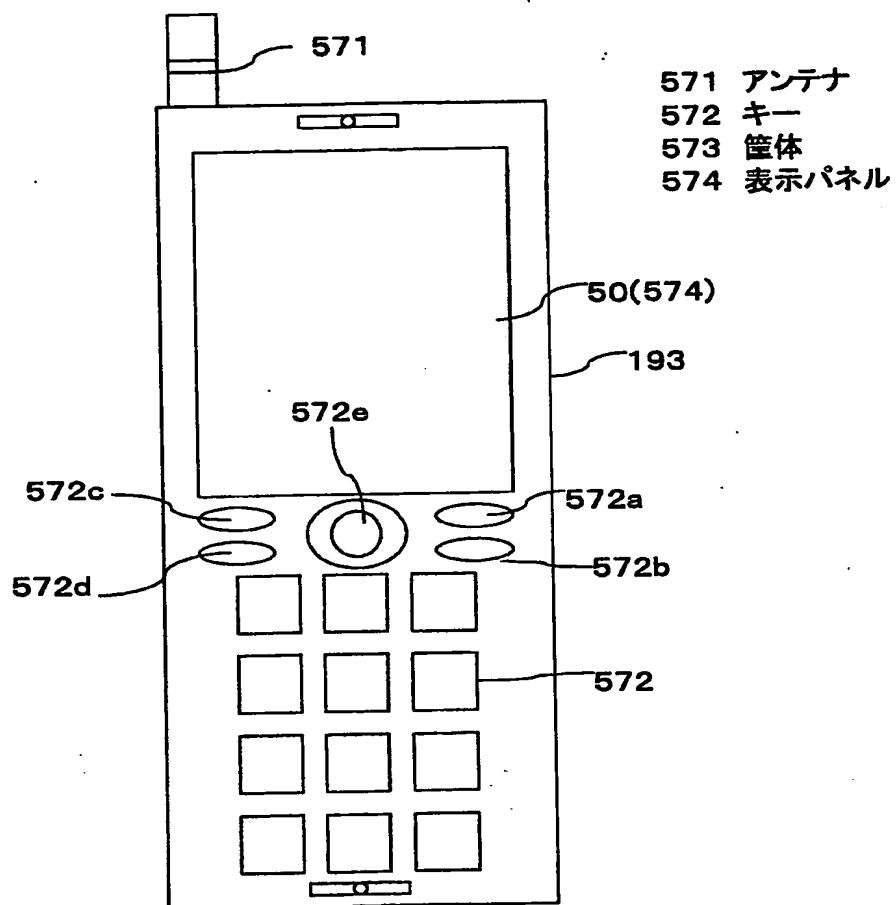
【図 53】



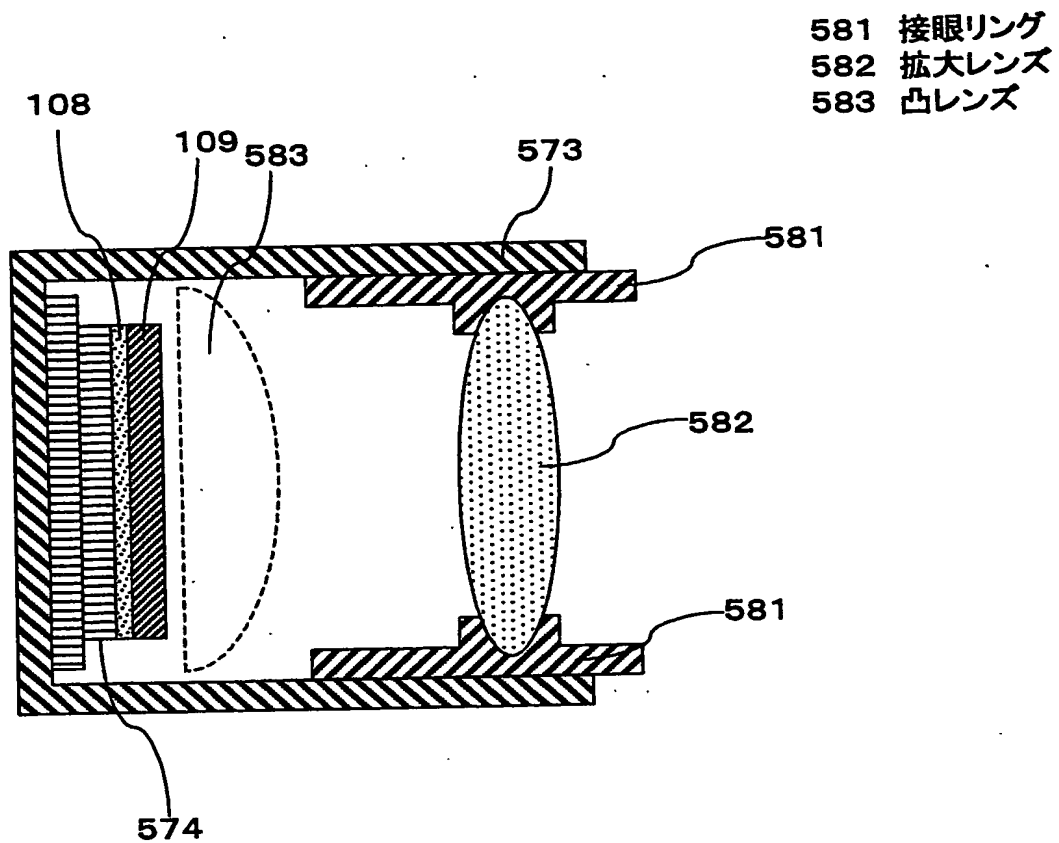
【图 5 5】



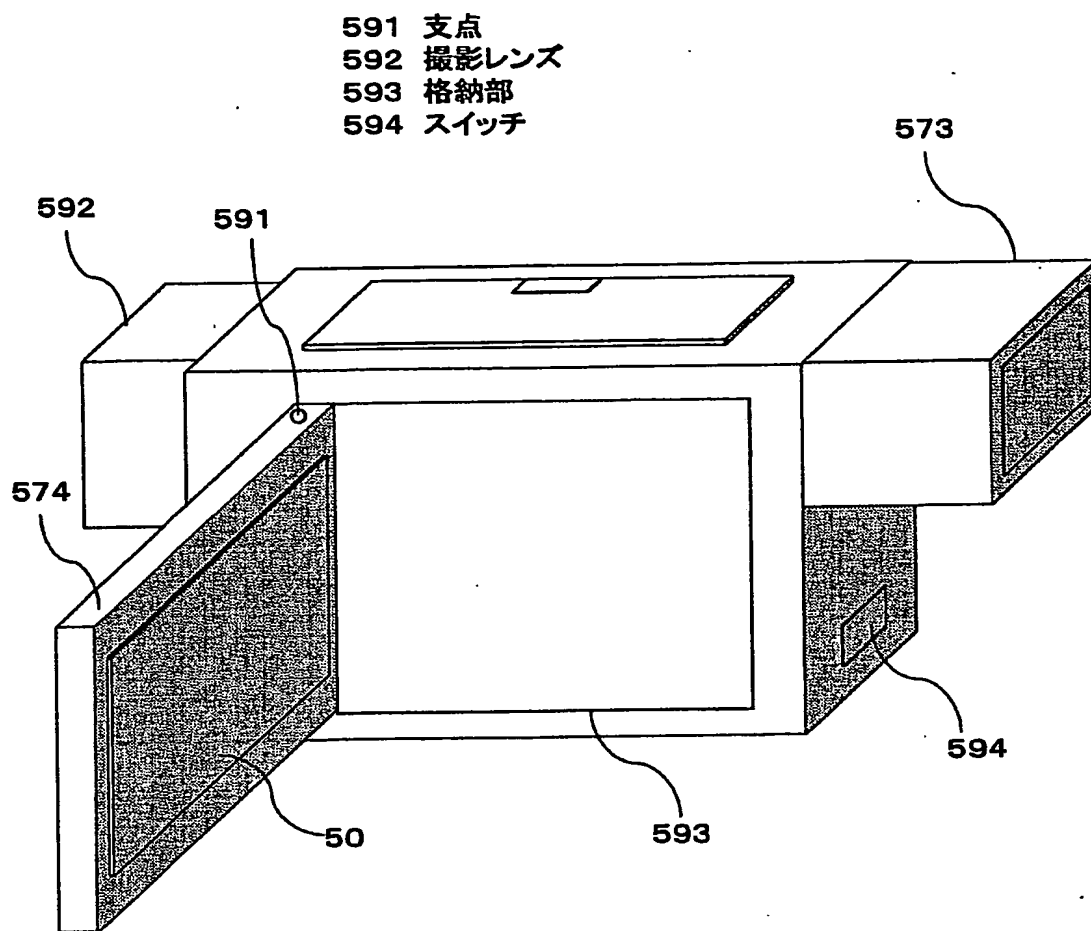
【図 5 7】



【図 5 8】

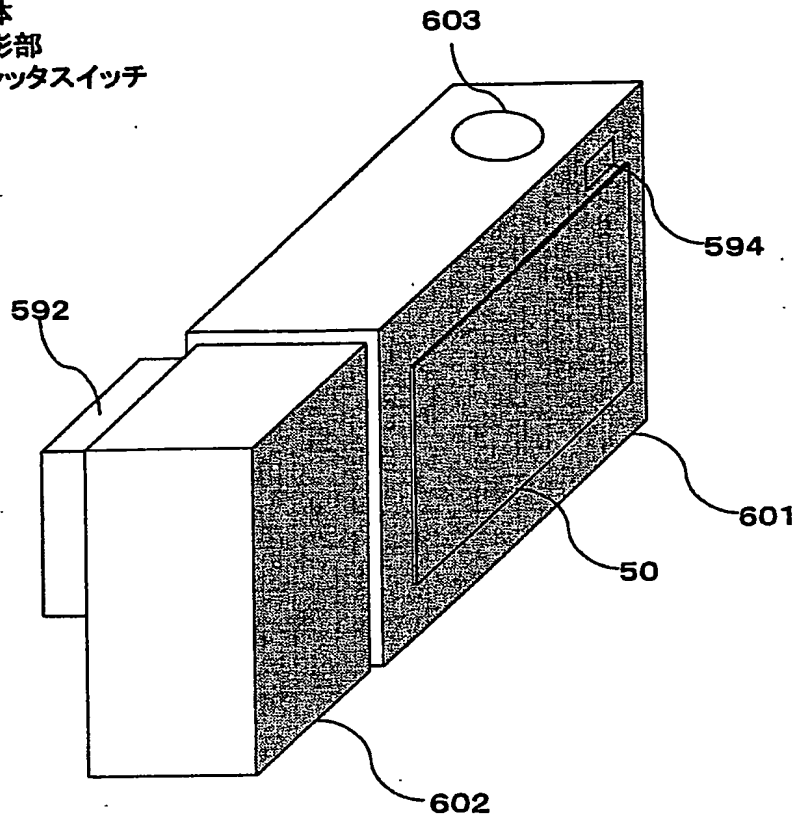


【図 59】

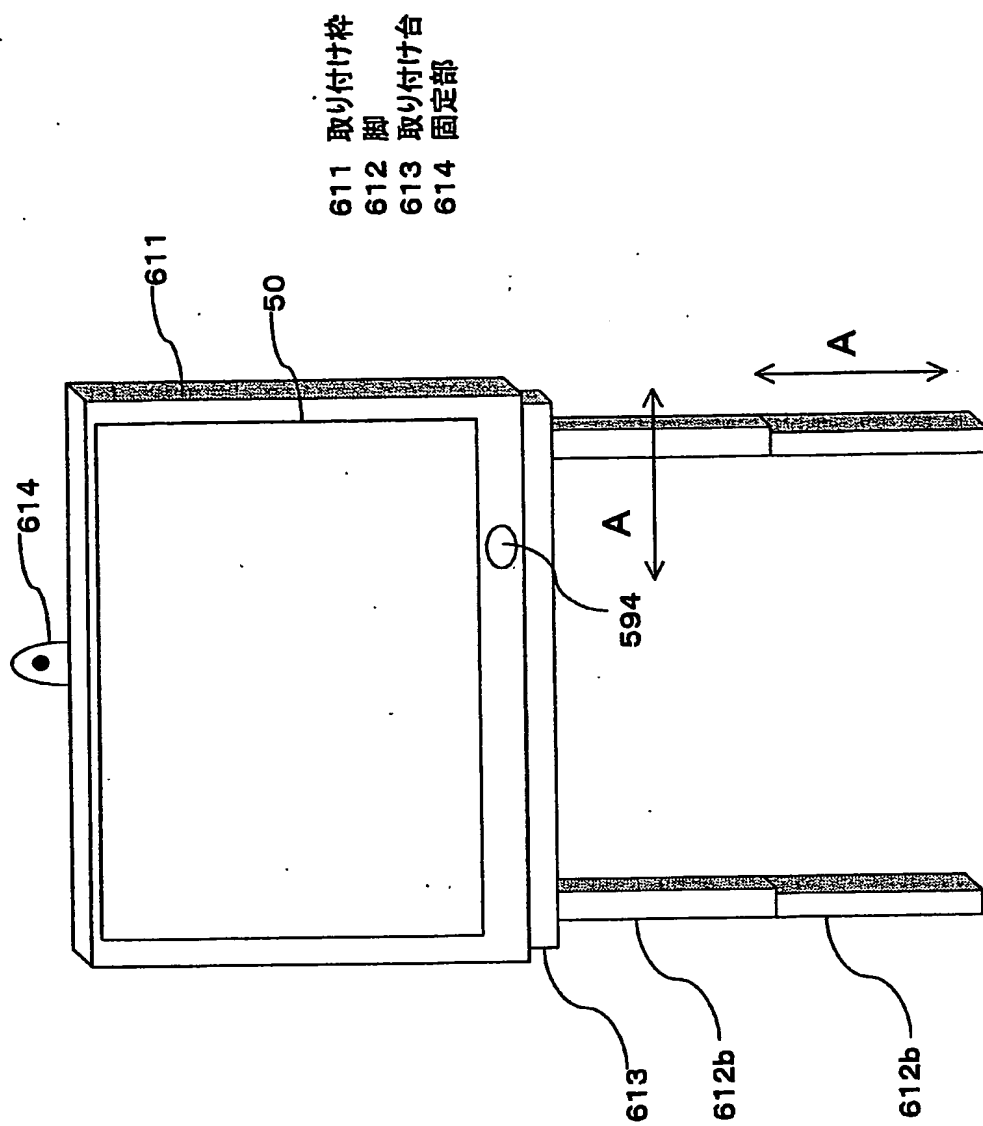


【図 6 0】

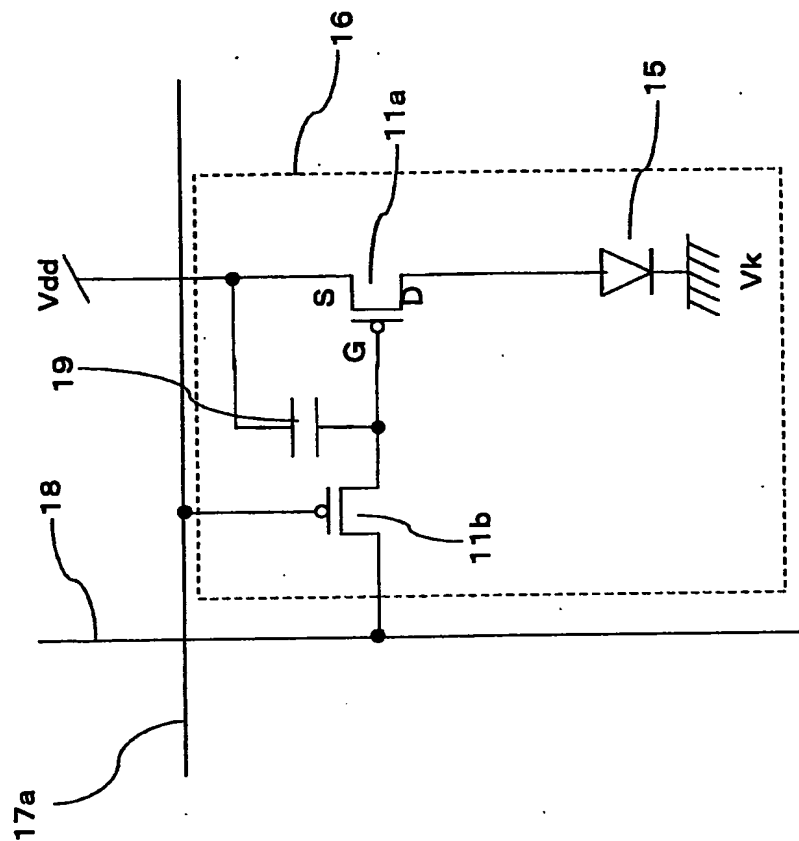
601 本体
602 撮影部
603 シャッタースイッチ



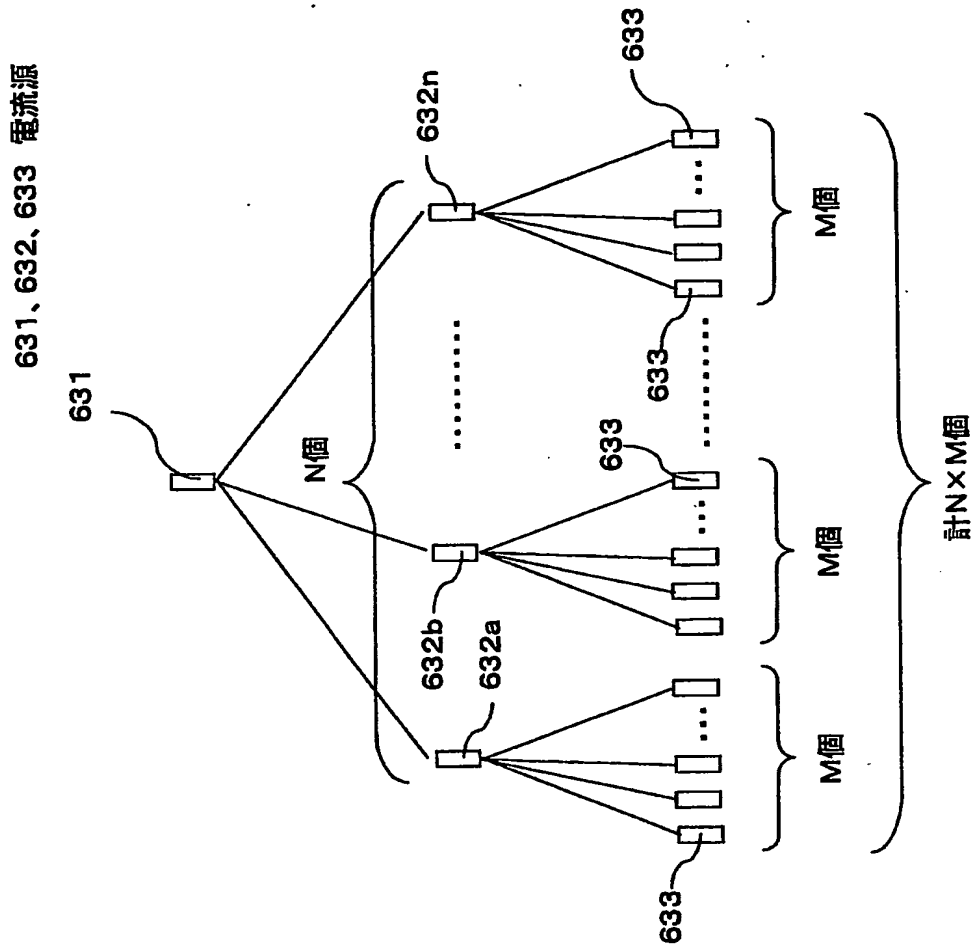
【図 6 1】



【図 62】

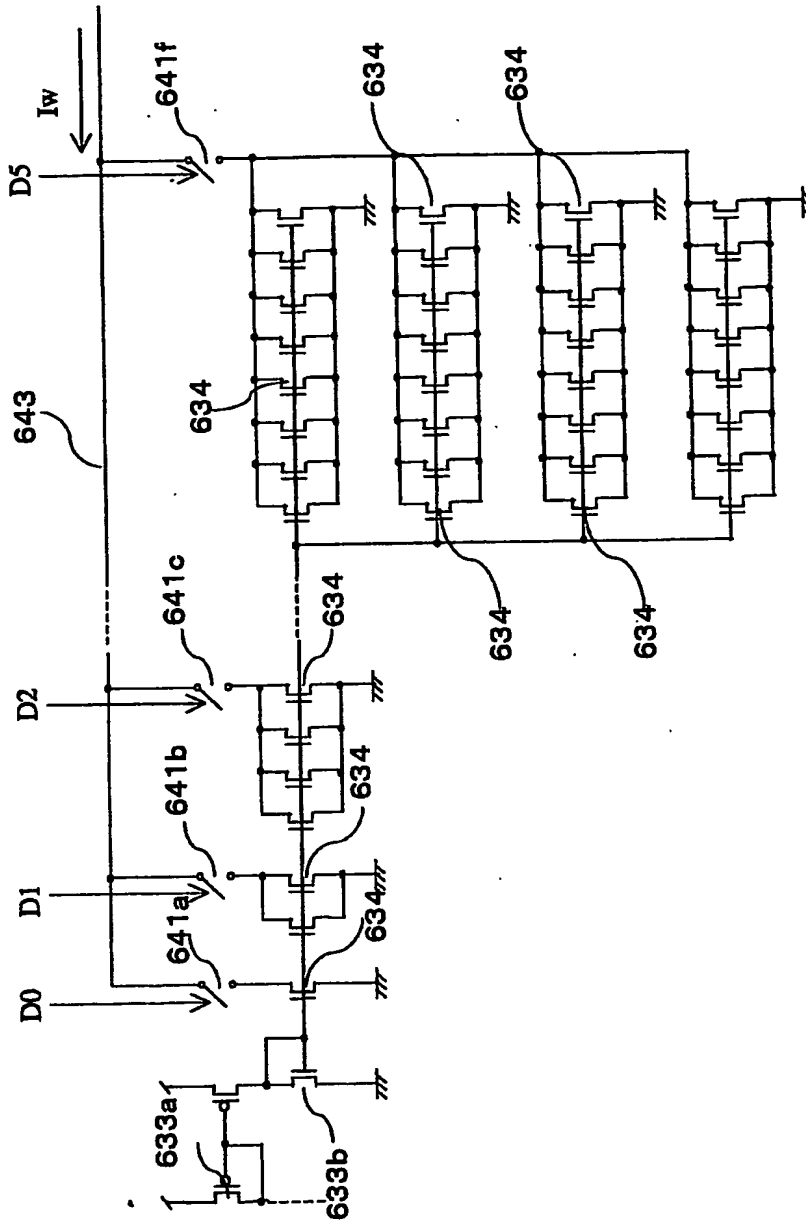


【図 6 3】

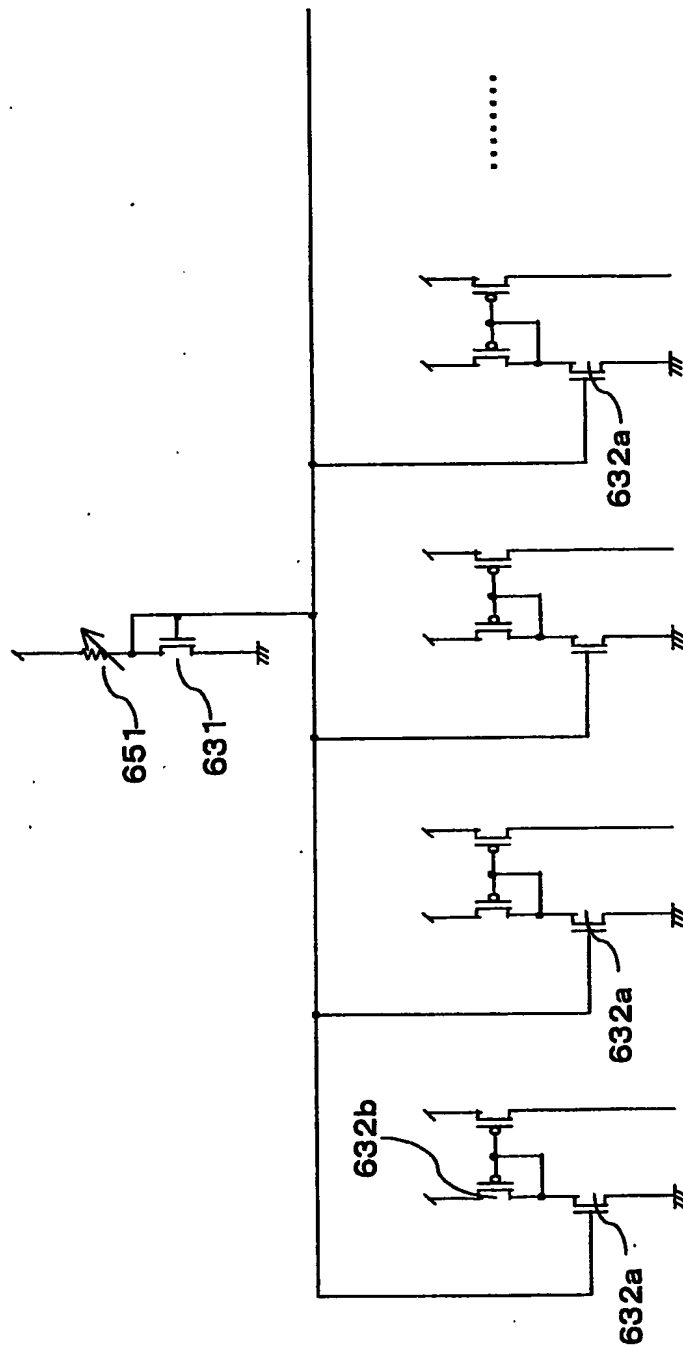


【図 64】

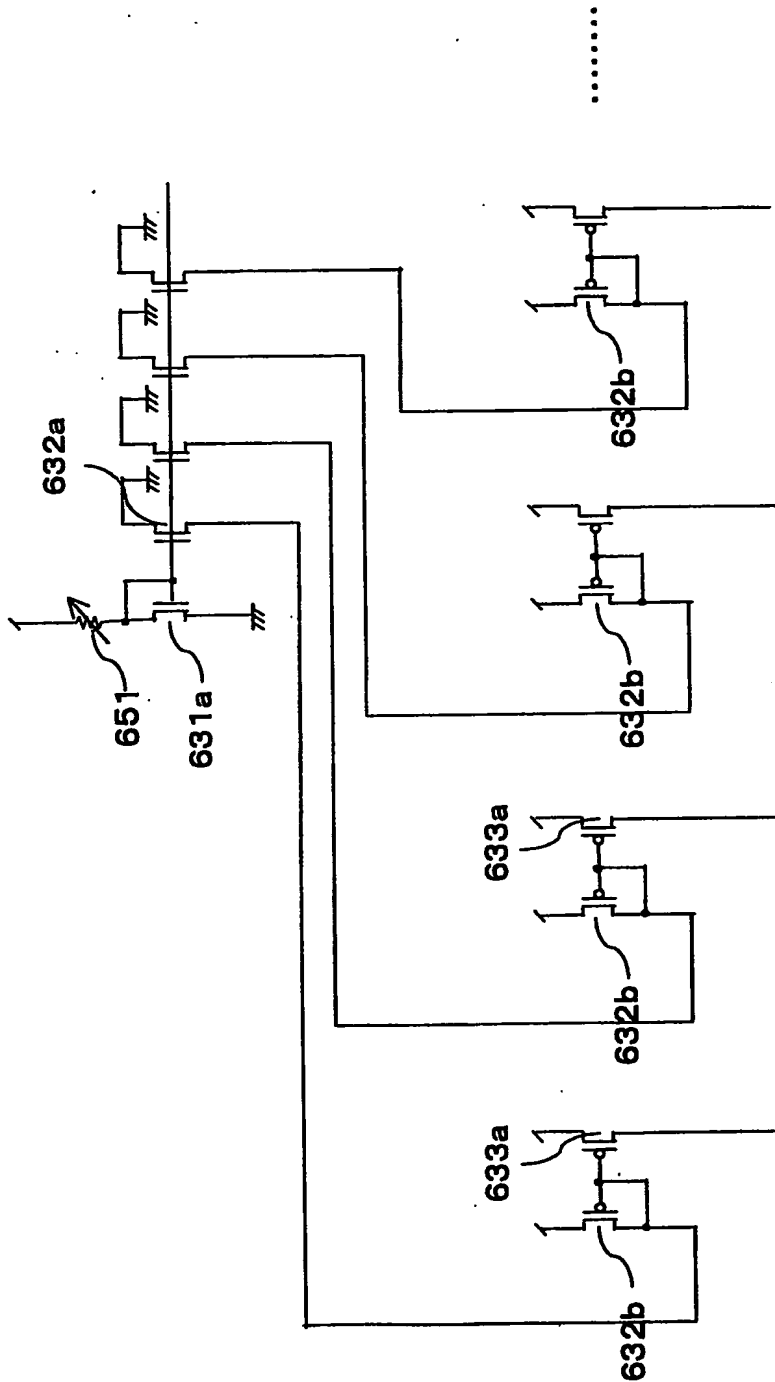
641 スイッチ(オンオフ手段)
634 電流源(1単位)
643 内部配線



【図 6 6】

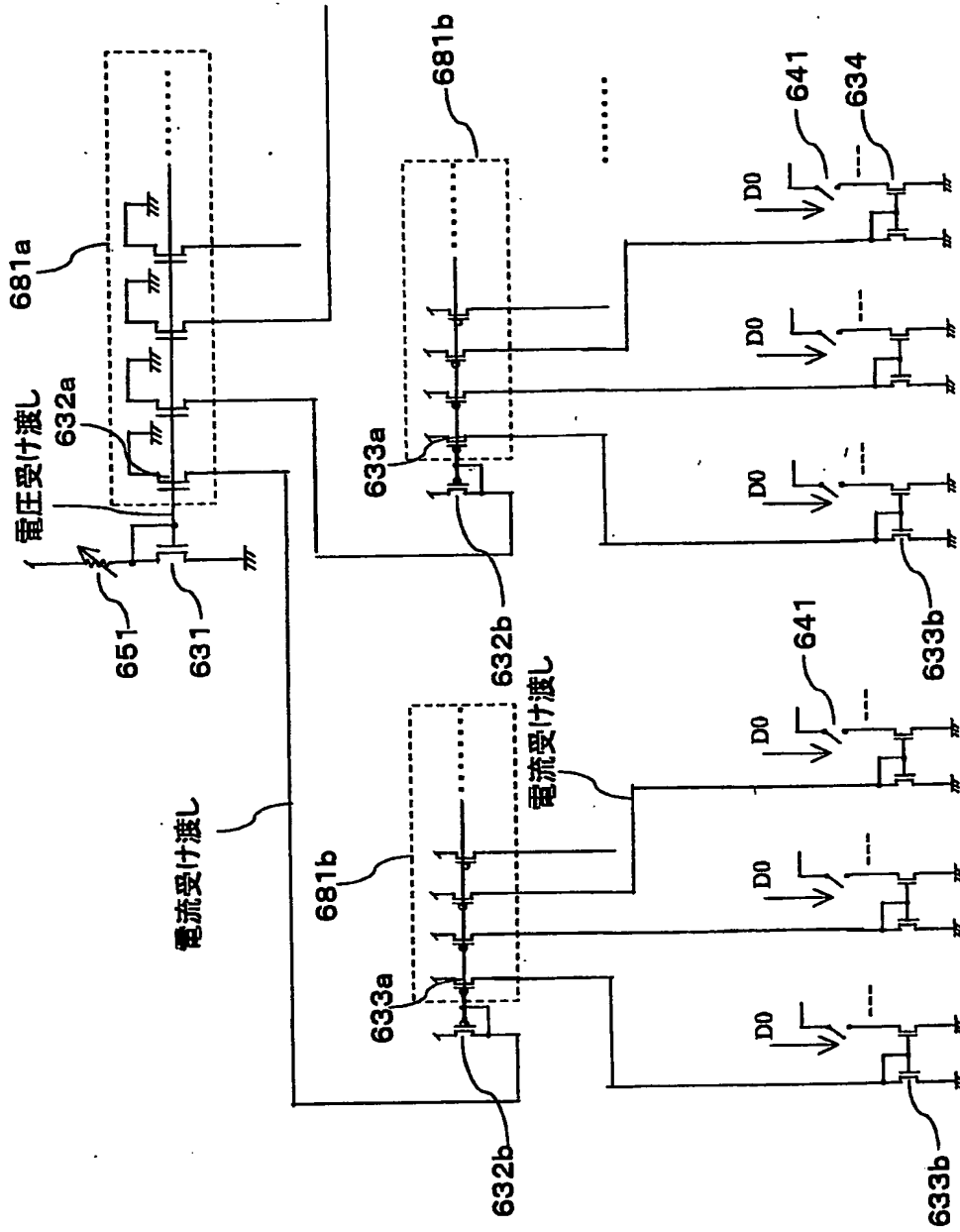


【図 67】



【図 68】

681 トランジスタ群

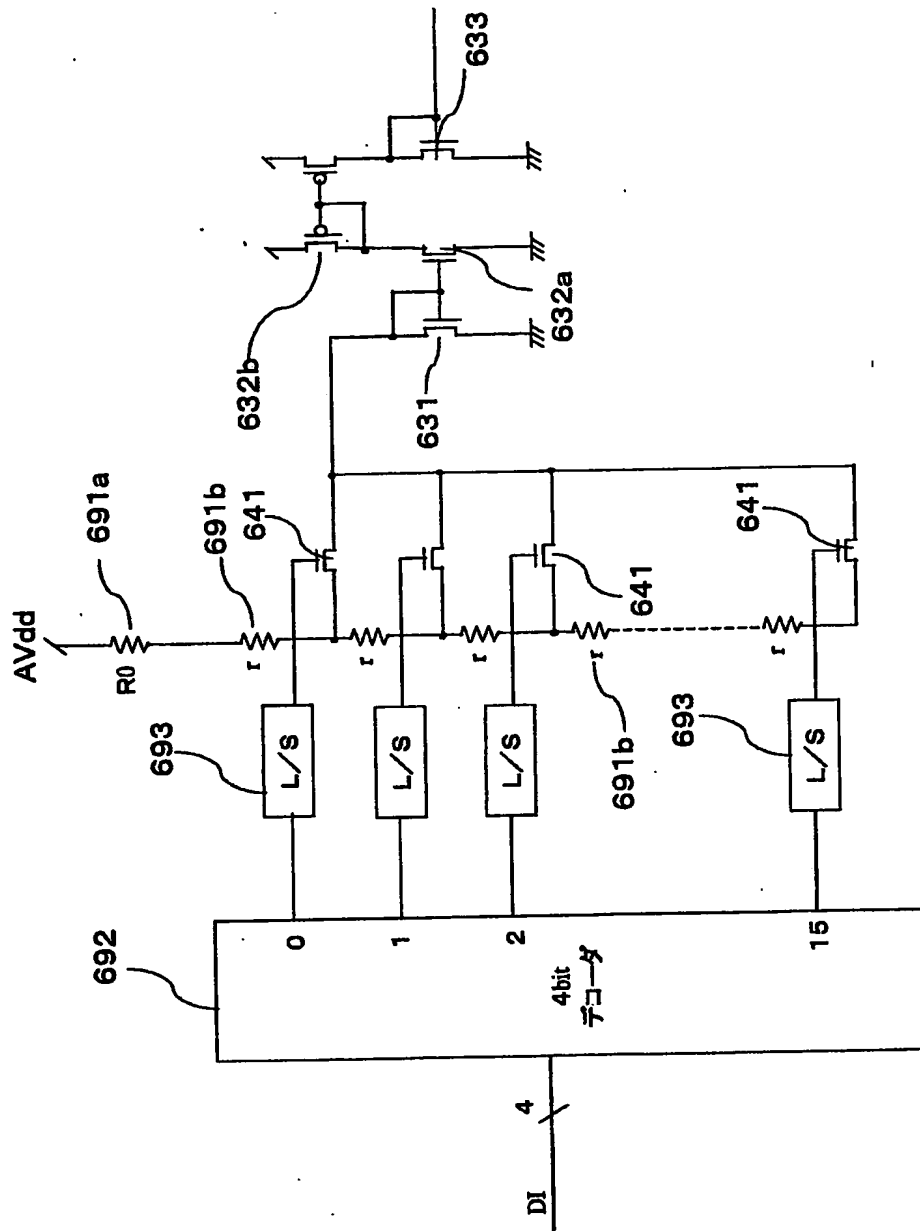


【図 69】

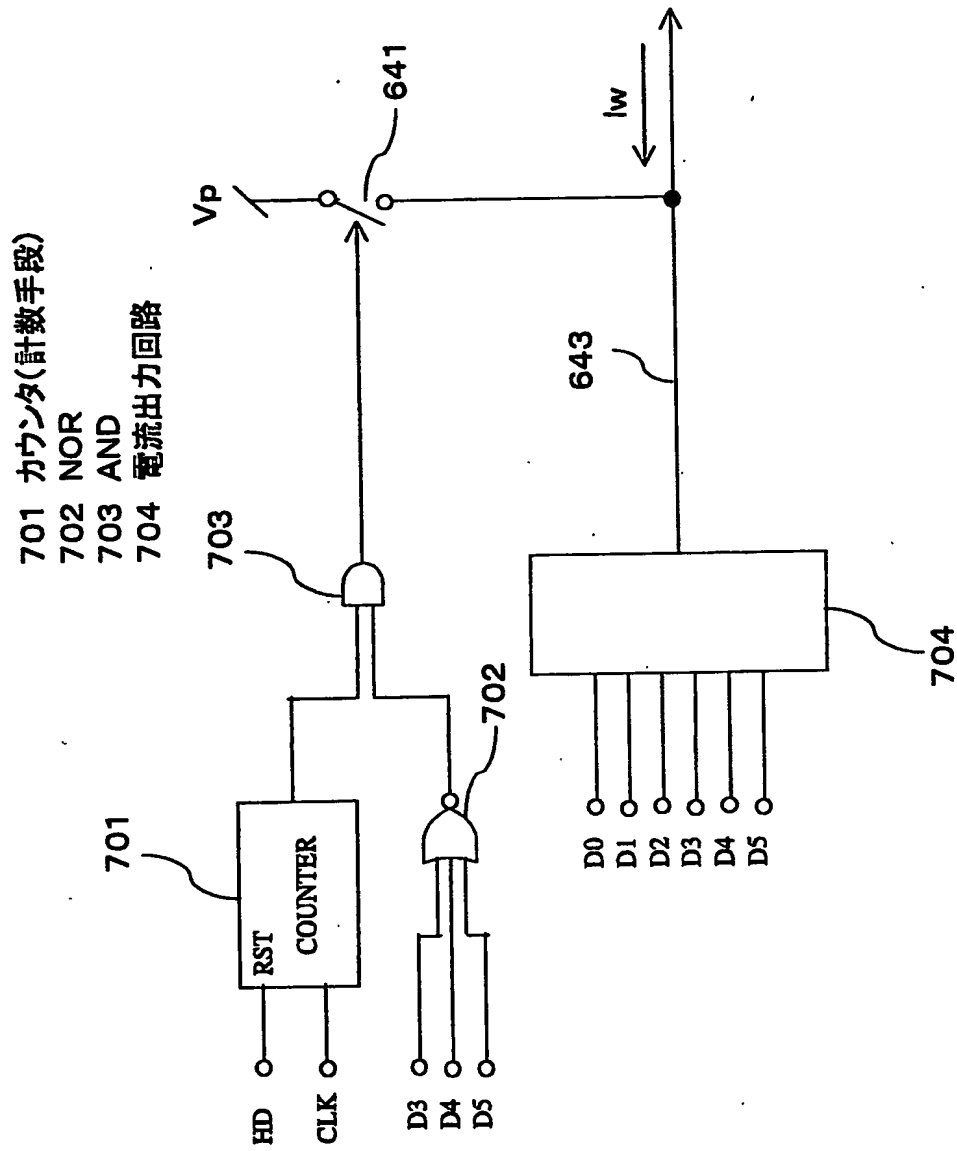
691 抵抗(電流制限手段、所定電圧発生手段)

692 デコーダ回路

693 レベルシフト回路

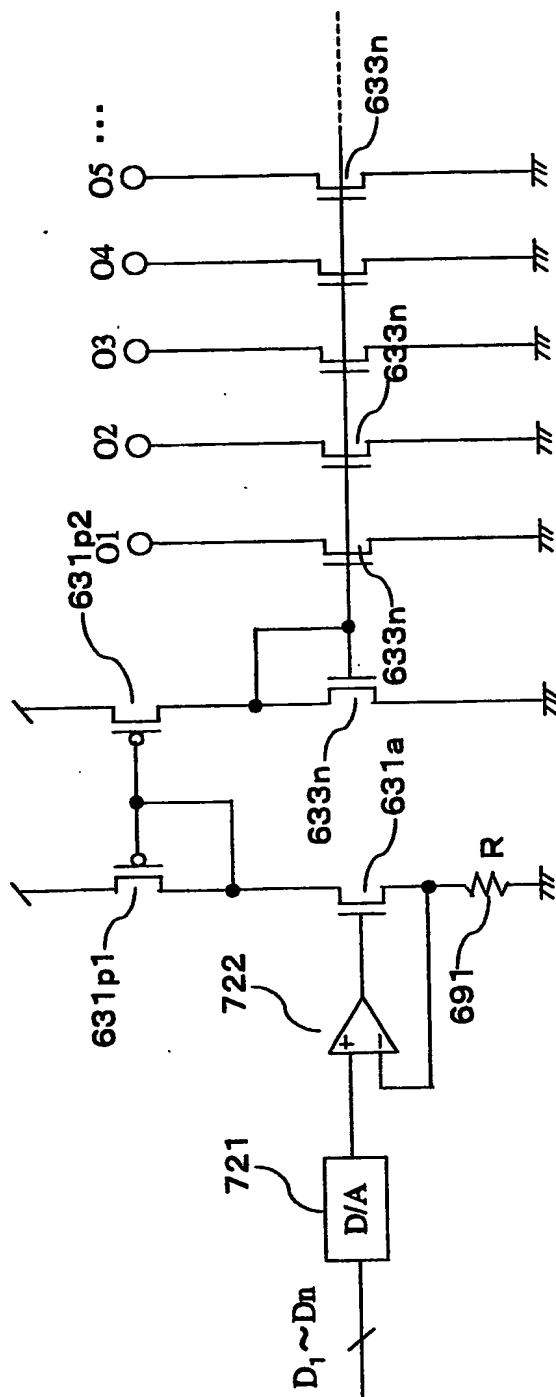


【図70】



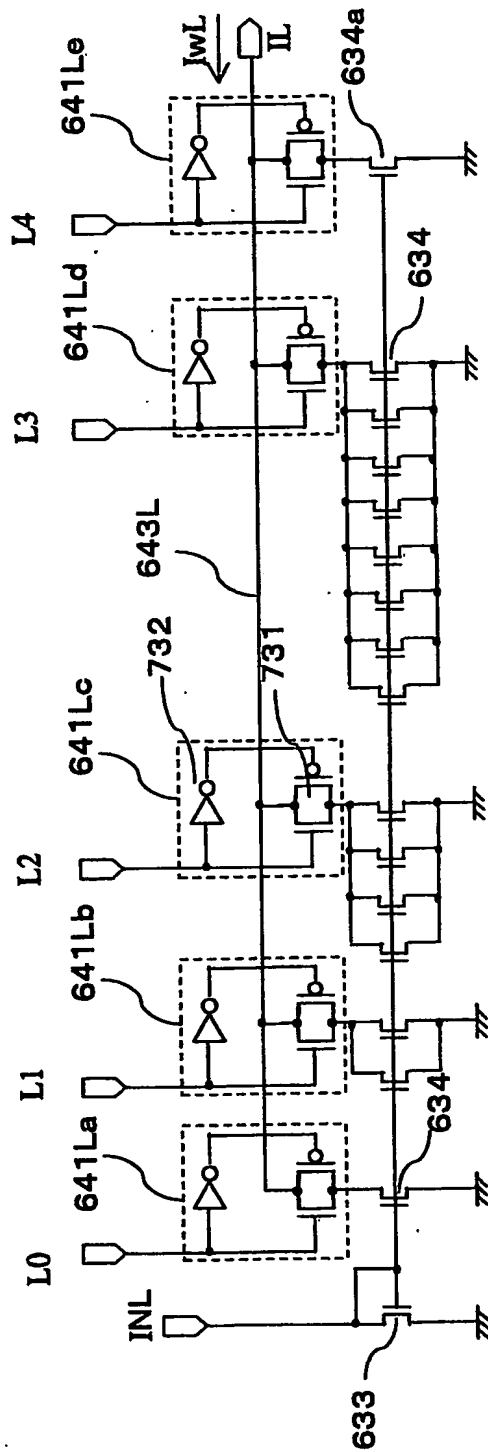
【図 72】

721 D/A変換器
722 オペアンプ

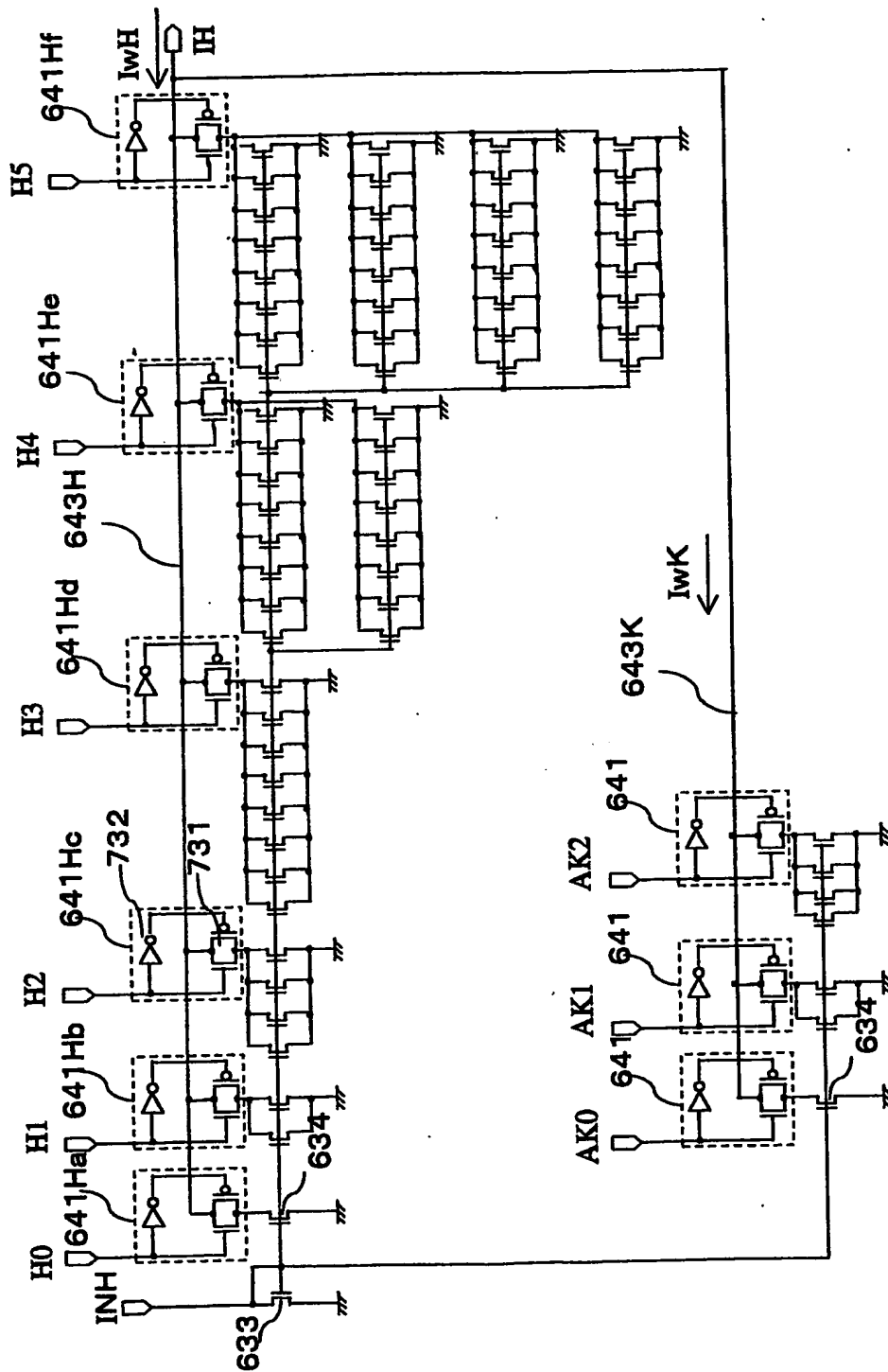


【図 73】

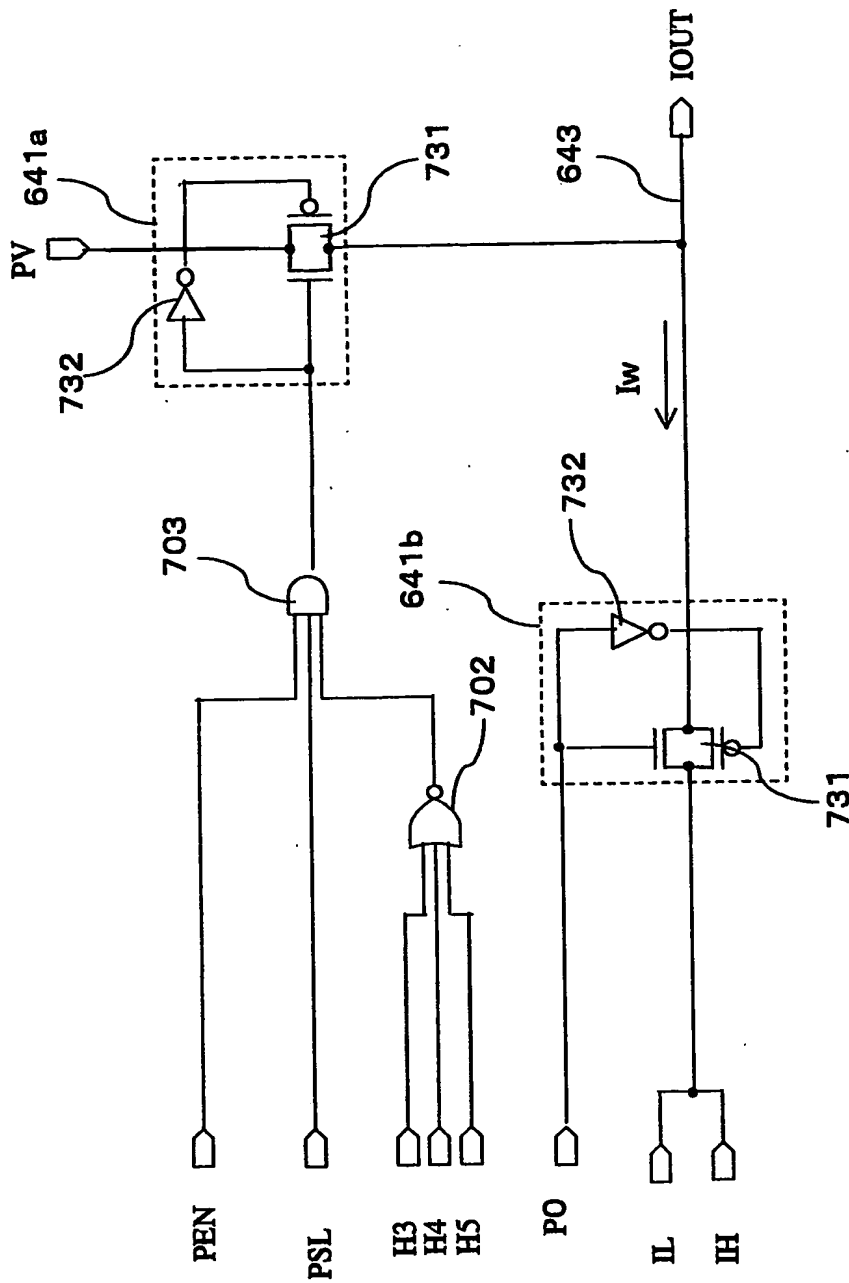
731 アナログスイッチ
732 インバータ



【図74】

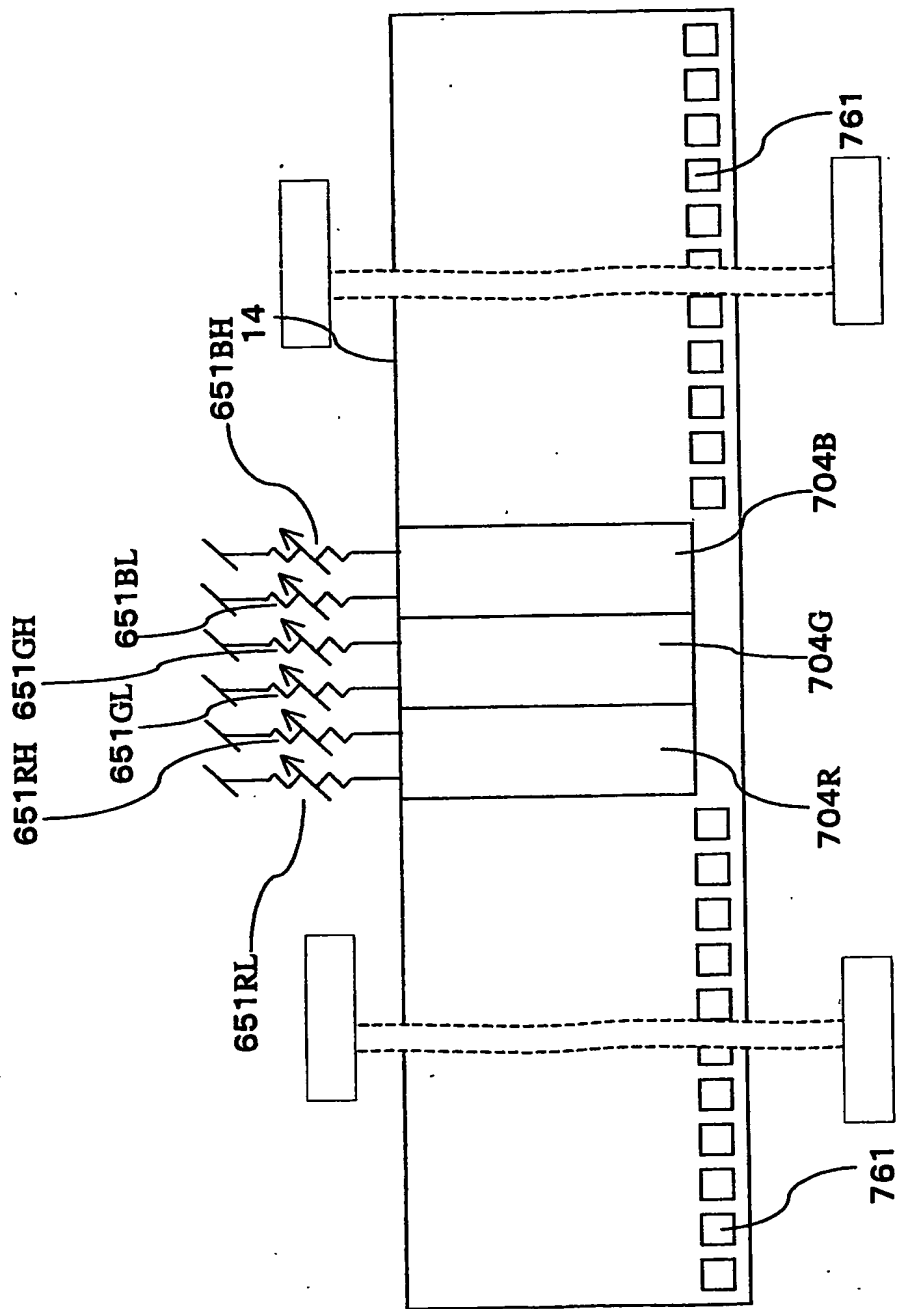


【図 75】

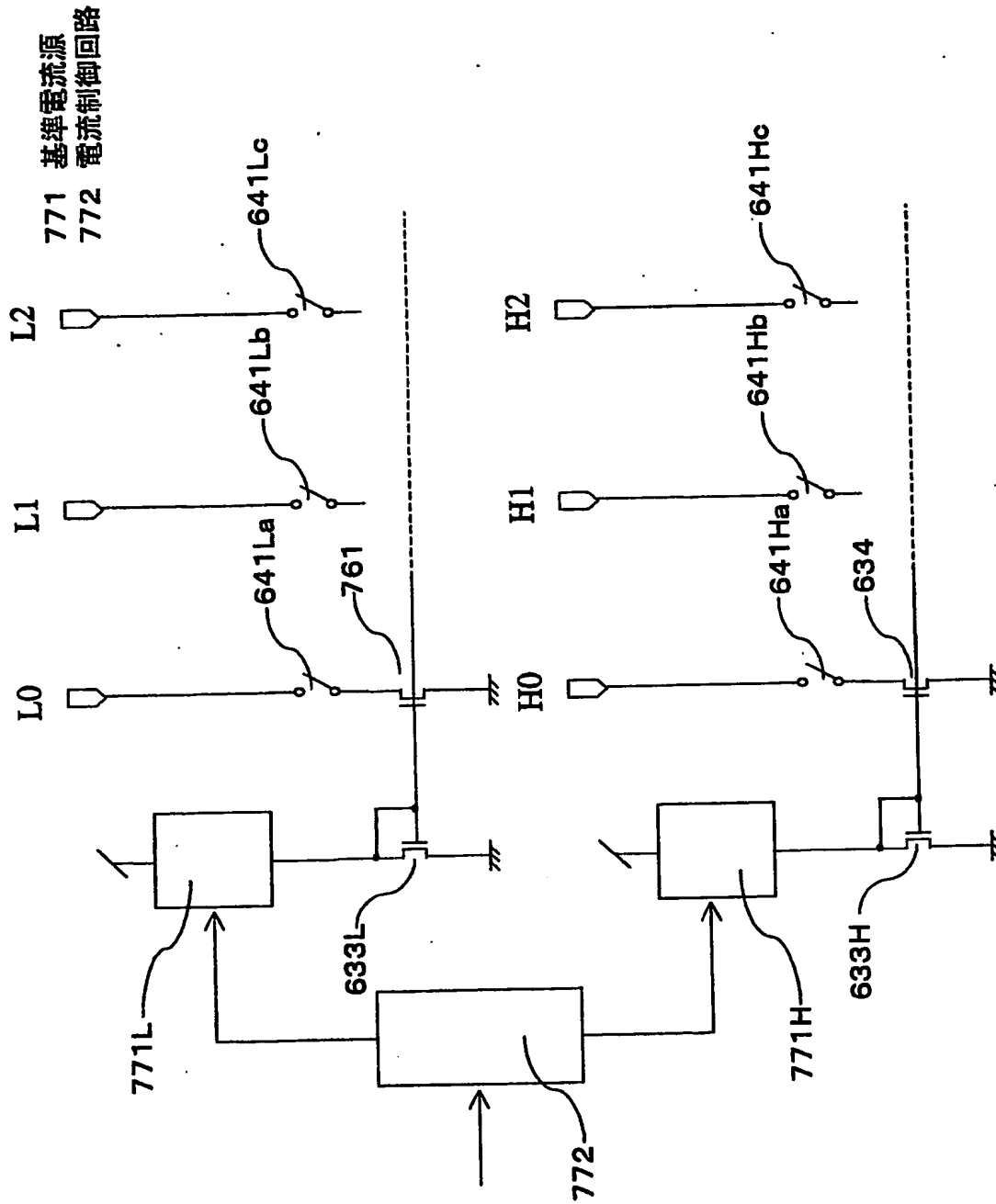


【図 7 6】

761 入出力パッド(入出力信号端子)

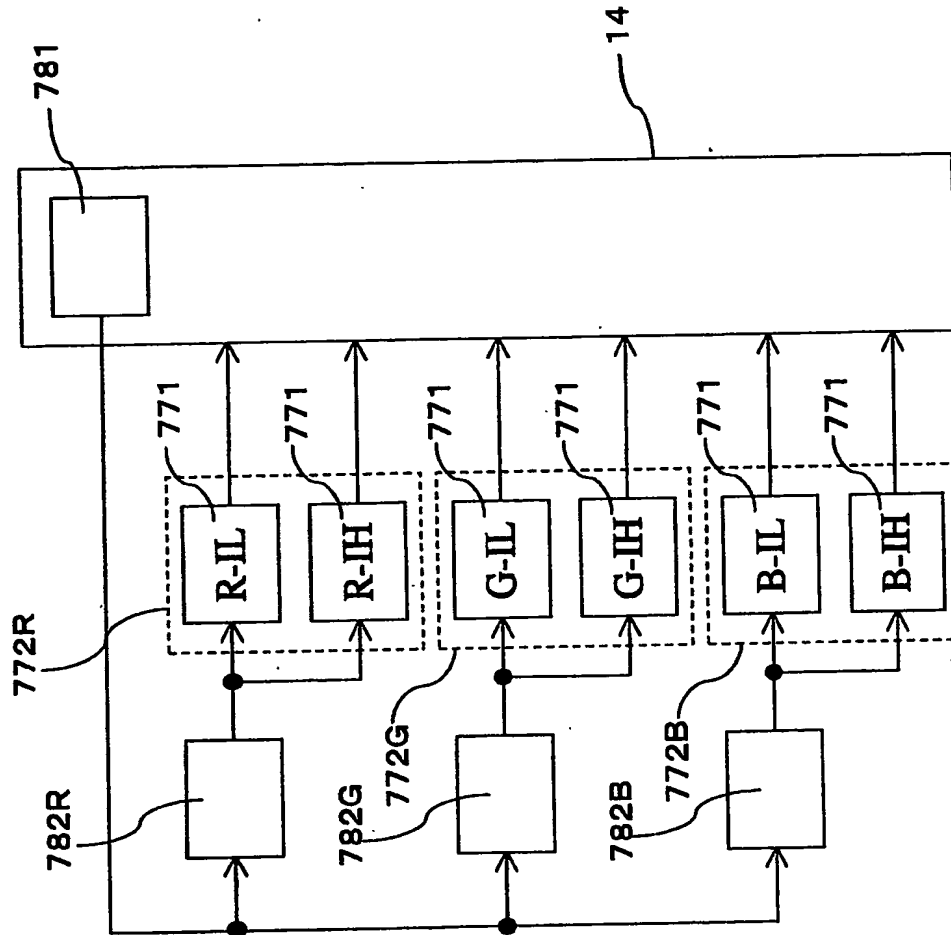


【図 77】

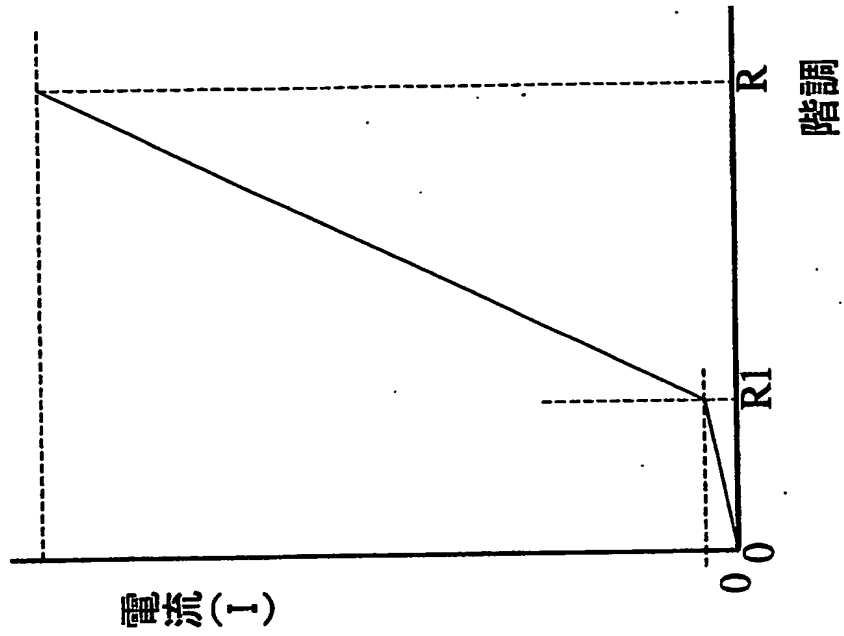


【図 7 8】

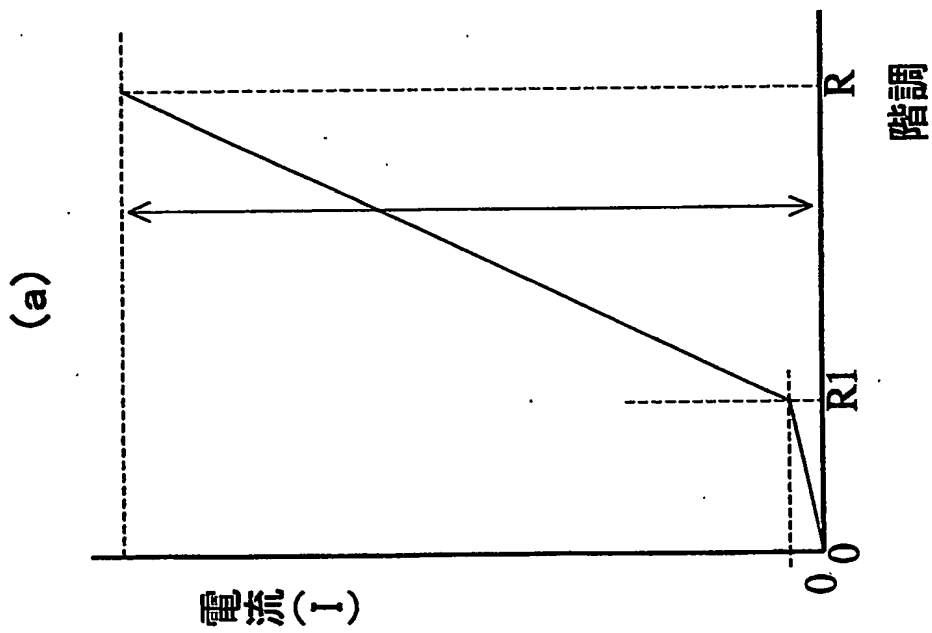
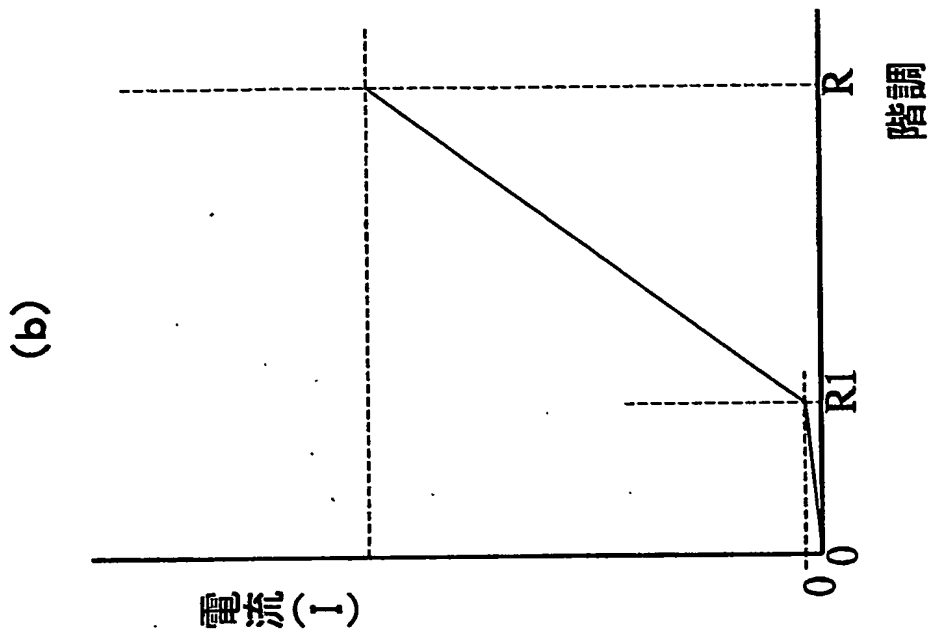
781 温度検出回路
782 温度制御回路



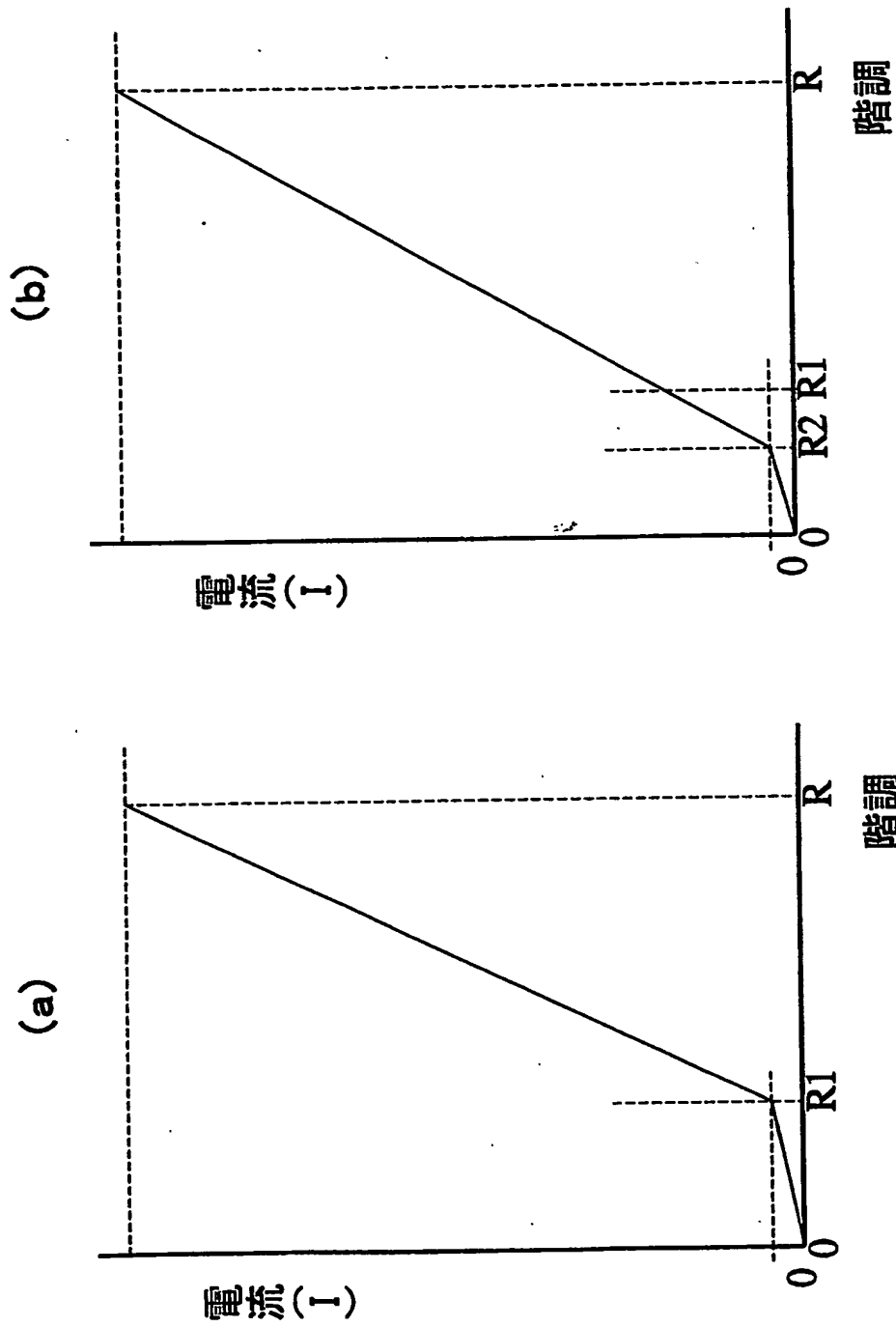
【図 79】



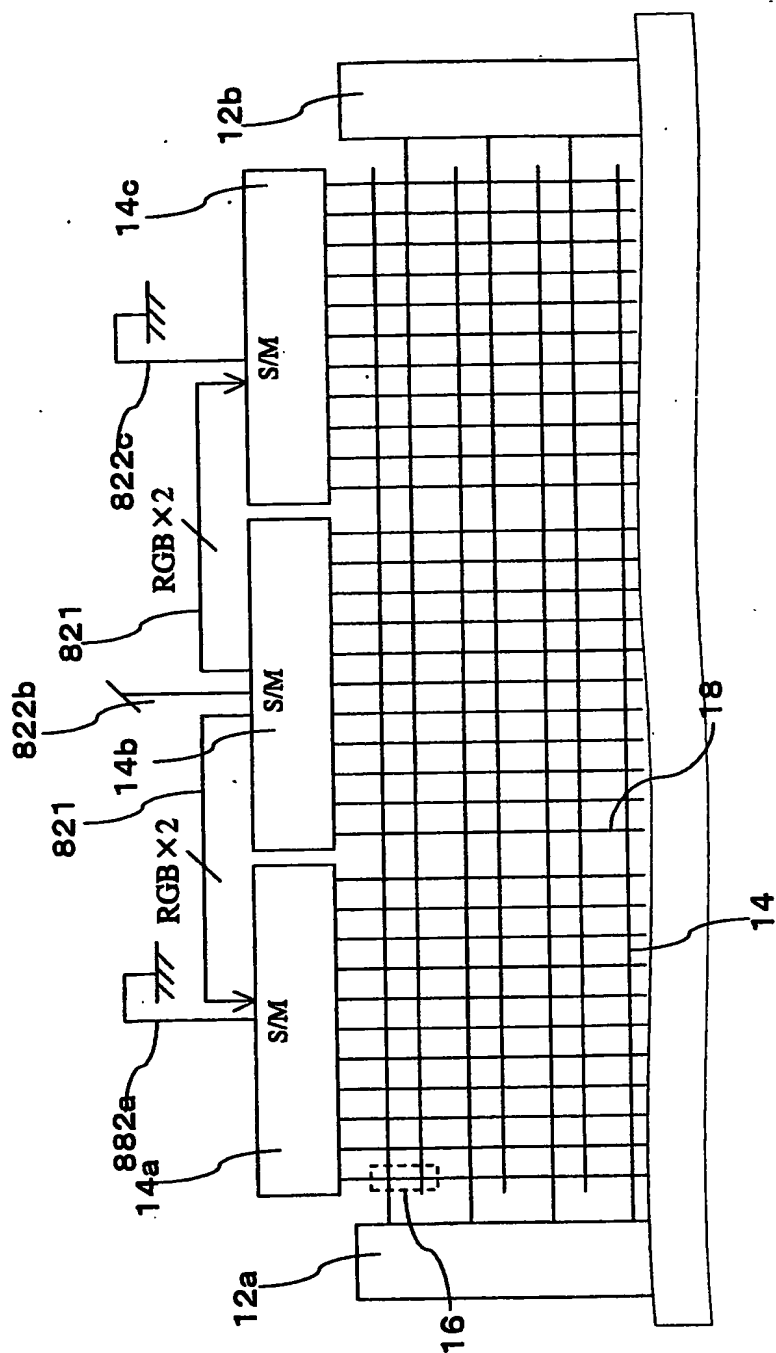
【図 80】



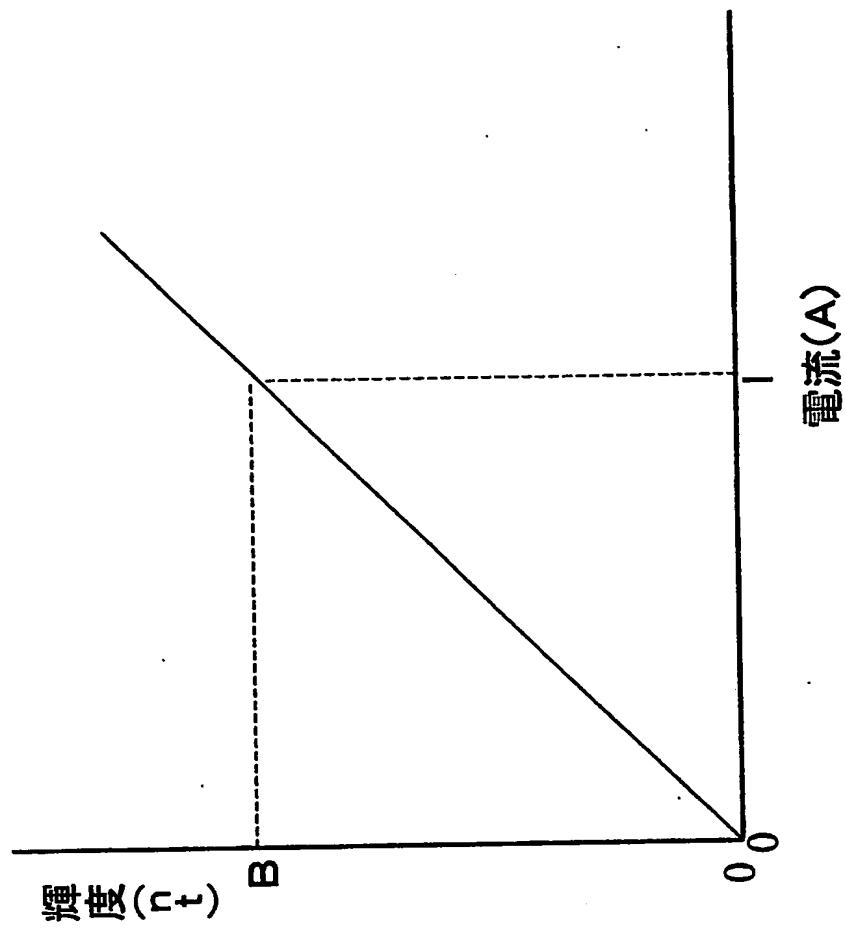
【図 8 1】



【图 8 2】



【図 83】



【図84】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	1	1	0	0	1	0	0	0	0	0	0
5	1	1	0	0	1	1	0	0	0	0	0
6	1	1	0	0	1	0	1	0	0	0	0
7	1	1	0	0	1	1	1	0	0	0	0
8	1	1	0	0	1	0	0	1	0	0	0
9	1	1	0	0	1	1	0	1	0	0	0
10	1	1	0	0	1	0	1	1	0	0	0
11	1	1	0	0	1	1	1	1	0	0	0
12	1	1	0	0	1	0	0	0	1	0	0
13	1	1	0	0	1	1	0	0	1	0	0
14	1	1	0	0	1	0	1	0	1	0	0
15	1	1	0	0	1	1	1	0	1	0	0
16	1	1	0	0	1	0	0	0	0	1	0
17	1	1	0	0	1	1	0	0	0	1	0
18	1	1	0	0	1	0	1	0	0	1	0
⋮											

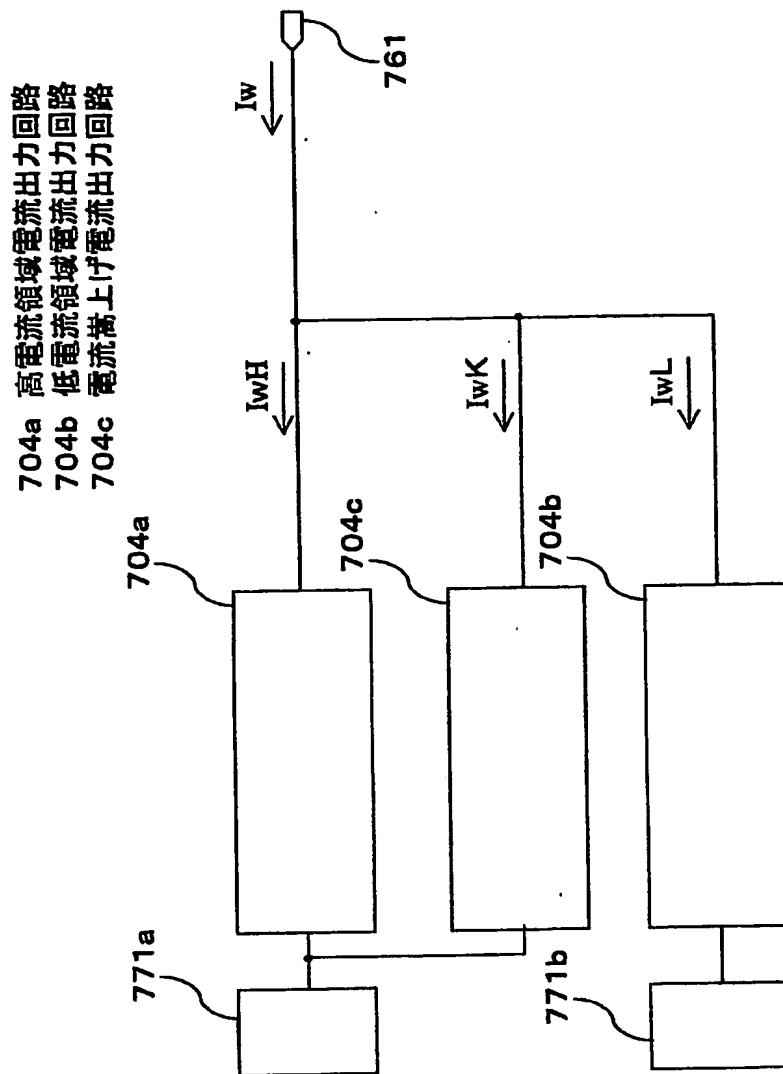
【図 8 5】

階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	1	1	1	0	1	0	0	0	0	0	0
9	1	1	1	0	1	1	0	0	0	0	0
10	1	1	1	0	1	0	1	0	0	0	0
11	1	1	1	0	1	1	1	0	0	0	0
12	1	1	1	0	1	0	0	1	0	0	0
13	1	1	1	0	1	1	0	1	0	0	0
14	1	1	1	0	1	0	1	1	0	0	0
15	1	1	1	0	1	1	1	1	0	0	0
16	1	1	1	0	1	0	0	0	1	0	0
17	1	1	1	0	1	1	0	0	1	0	0
18	1	1	1	0	1	0	1	0	1	0	0
⋮											

【図 8 6】

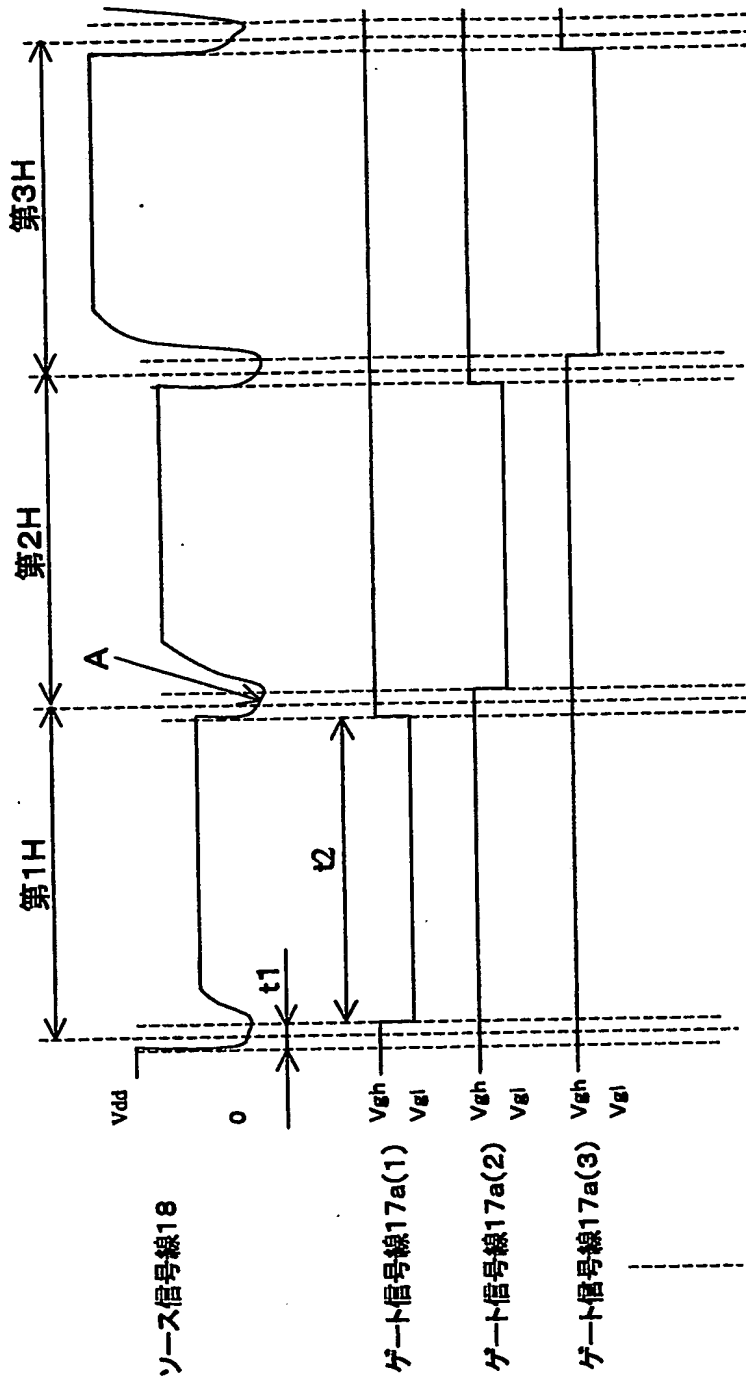
階調	L0	L1	L2	L3	L4	H0	H1	H2	H3	H4	H5
0	0	0	0	0	0	0	0	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0
2	0	1	0	0	0	0	0	0	0	0	0
3	1	1	0	0	0	0	0	0	0	0	0
4	0	0	1	0	0	0	0	0	0	0	0
5	1	0	1	0	0	0	0	0	0	0	0
6	0	1	1	0	0	0	0	0	0	0	0
7	1	1	1	0	0	0	0	0	0	0	0
8	0	0	0	1	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	0	0	0
10	0	1	0	1	0	0	0	0	0	0	0
11	1	1	0	1	0	0	0	0	0	0	0
12	0	0	1	1	0	0	0	0	0	0	0
13	1	0	1	1	0	0	0	0	0	0	0
14	0	1	1	1	0	0	0	0	0	0	0
15	1	1	1	1	0	0	0	0	0	0	0
16	1	1	1	1	1	0	0	0	0	0	0
17	1	1	0	0	1	1	0	0	0	0	0
18	1	1	0	0	1	0	1	0	0	0	0
⋮											

【図 87】

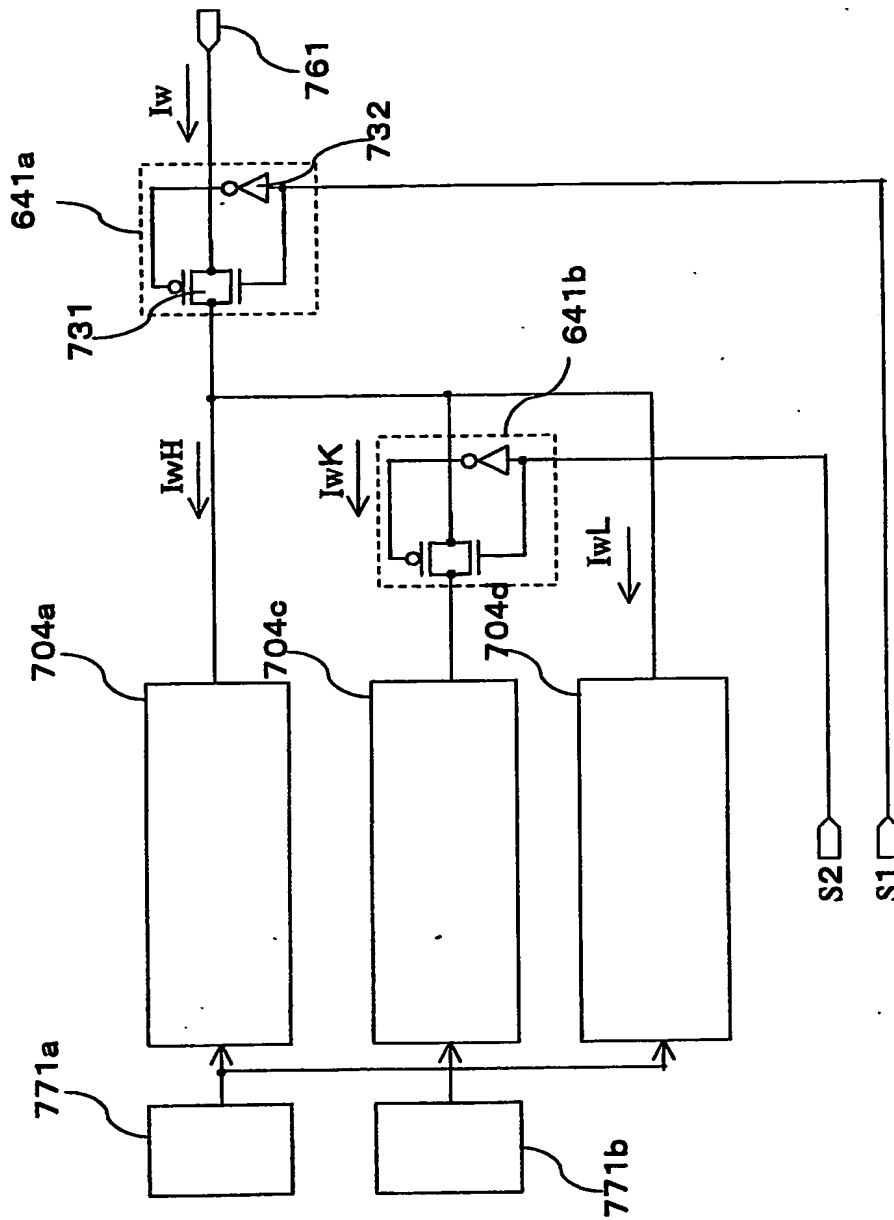


704a 高電流領域電流出力回路
704b 低電流領域電流出力回路
704c 電流嵩上げ電流出力回路

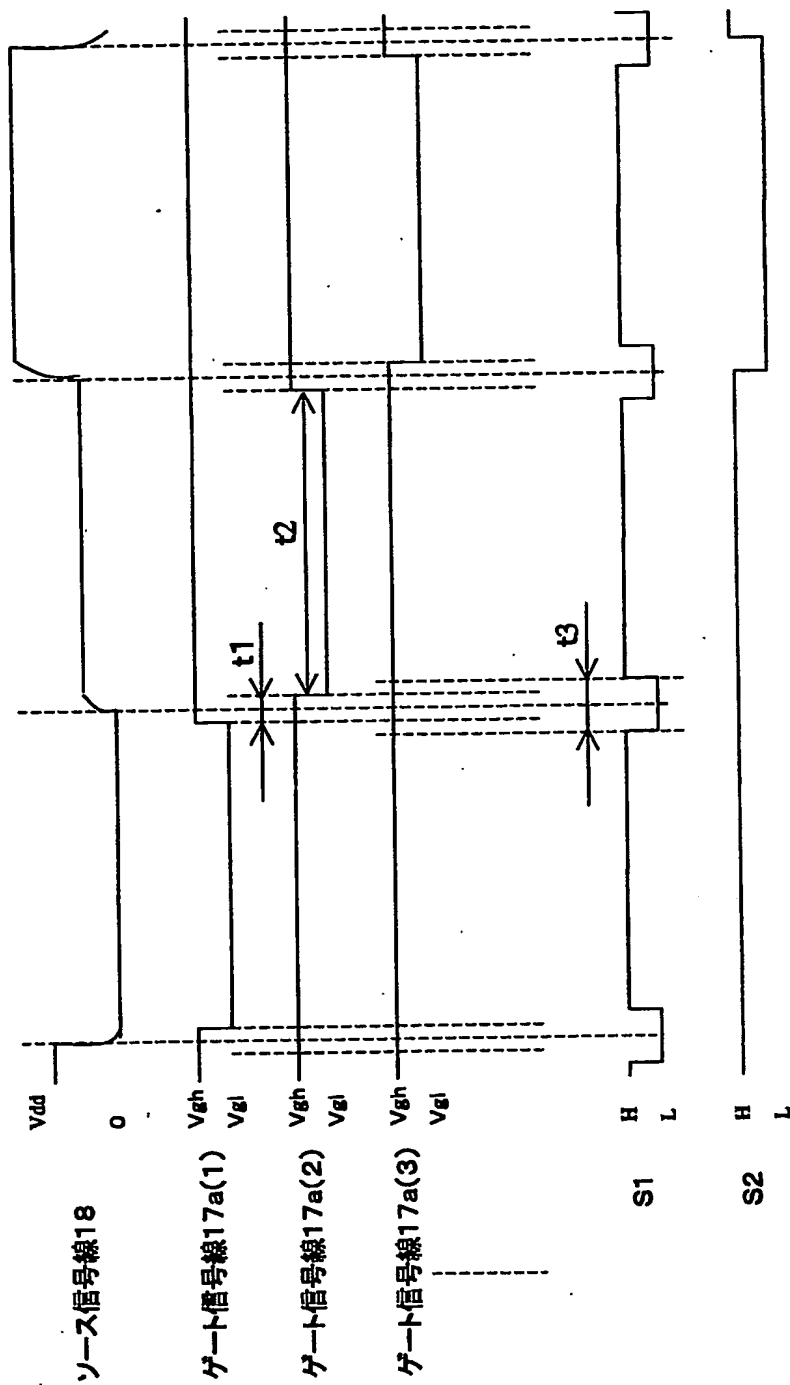
【図 88】



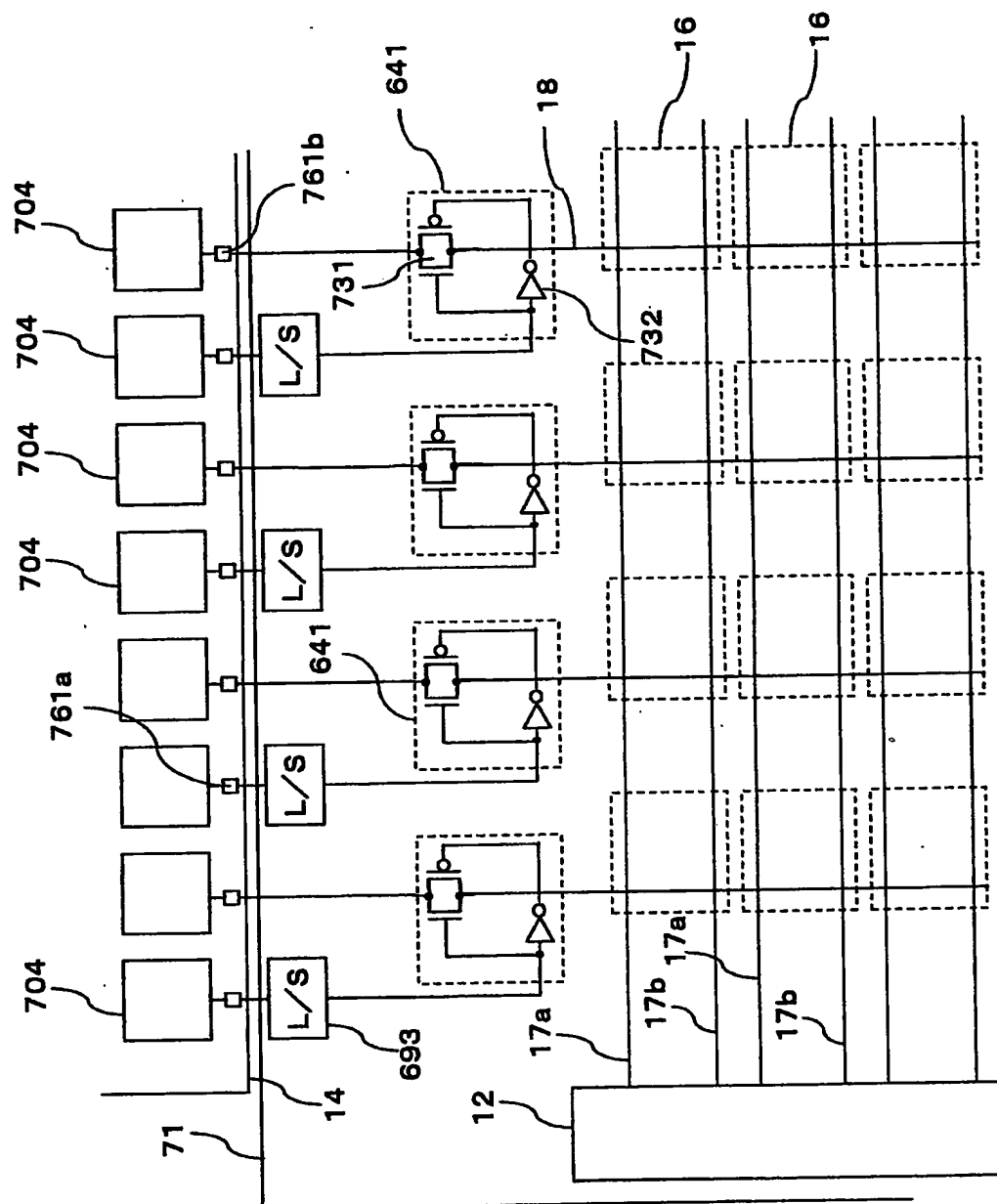
【図 89】



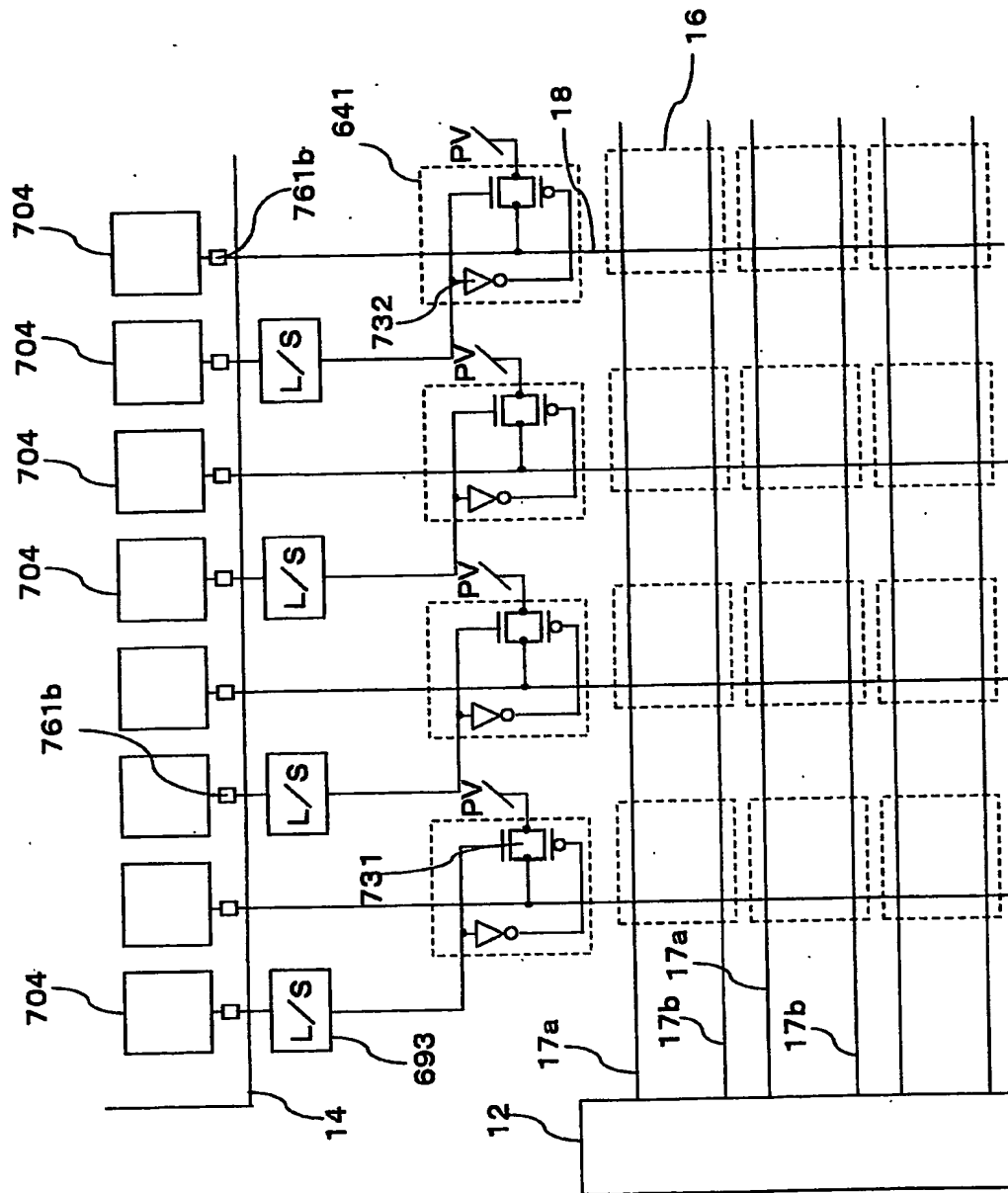
【図90】



【圖 9 1】

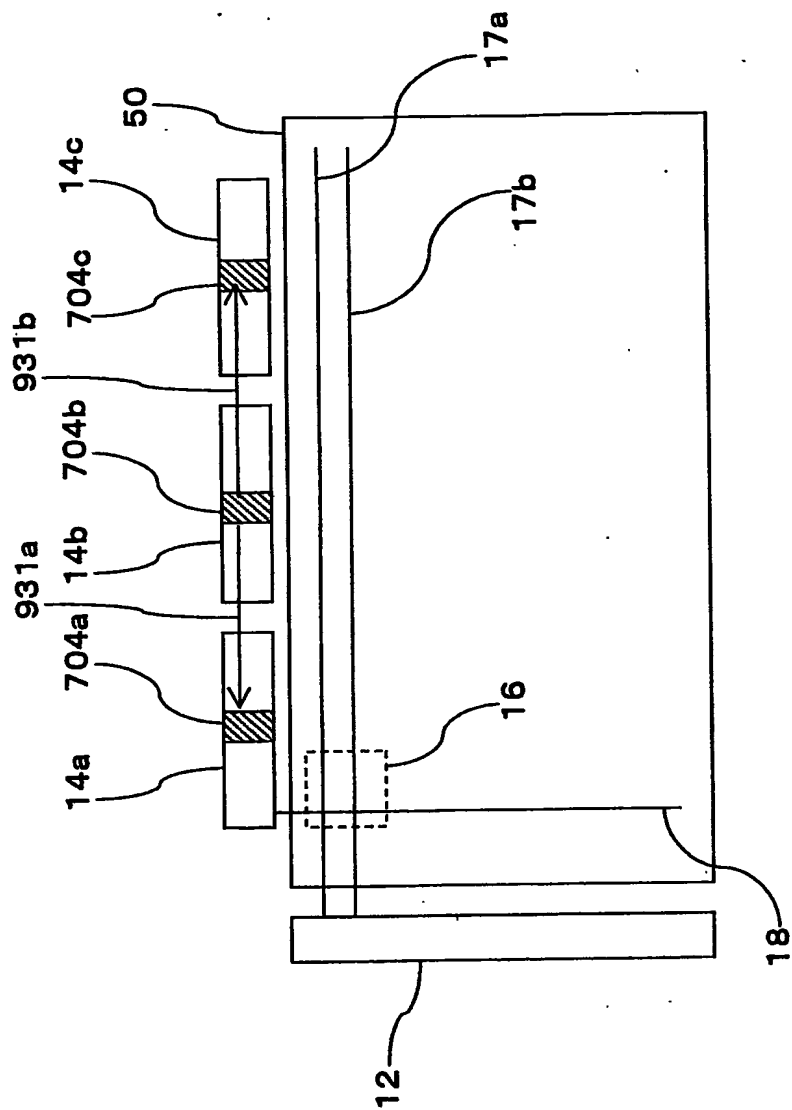


【圖 9 2】



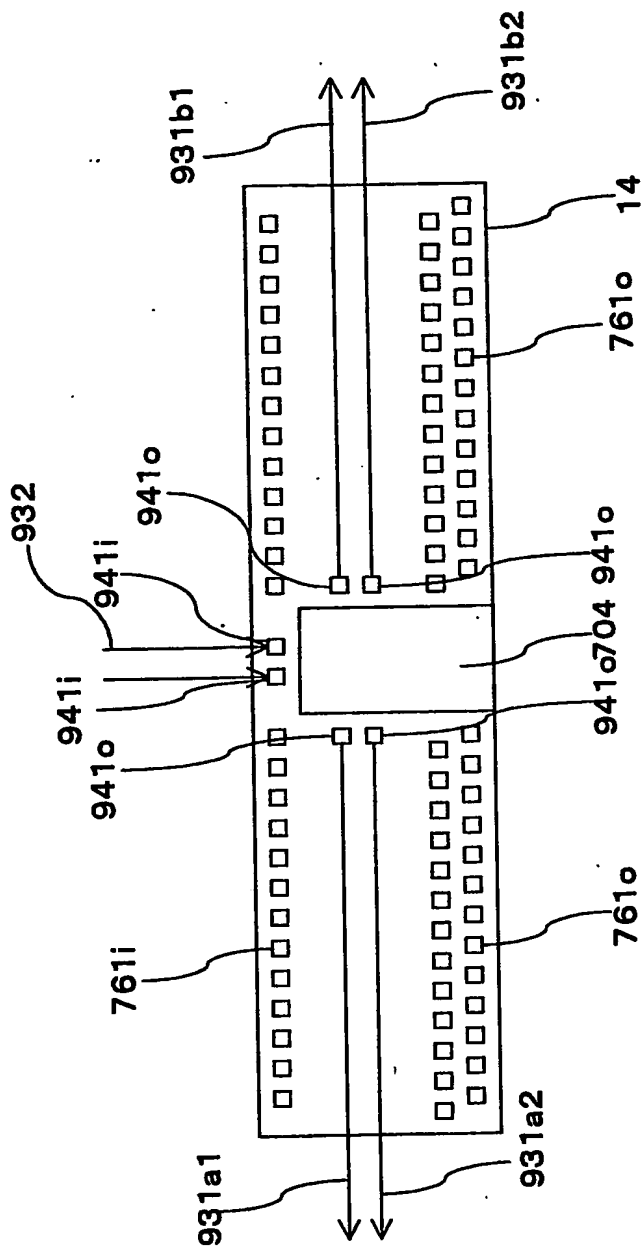
【図 93】

931 カスケード電流接続線



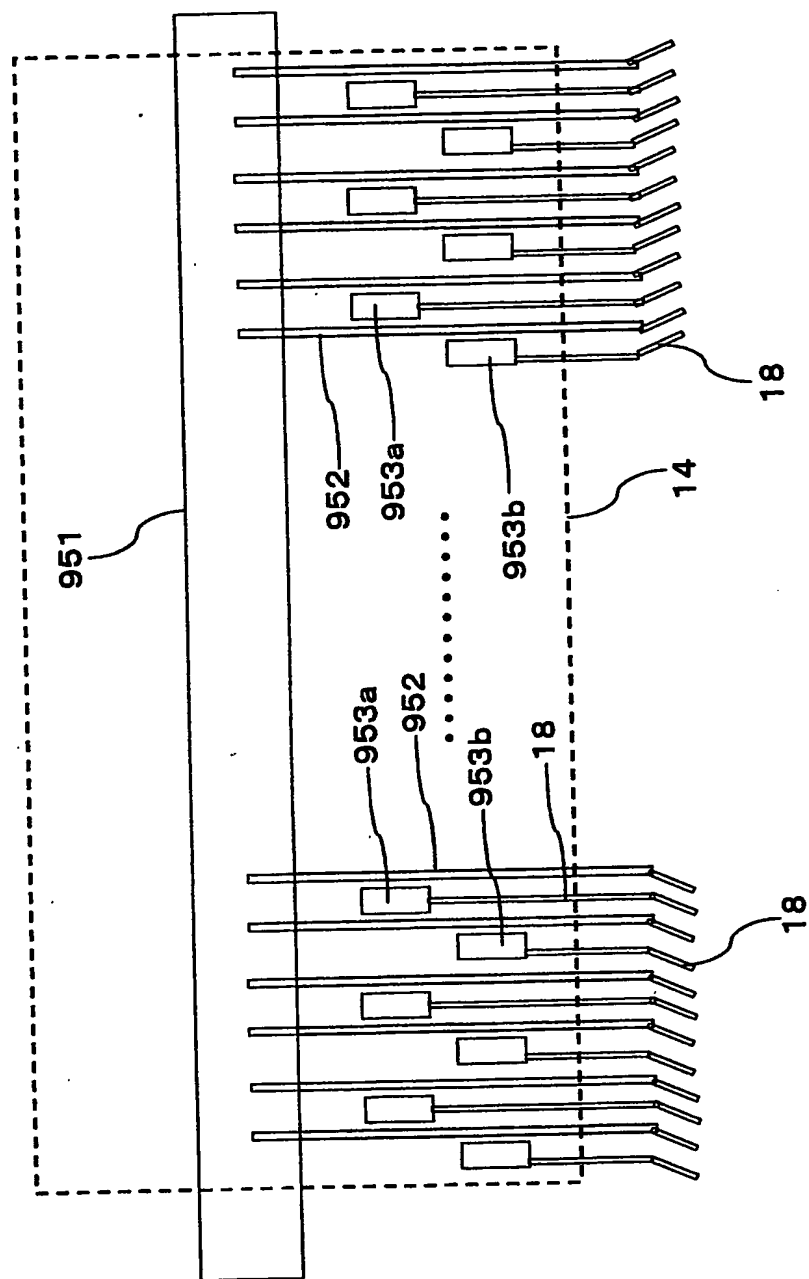
【図 94】

932 基準電流信号線
941i 電流入力端子
941o 電流出力端子

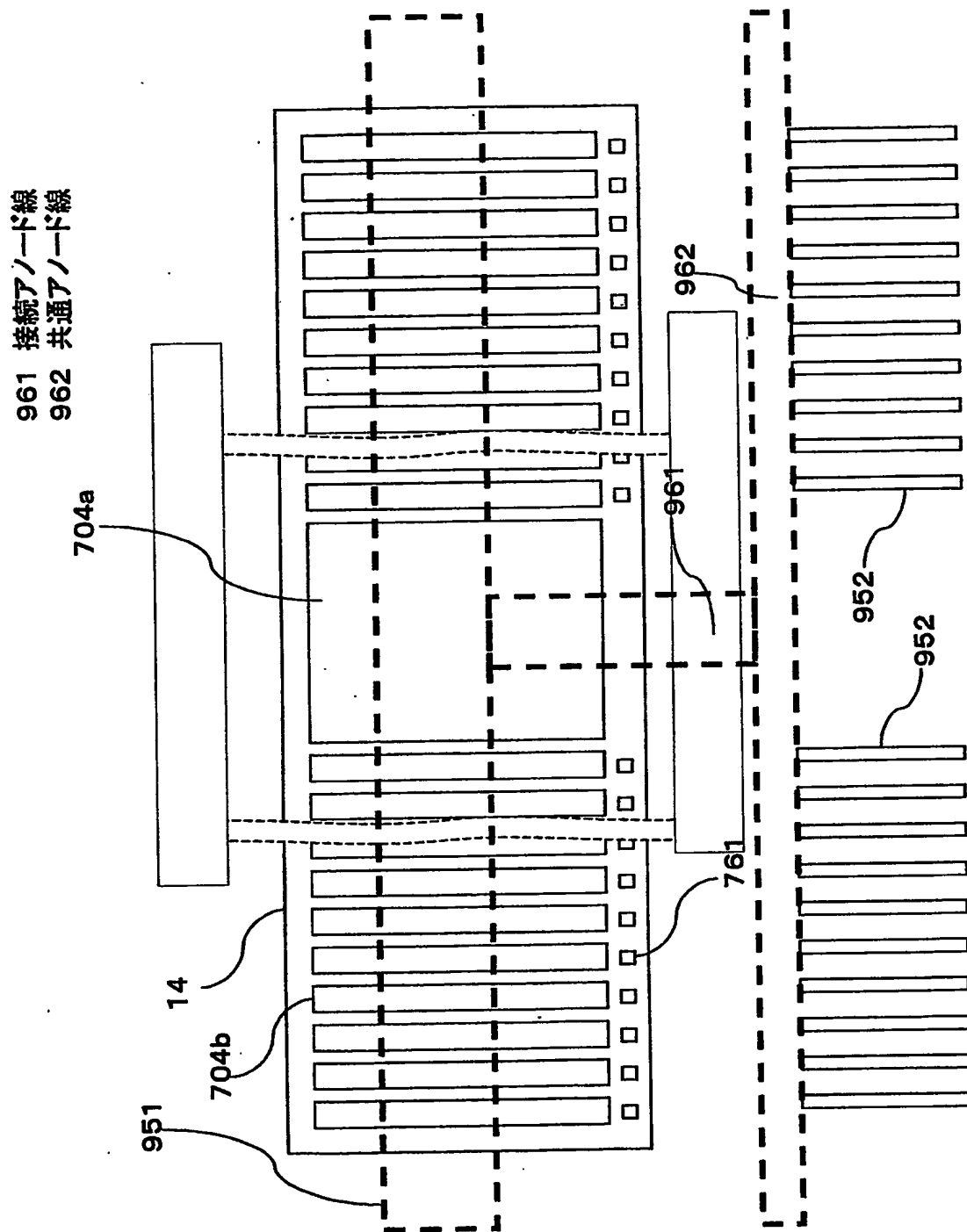


【図 95】

951 ベースアノード線(アノード電圧線、基幹アノード線)
 952 アノード配線
 953 接続端子

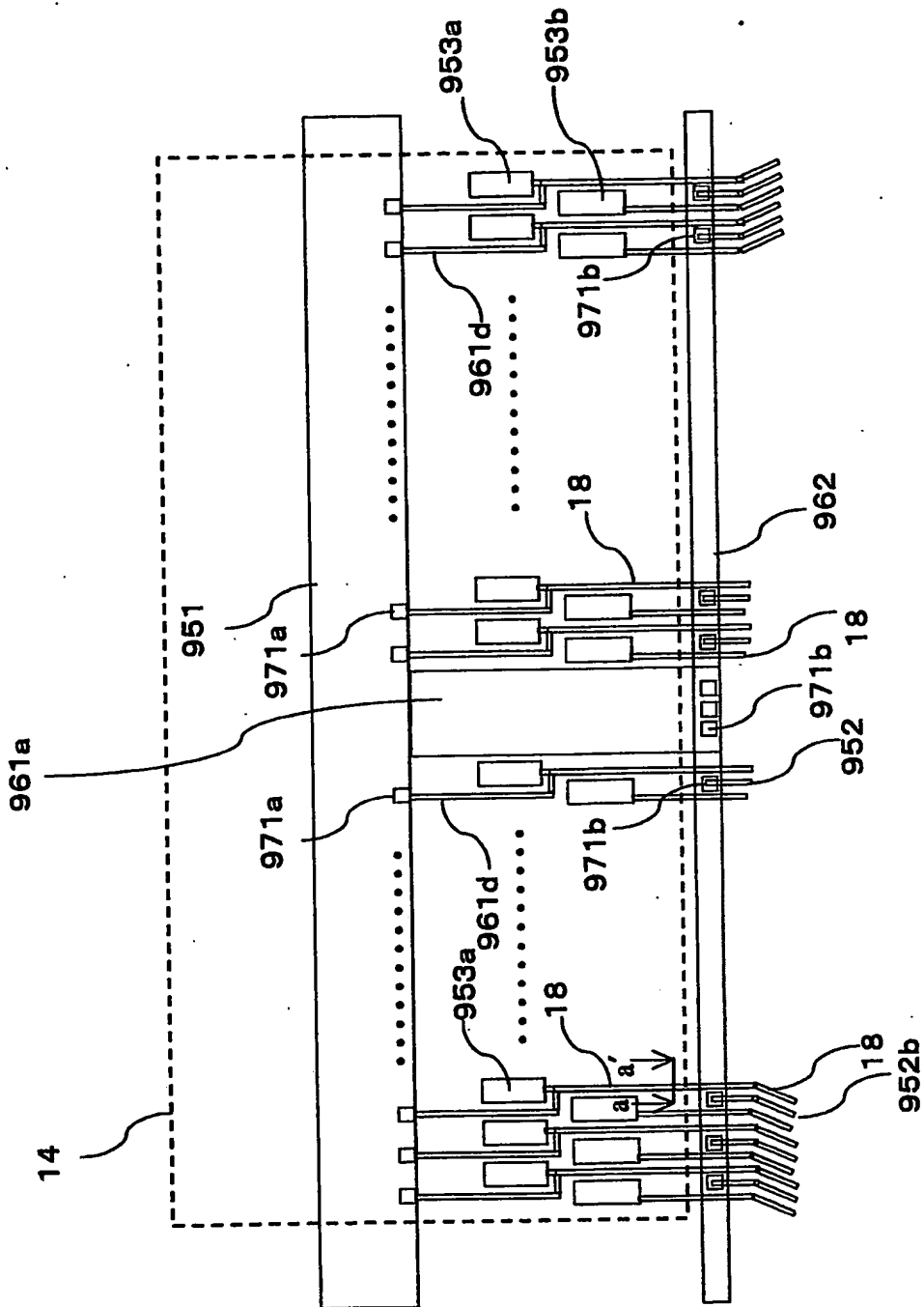


【図 9 6】

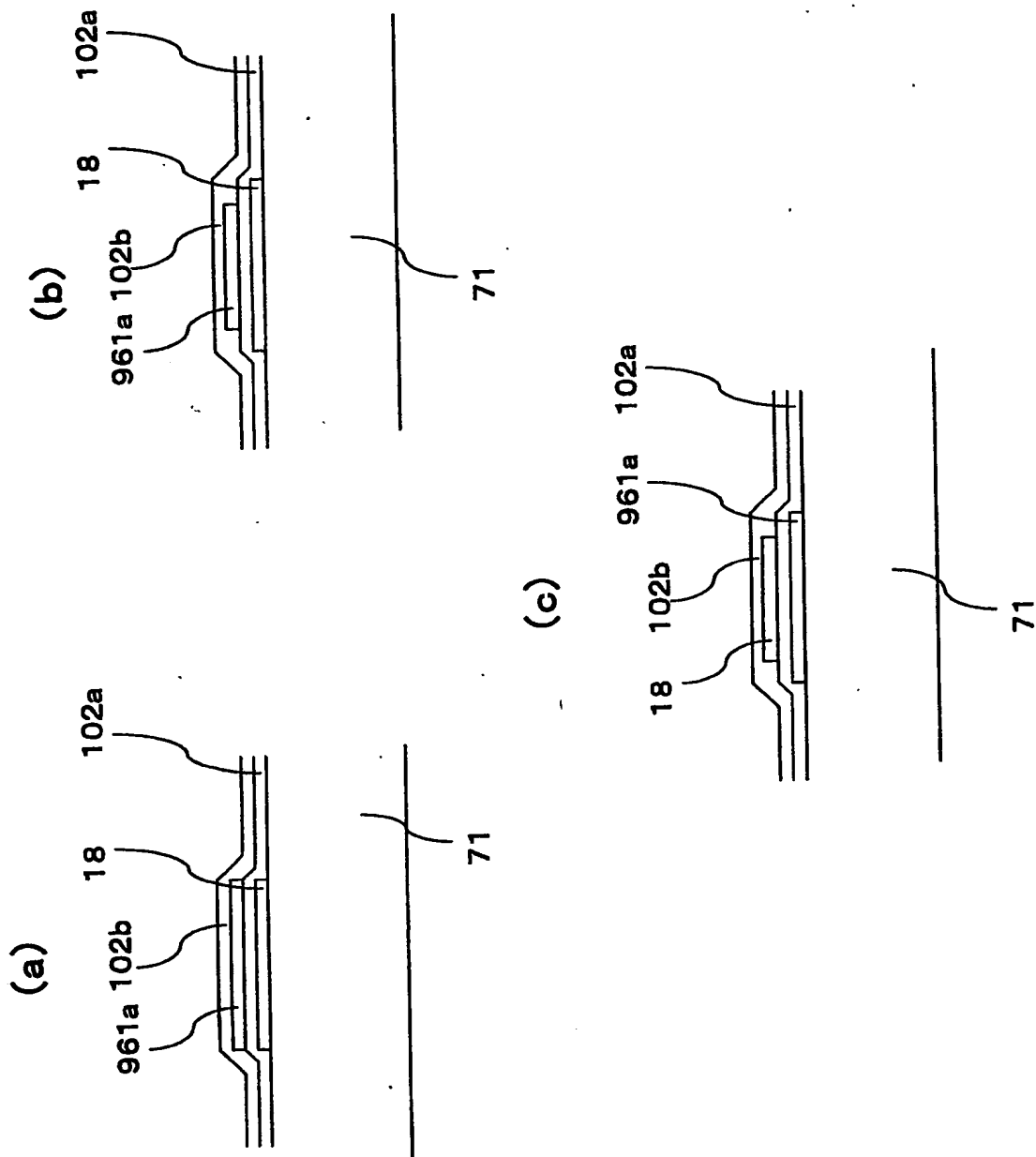


【図 97】

971 コンタクトホール

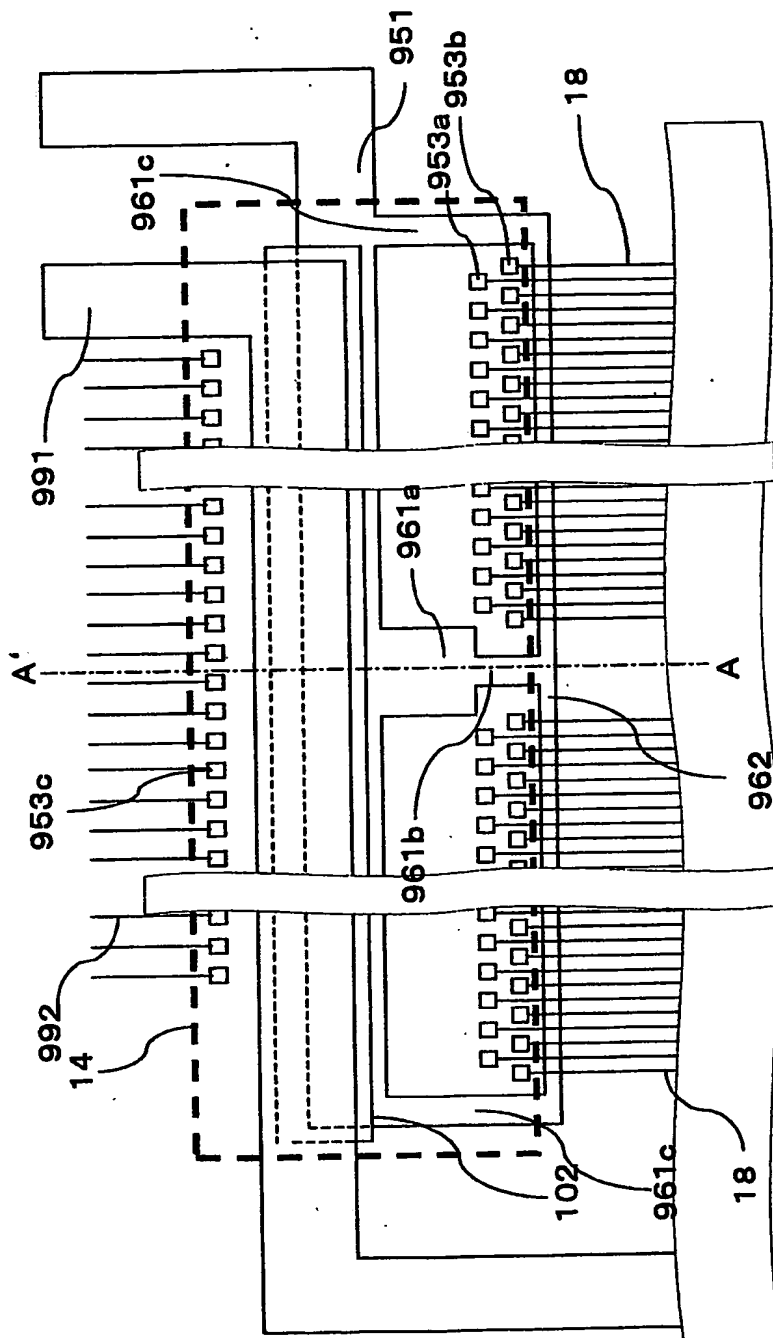


【図 9 8】

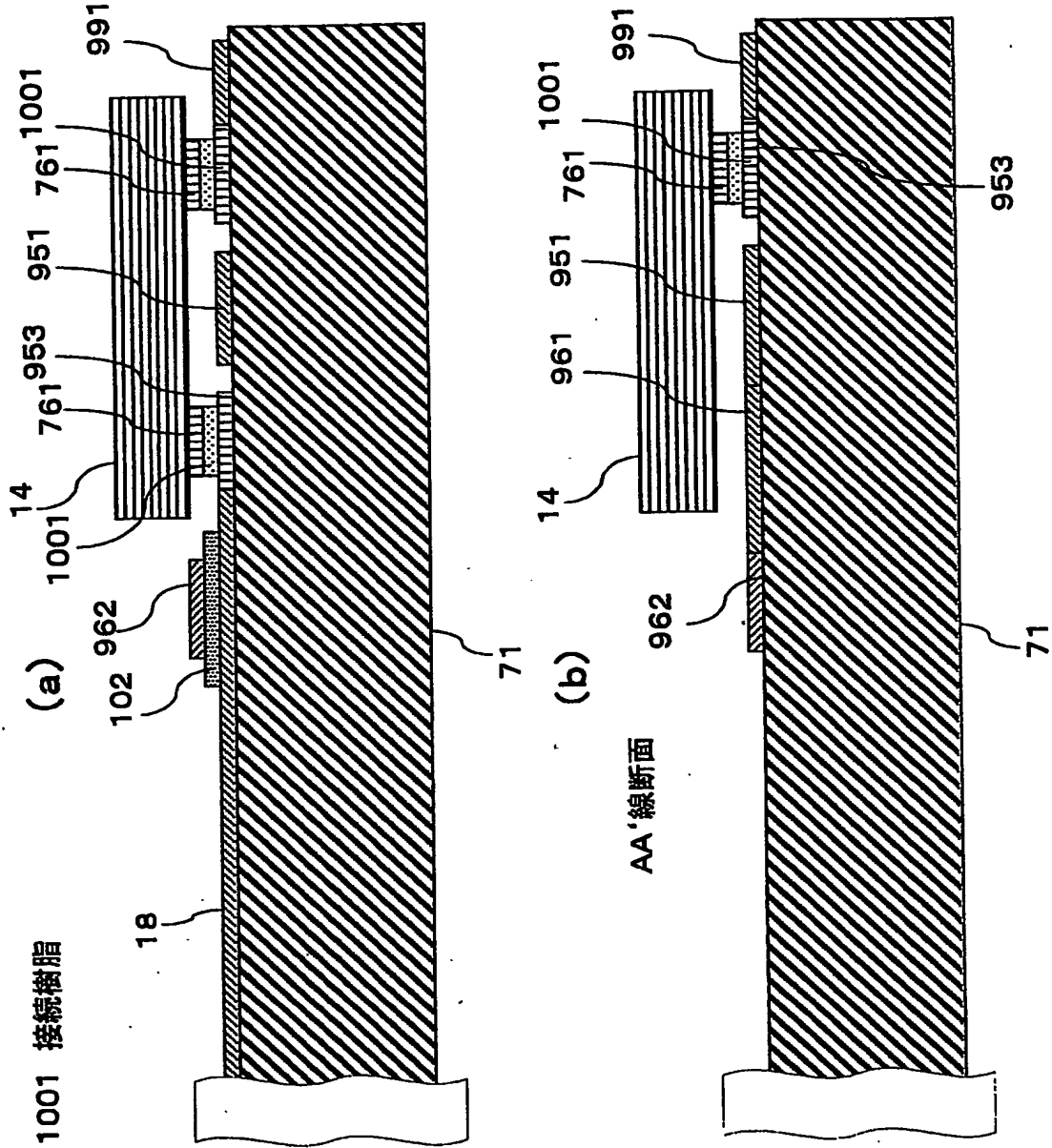


【図99】

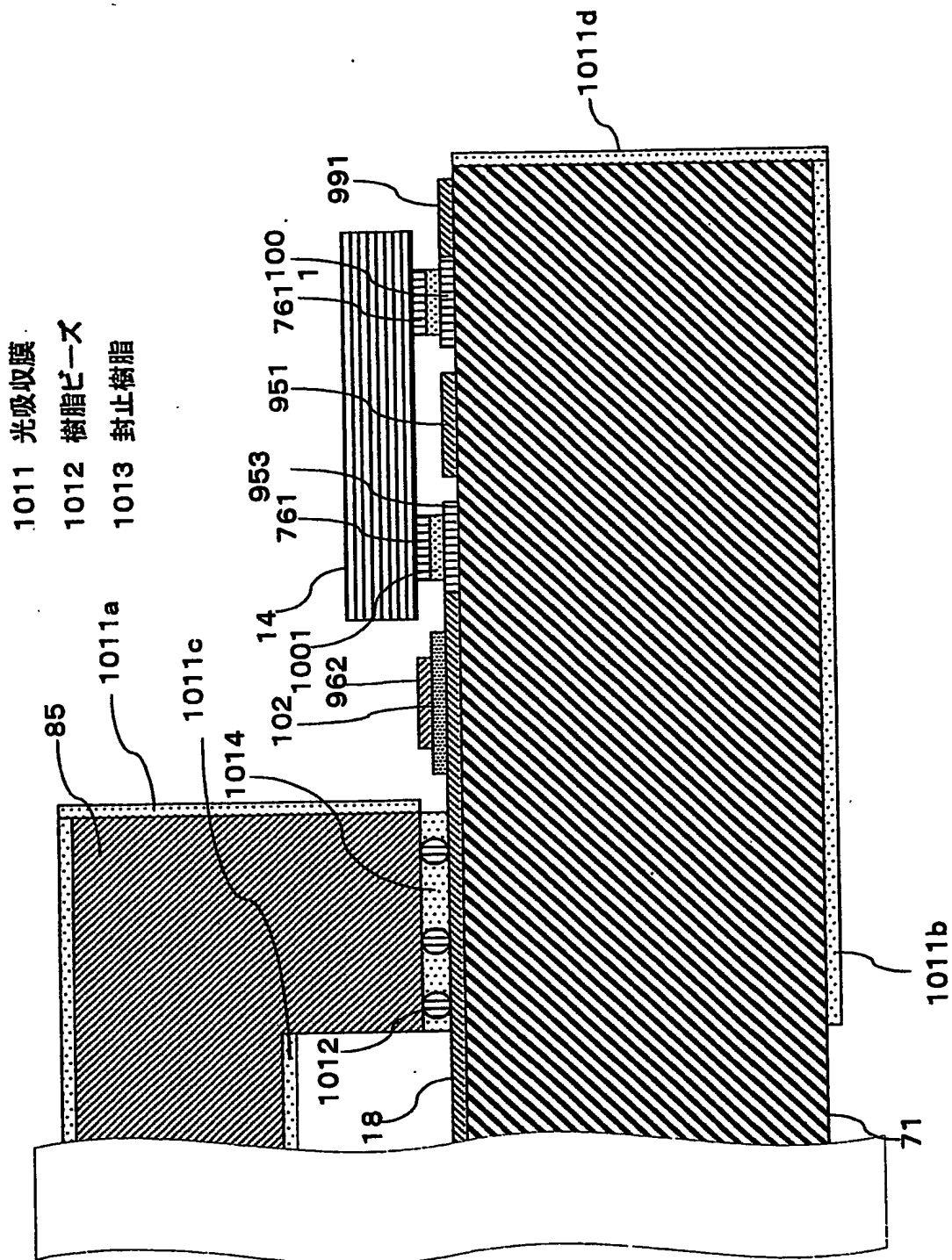
991 ベースカソード線
992 入力信号線



【図100】

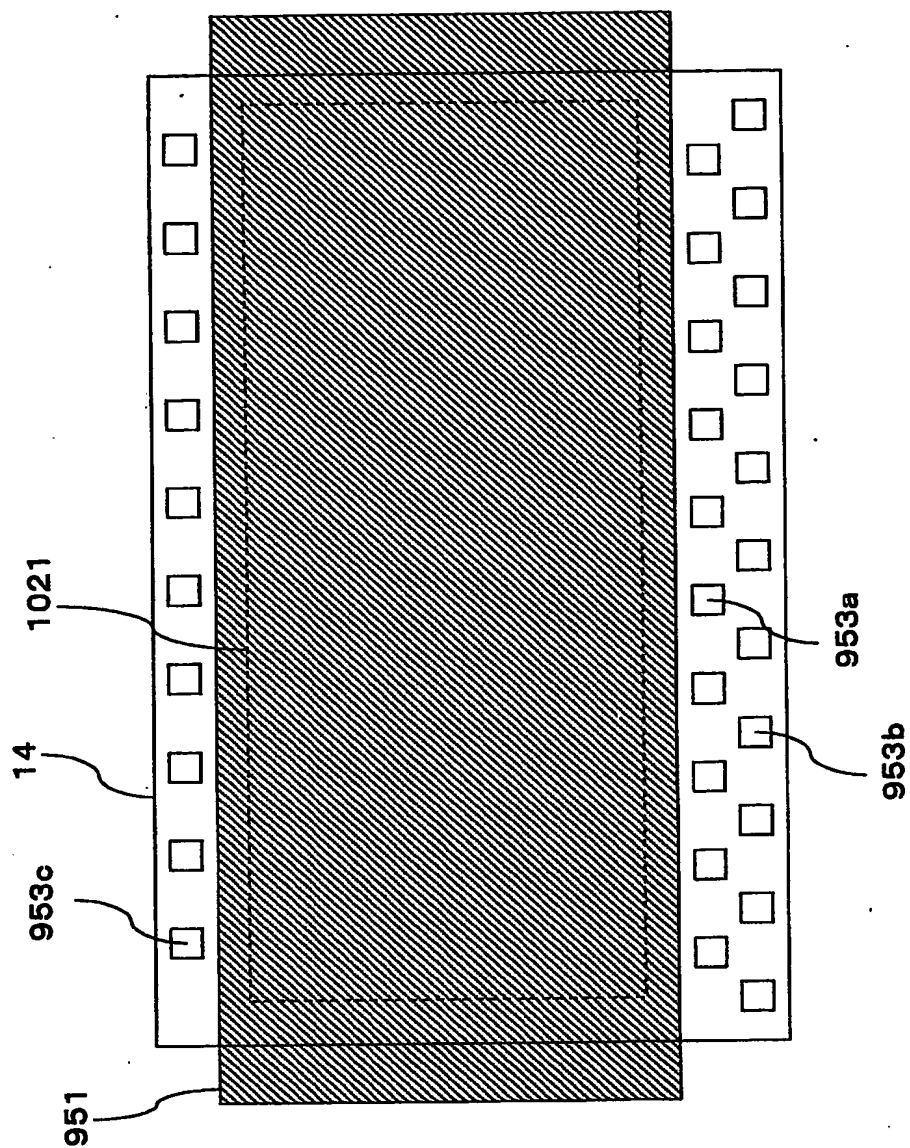


【図101】

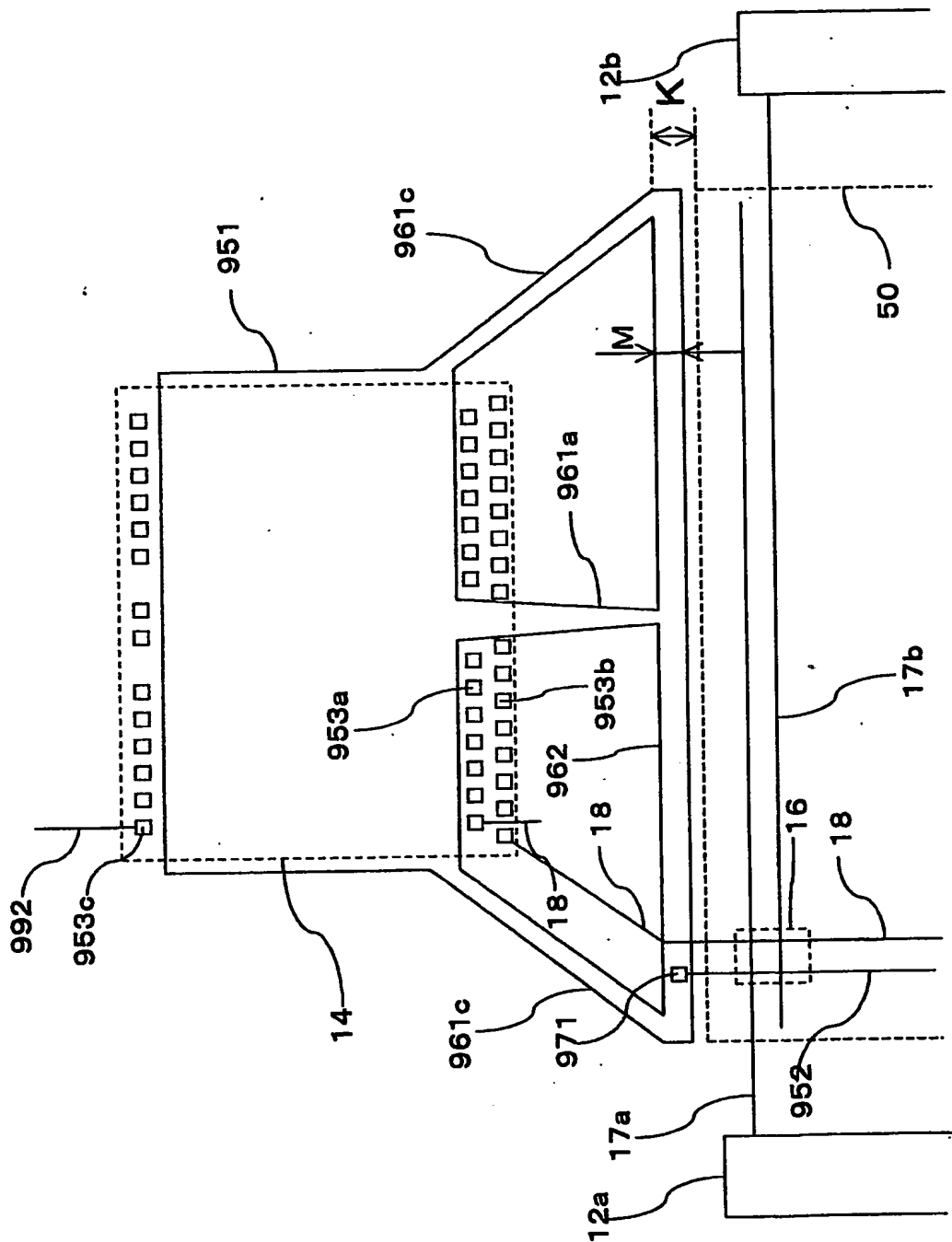


【図 1 0 2】

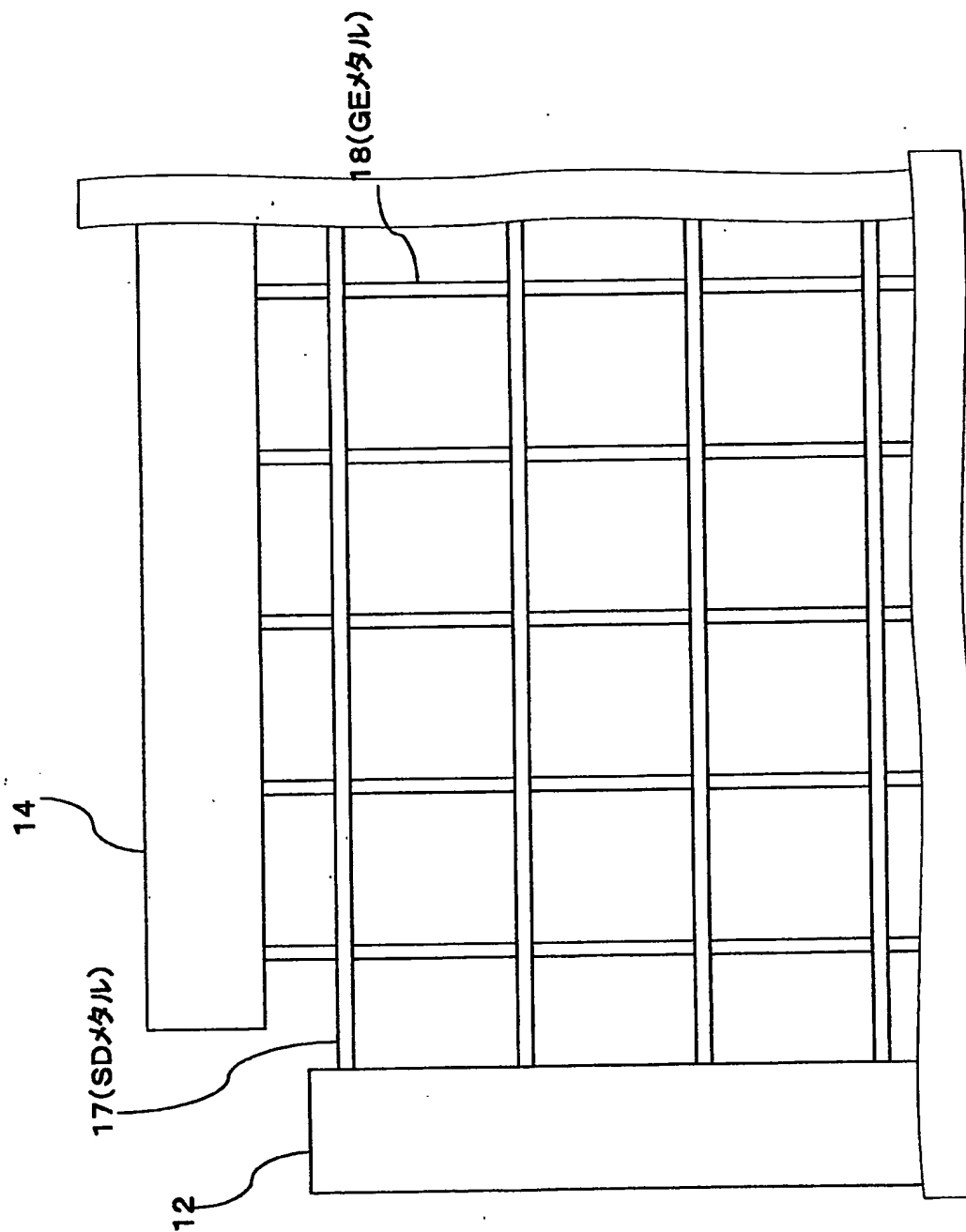
1021 回路形成部



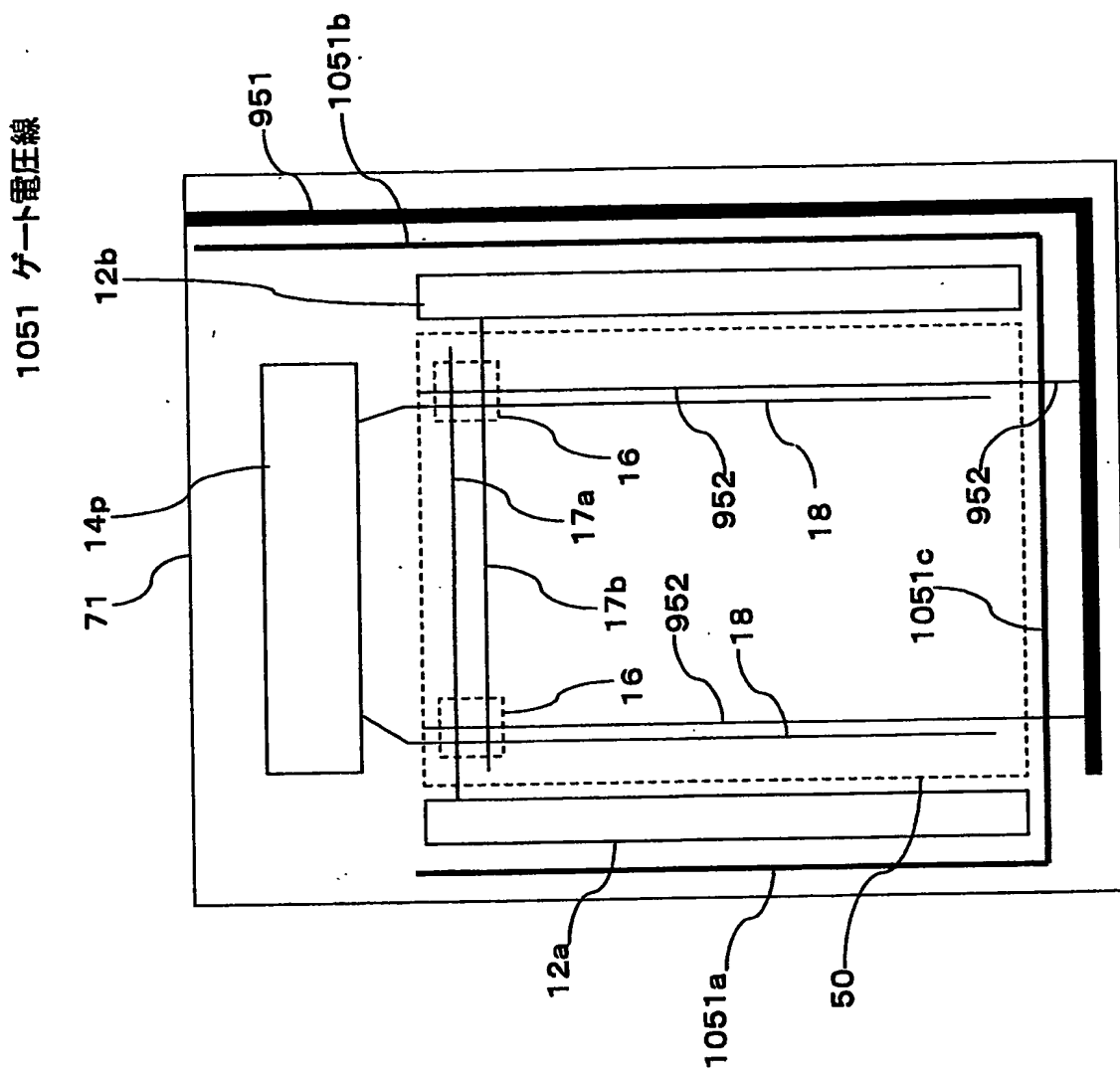
【図103】



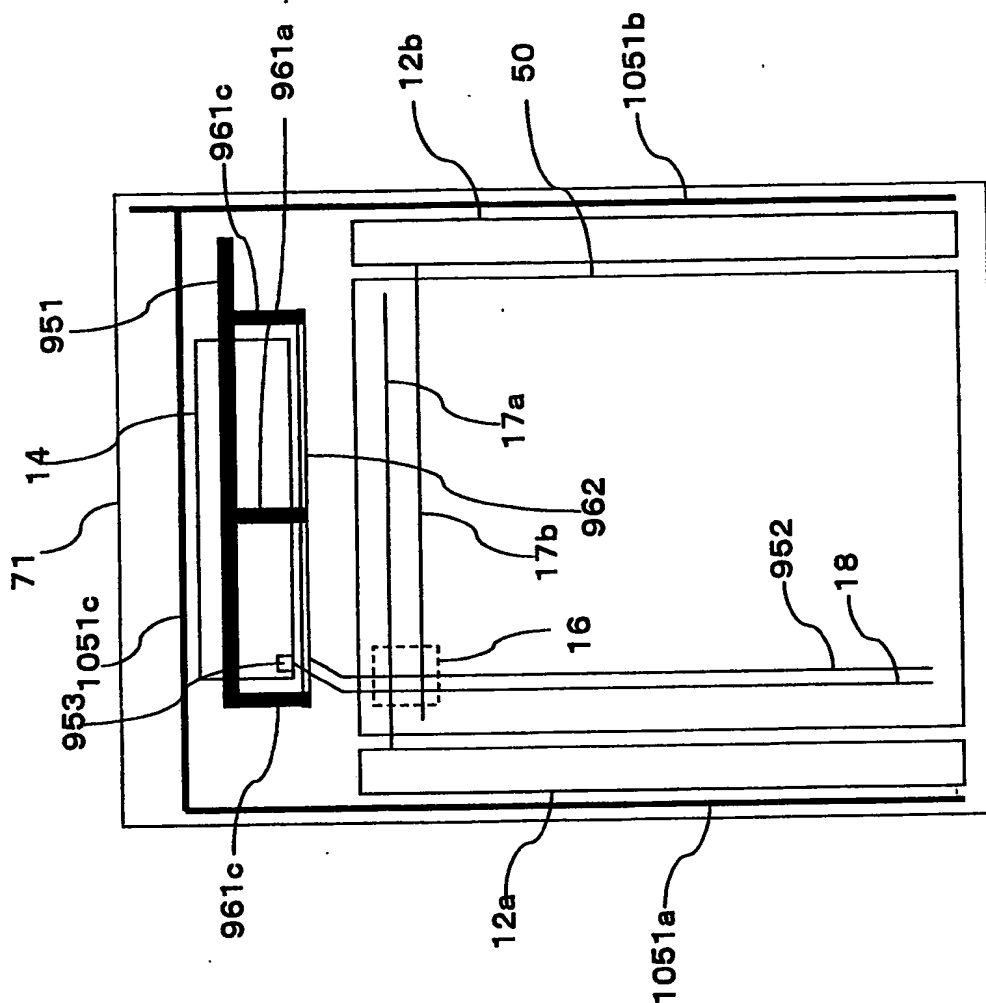
【図104】



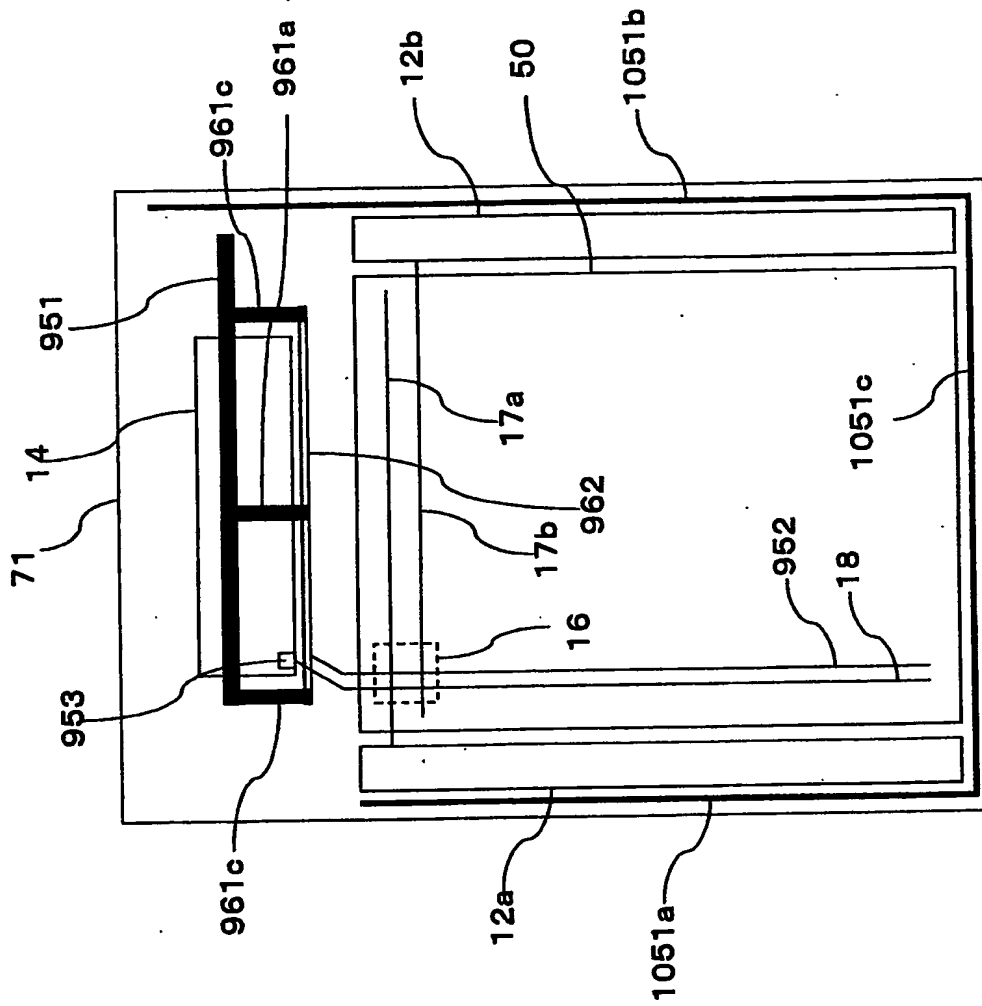
【図105】



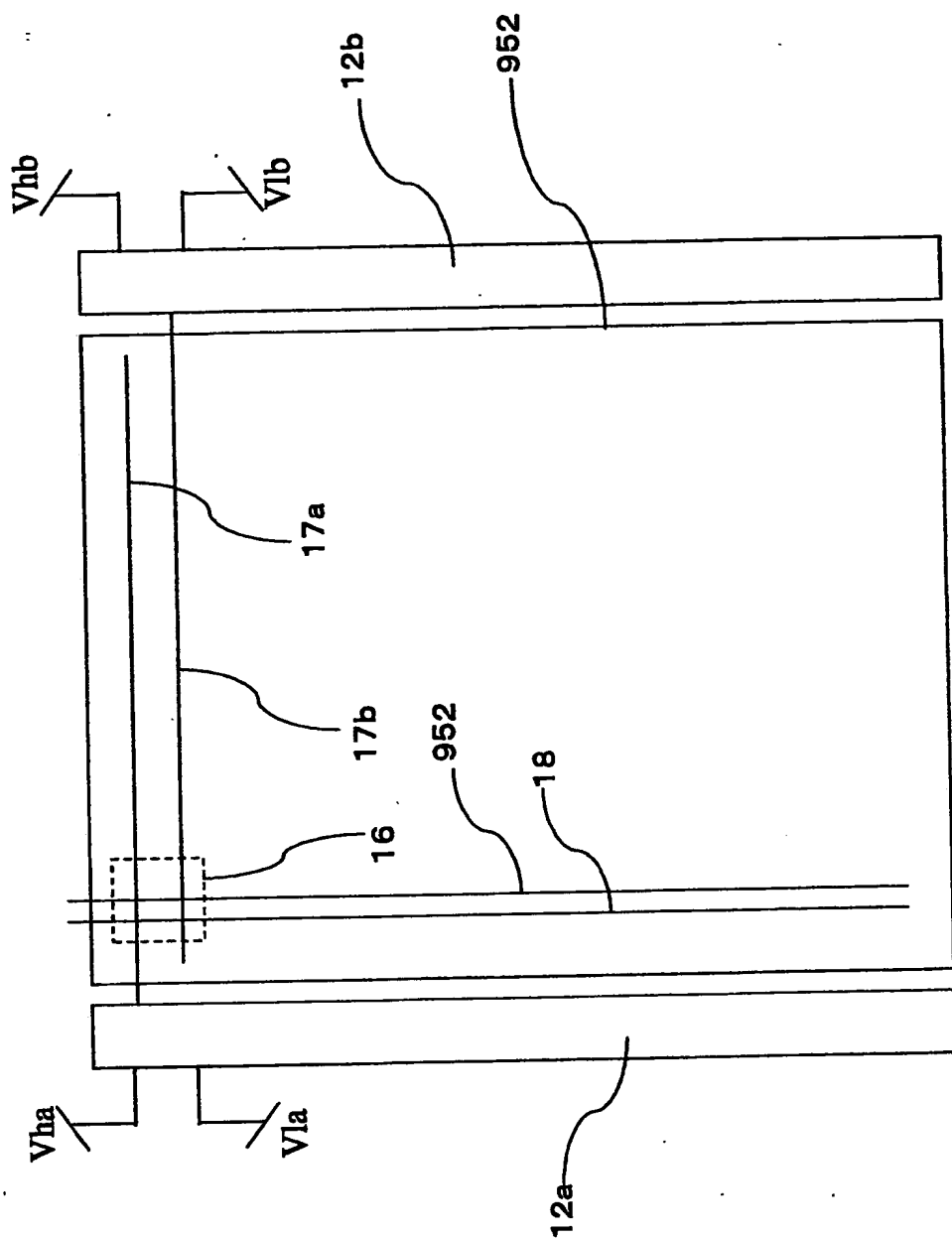
【図106】



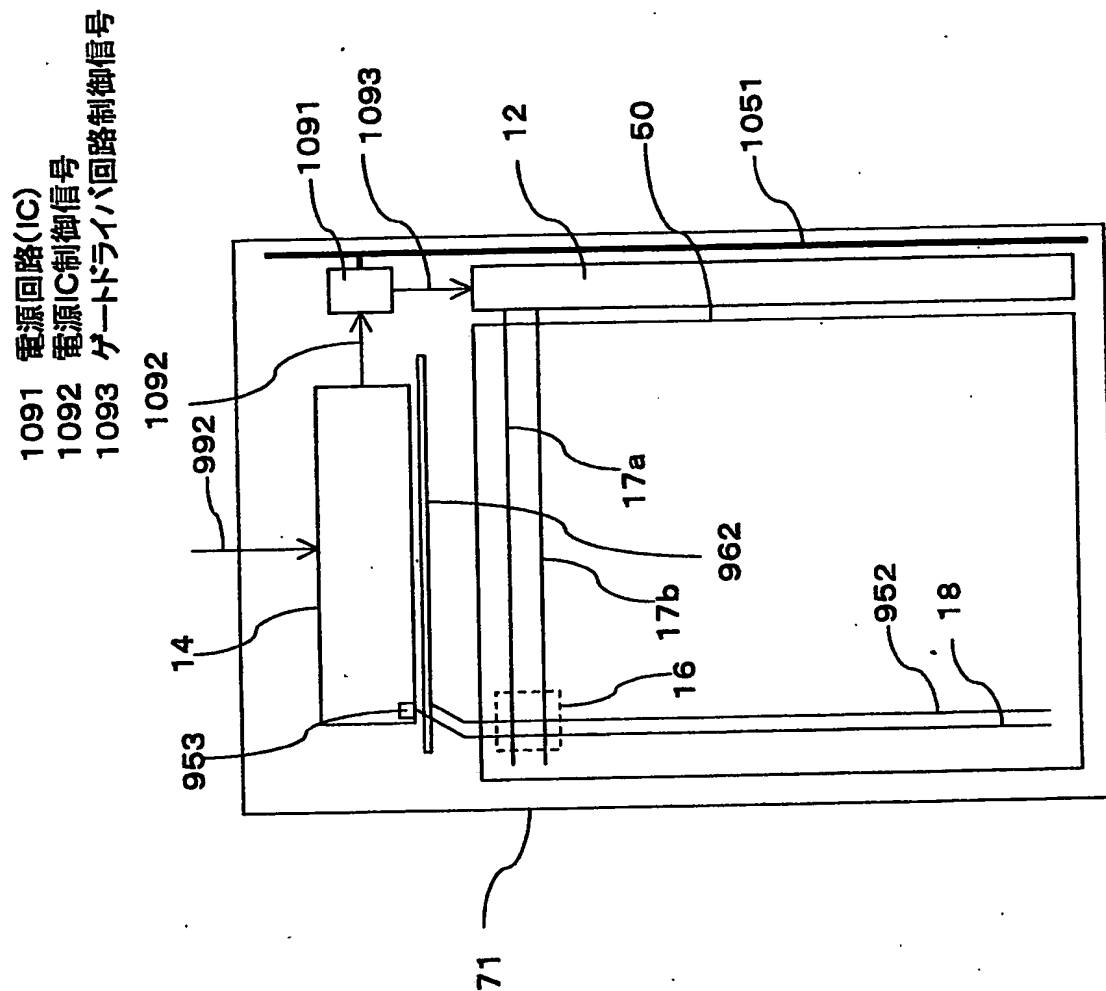
【図 107】



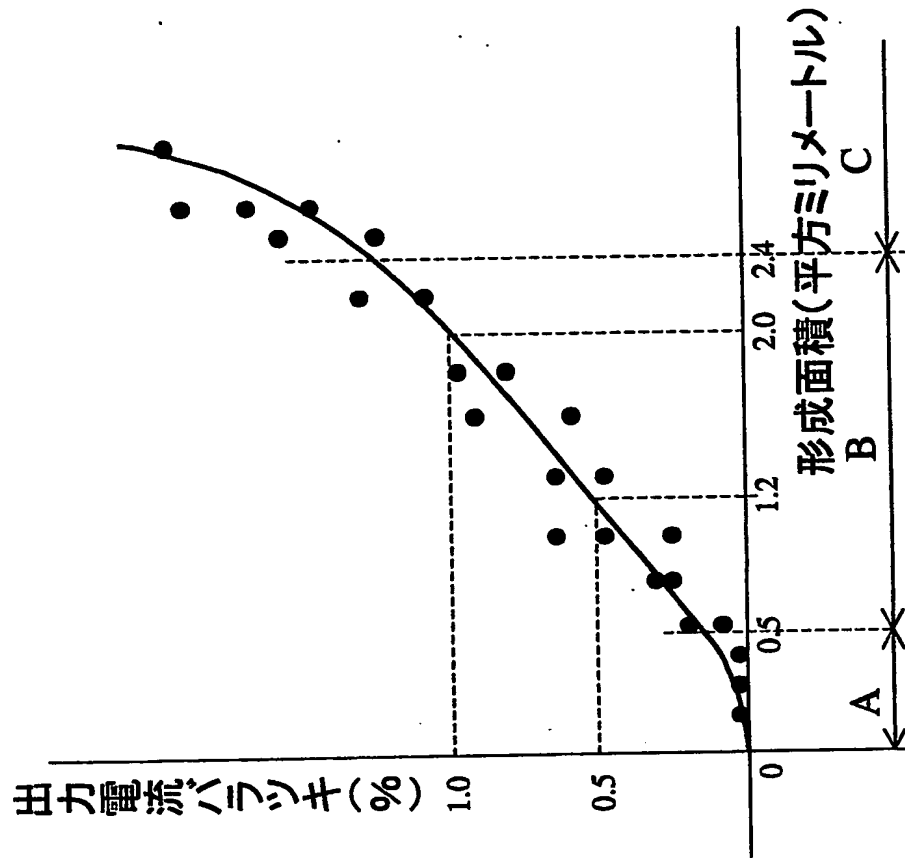
【図108】



【圖 109】

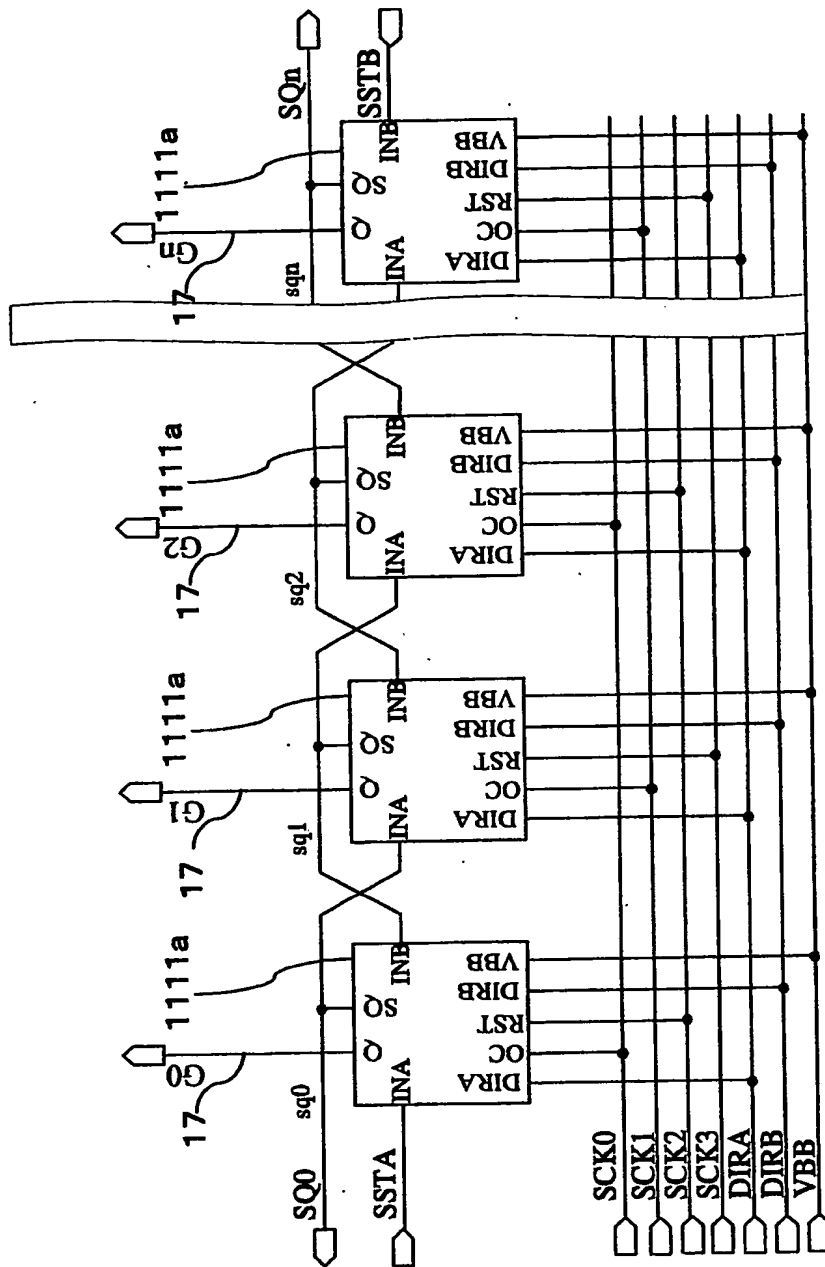


【図 110】

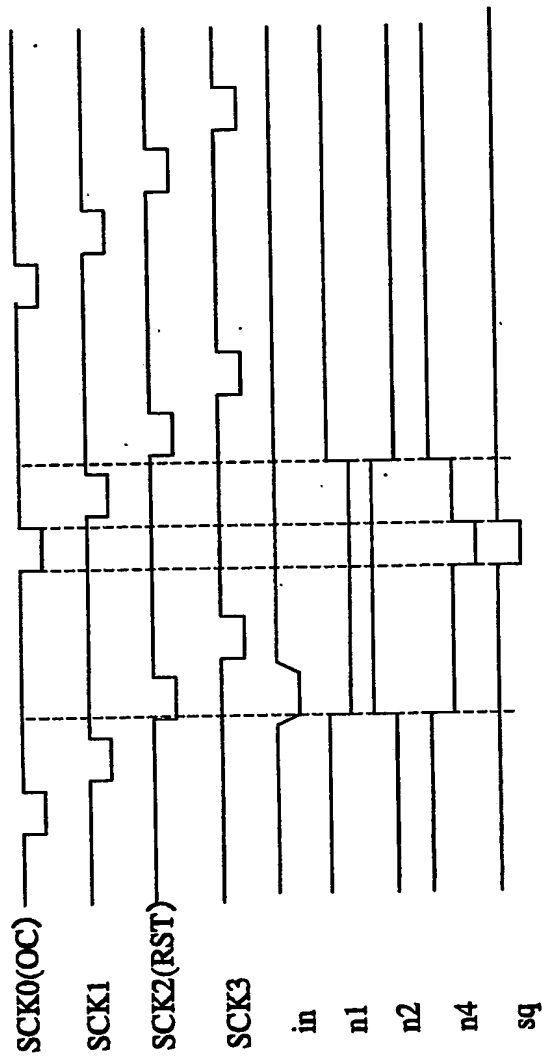


【図111】

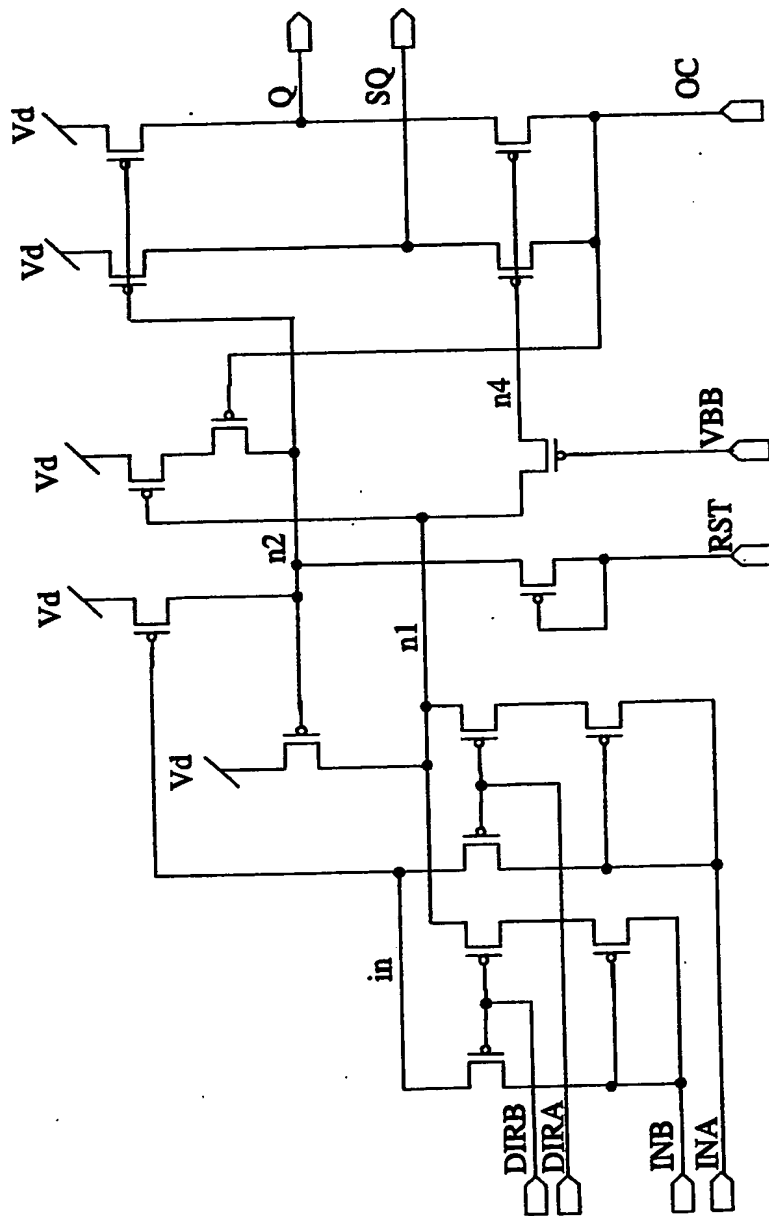
1111 単位ゲート出力回路



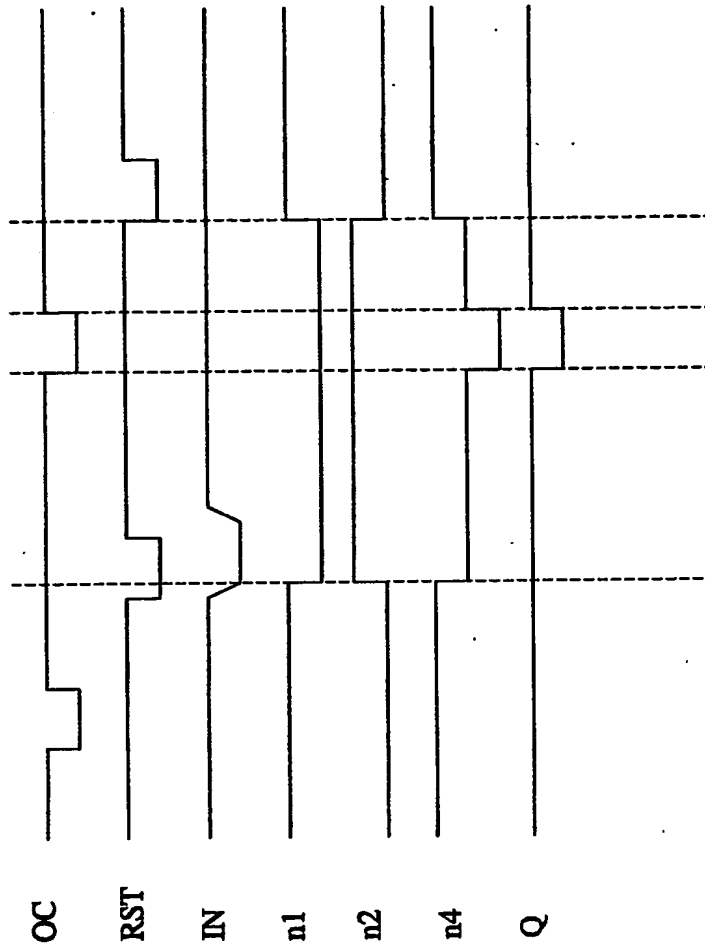
【図 112】



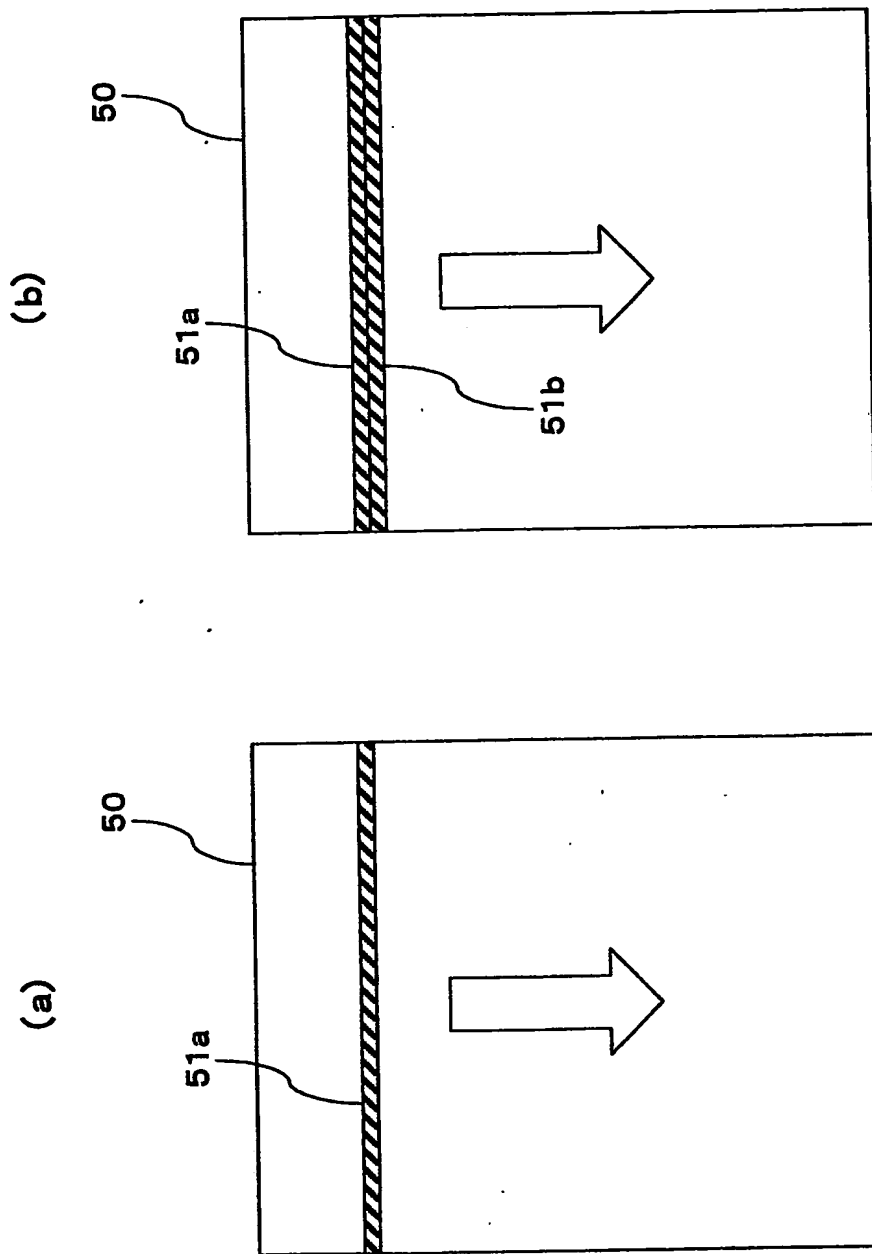
【图 1 1 3】



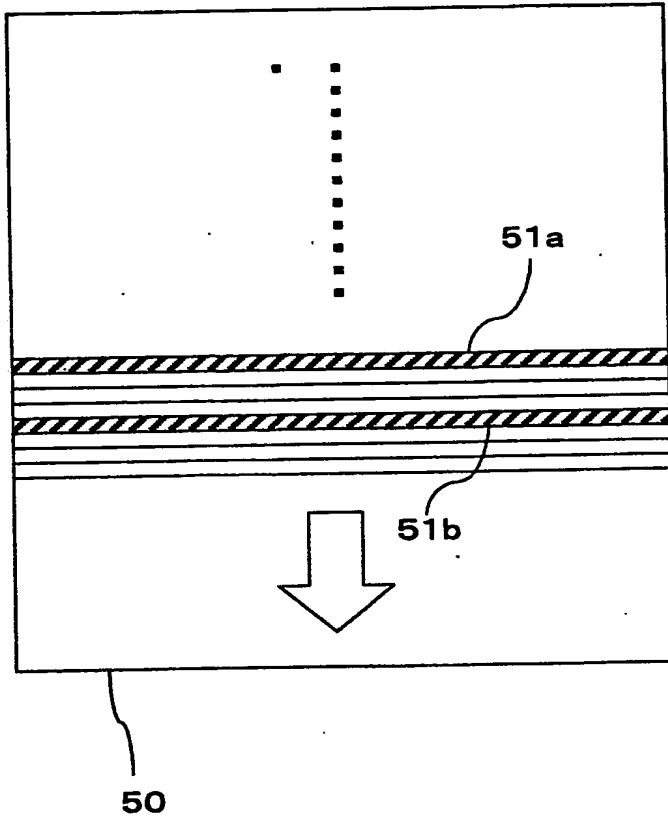
【図 114】



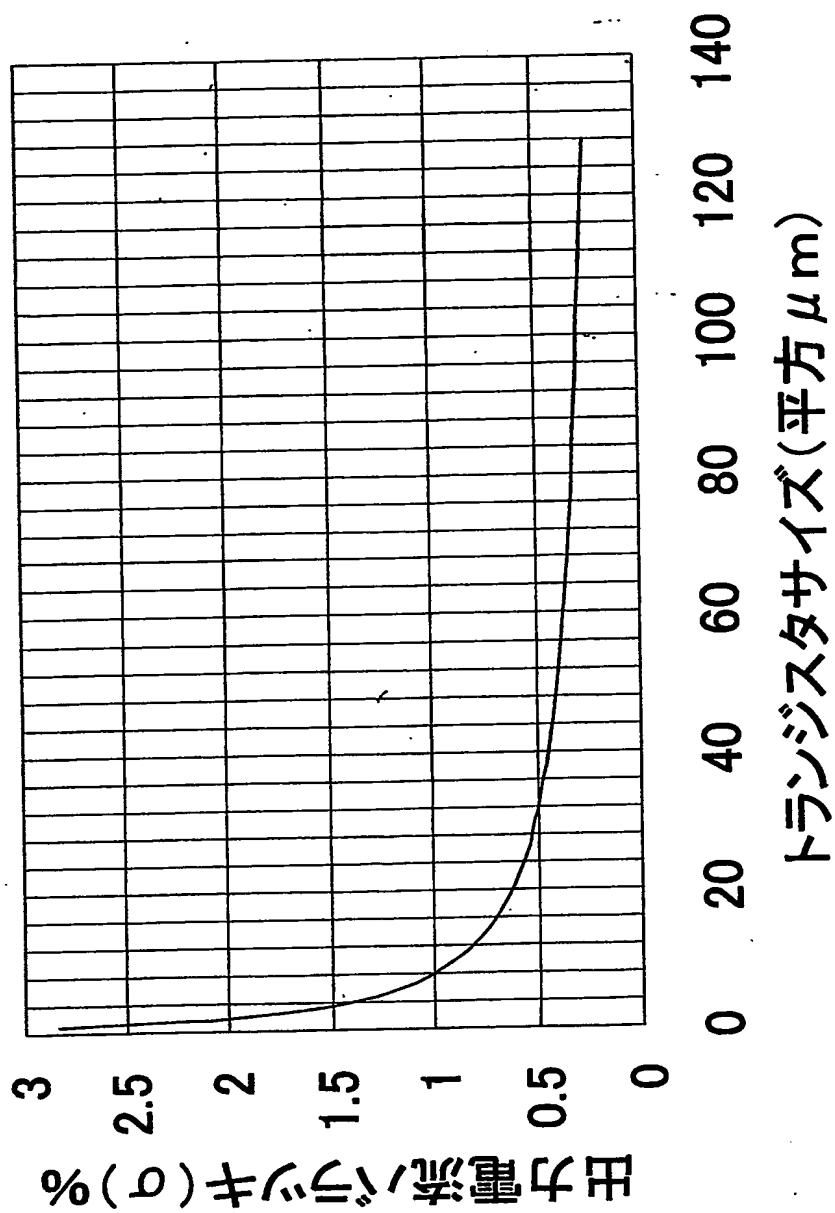
【図 1 1 5】



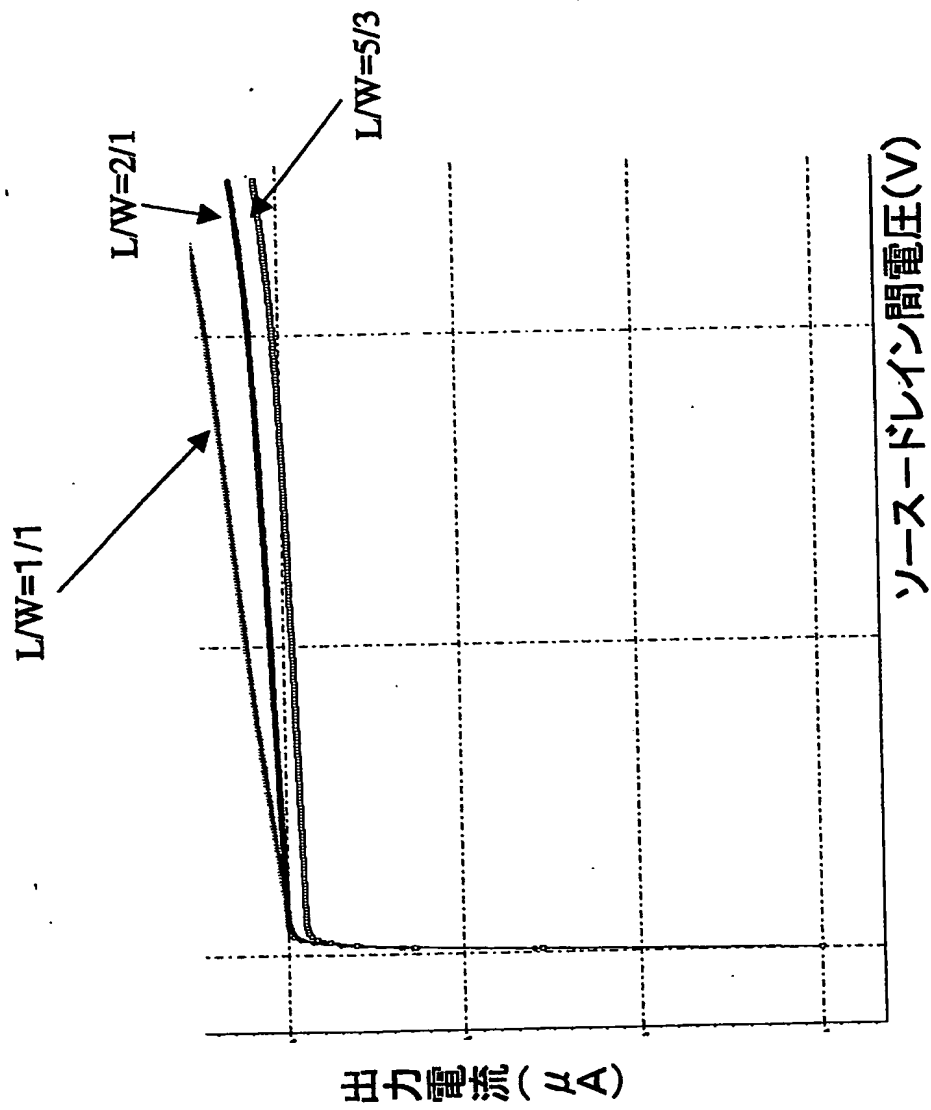
【図 116】



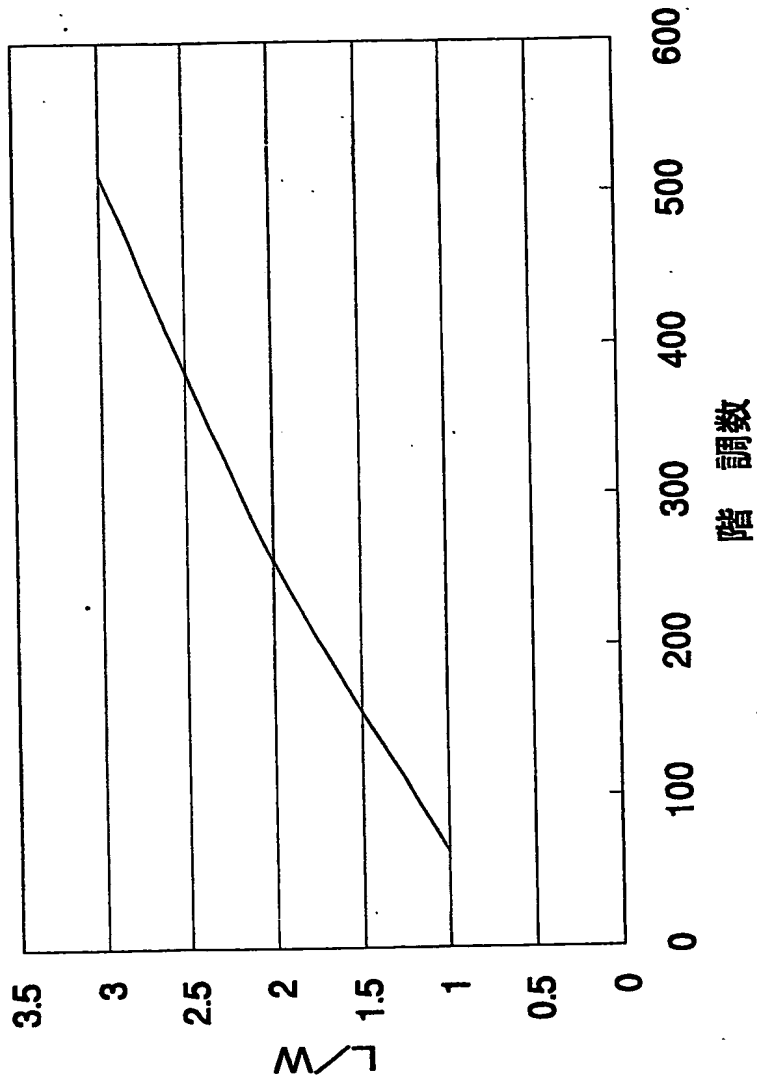
【図 117】



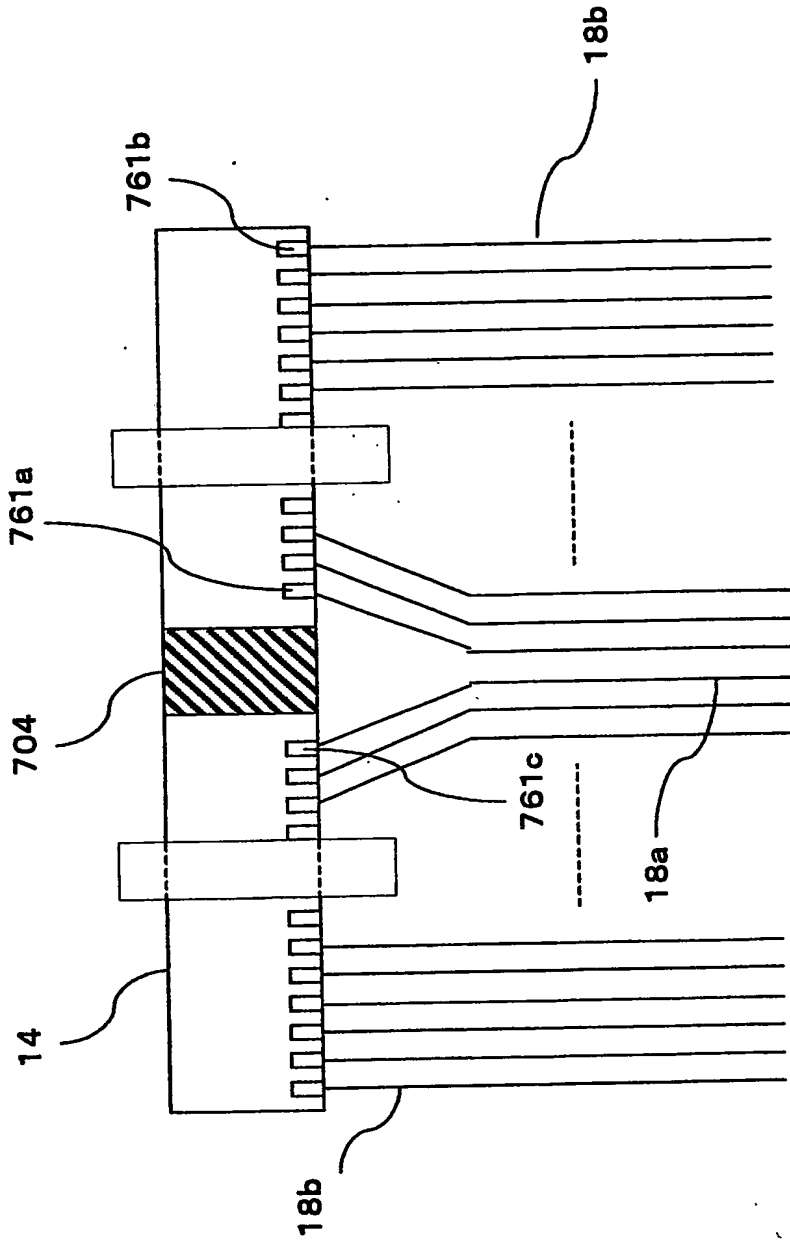
【図118】



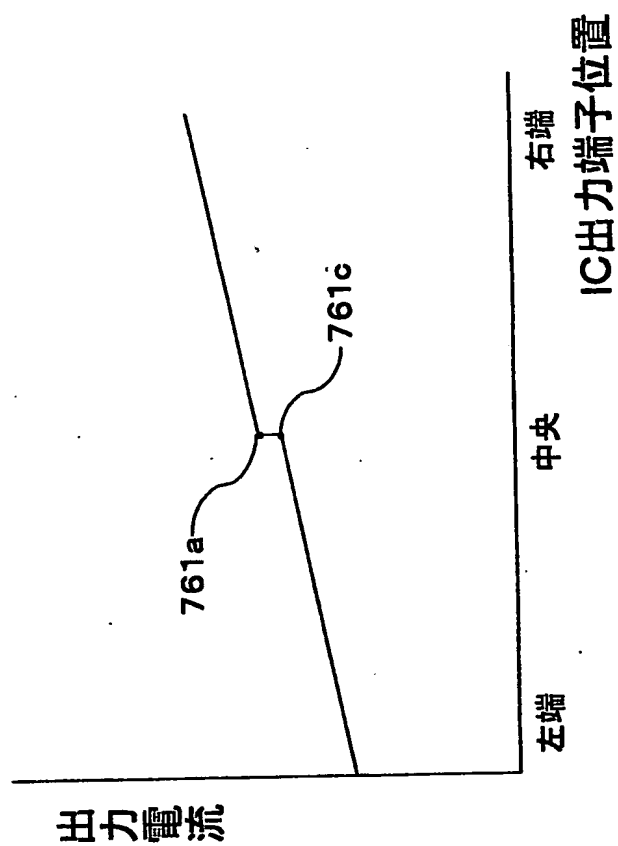
【図119】



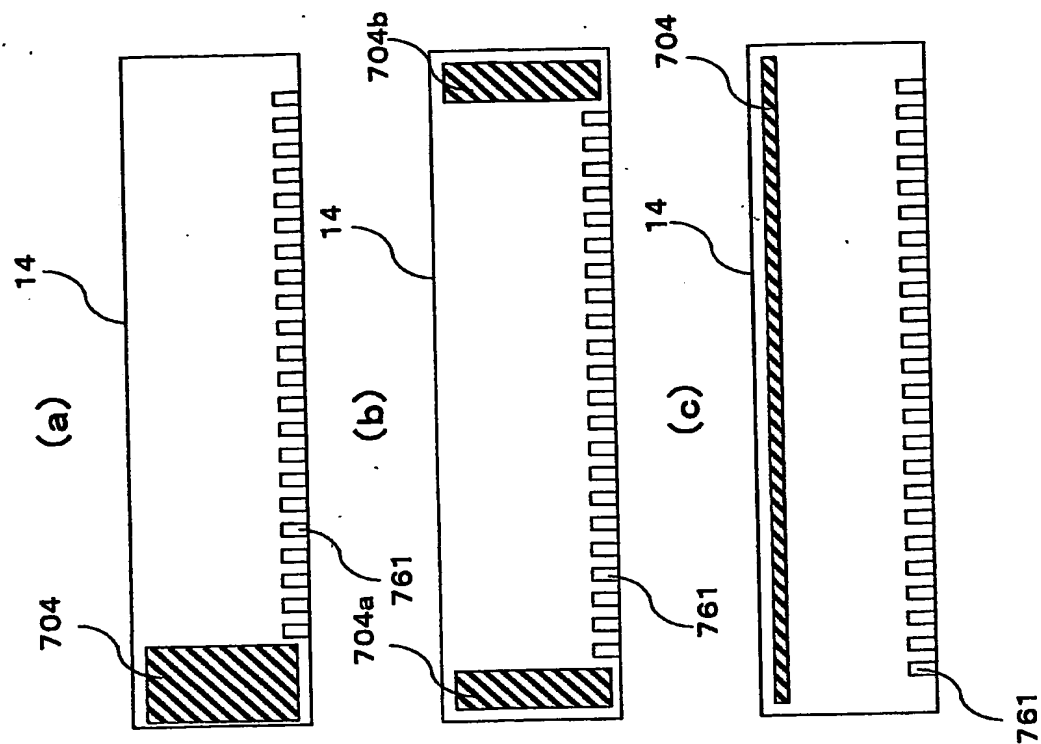
【図 120】



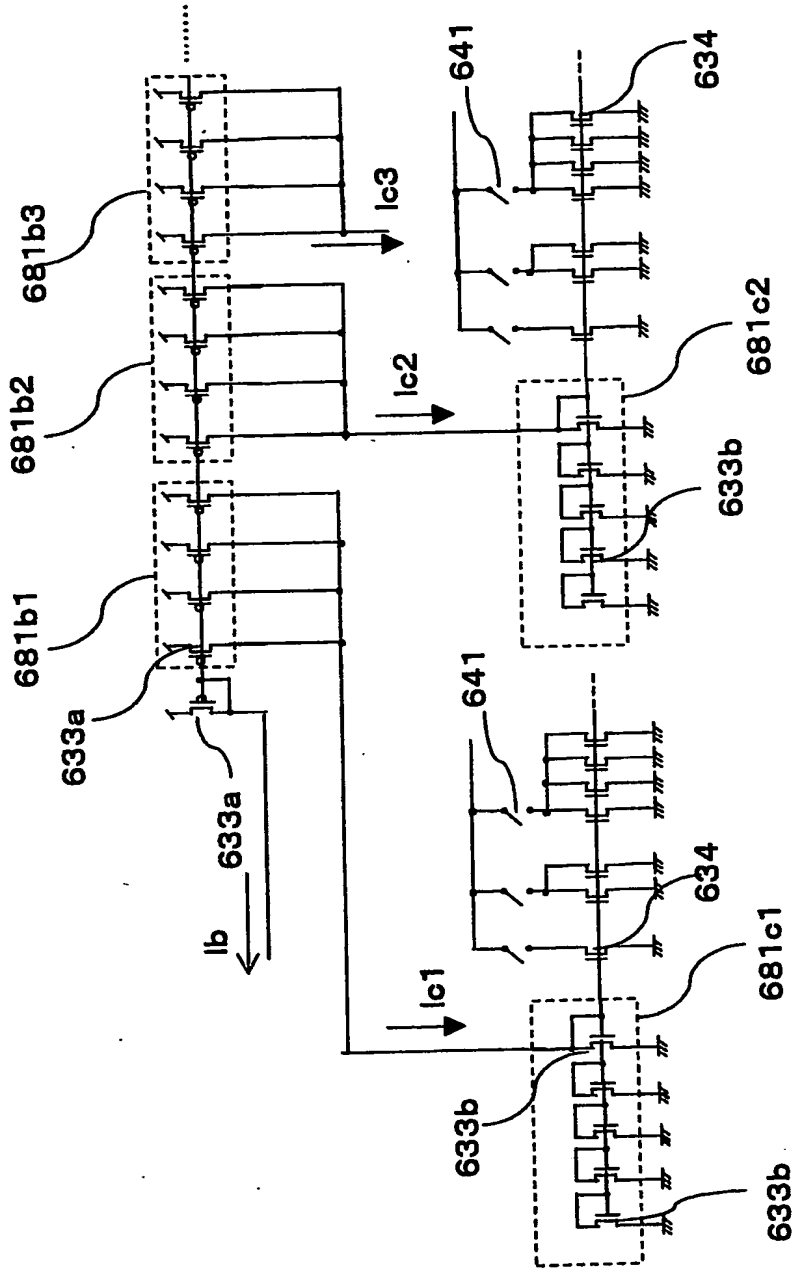
【図 1 2 1】



【図 1 2 2】

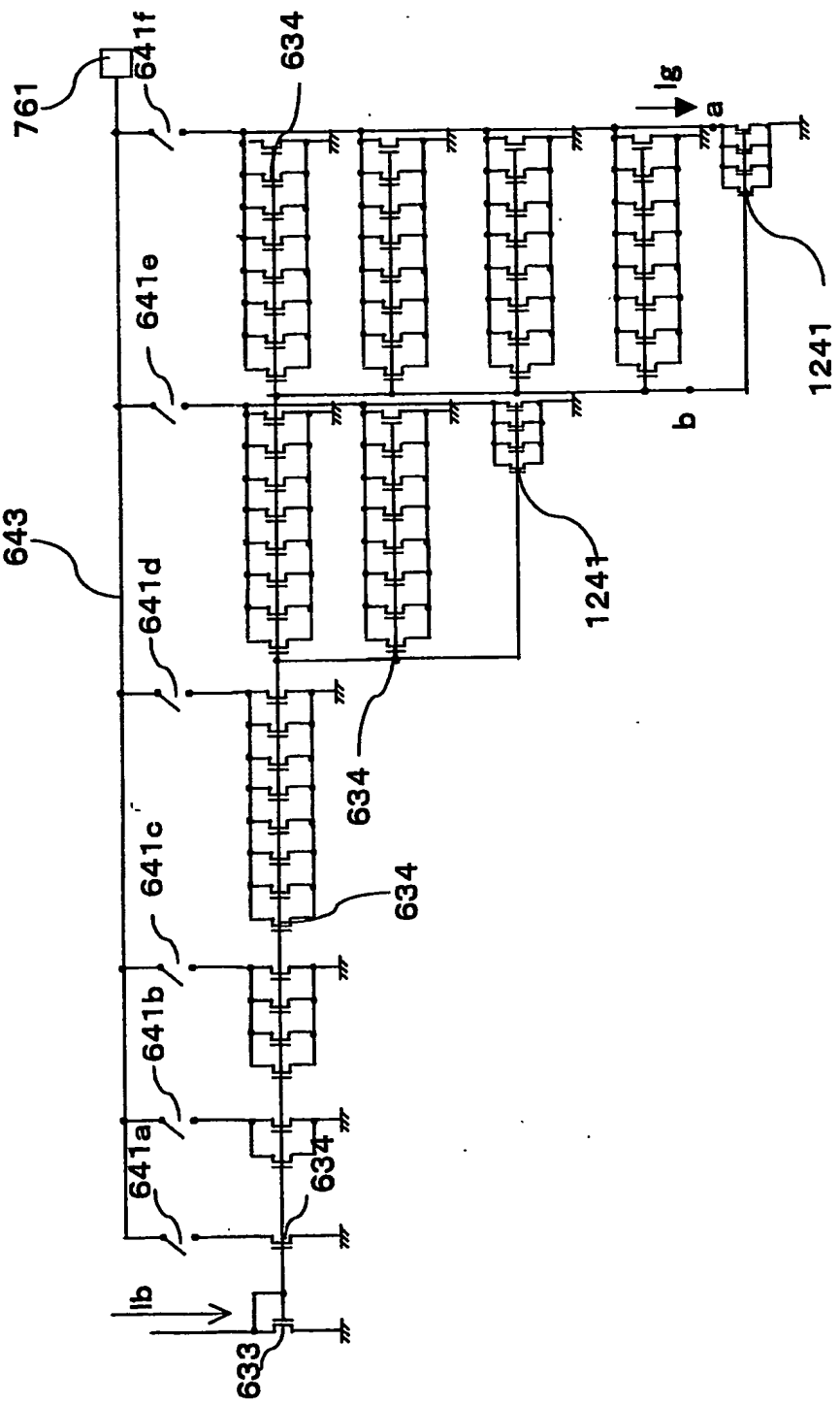


【図 123】



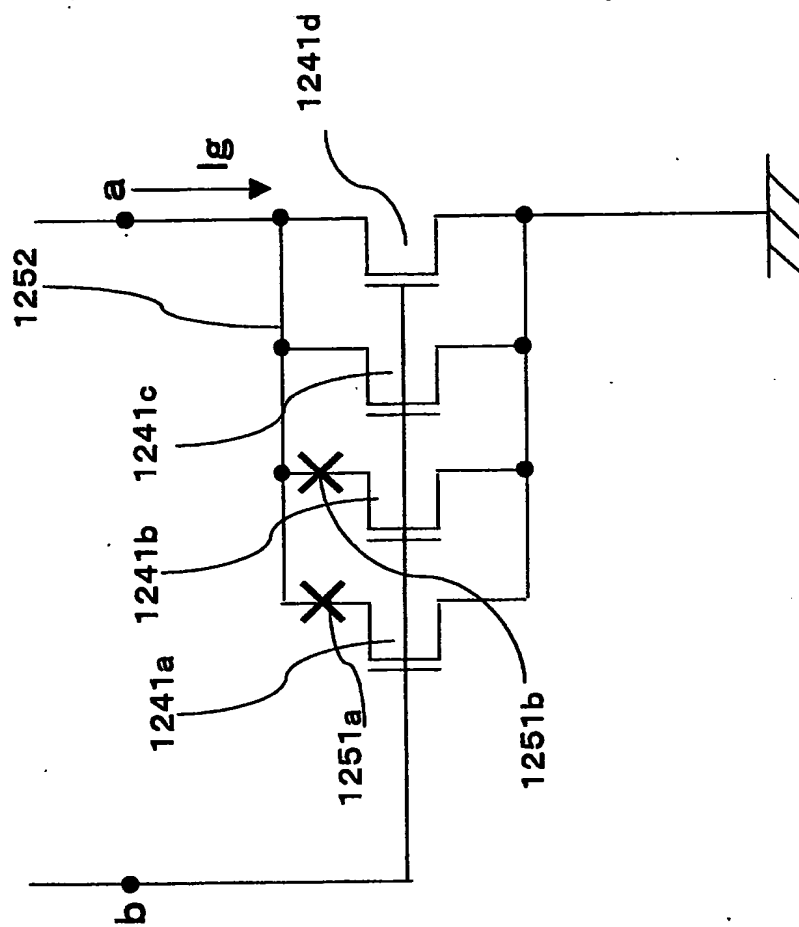
【図 124】

1241 調整用トランジスタ

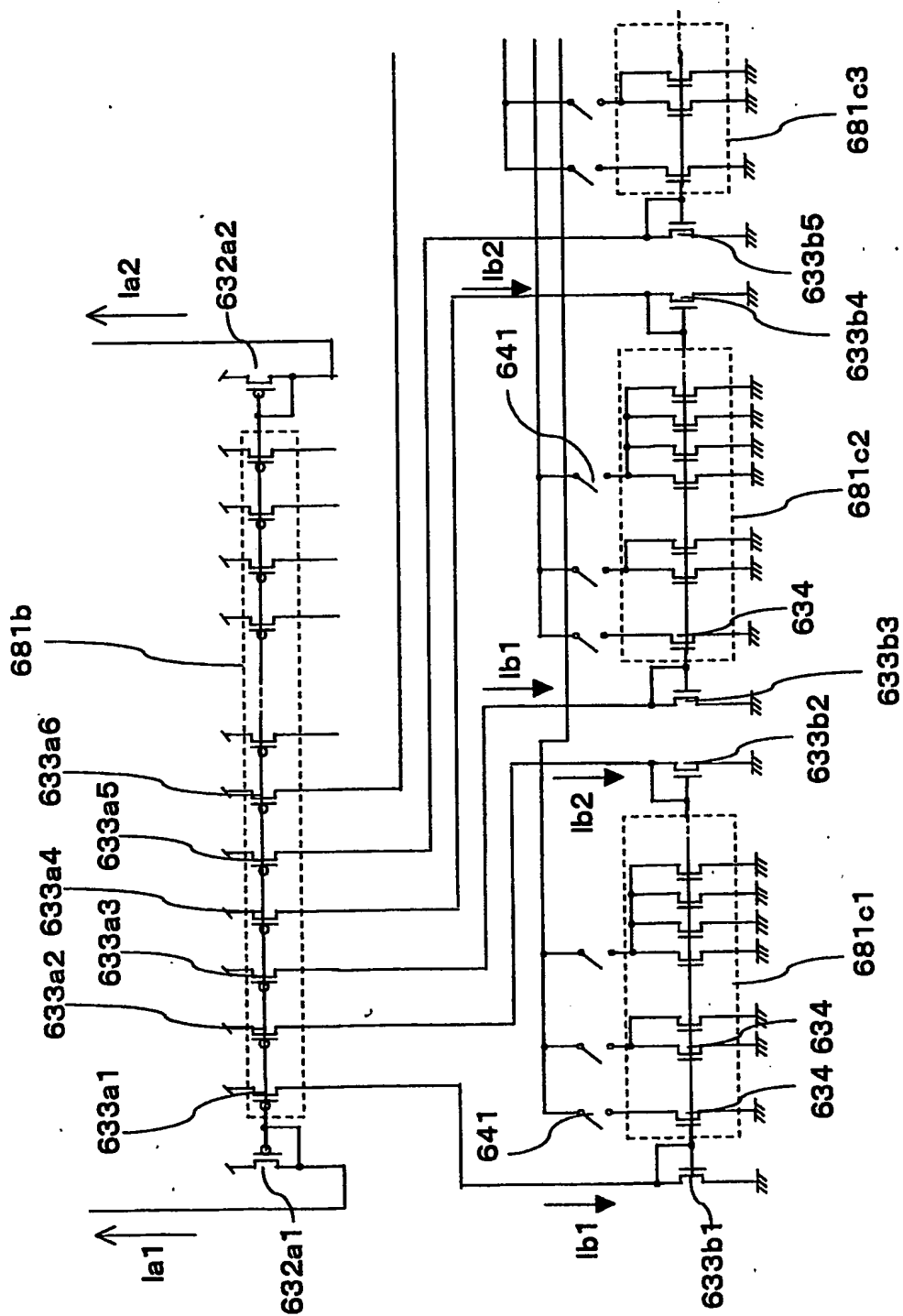


【図 1 2 5】

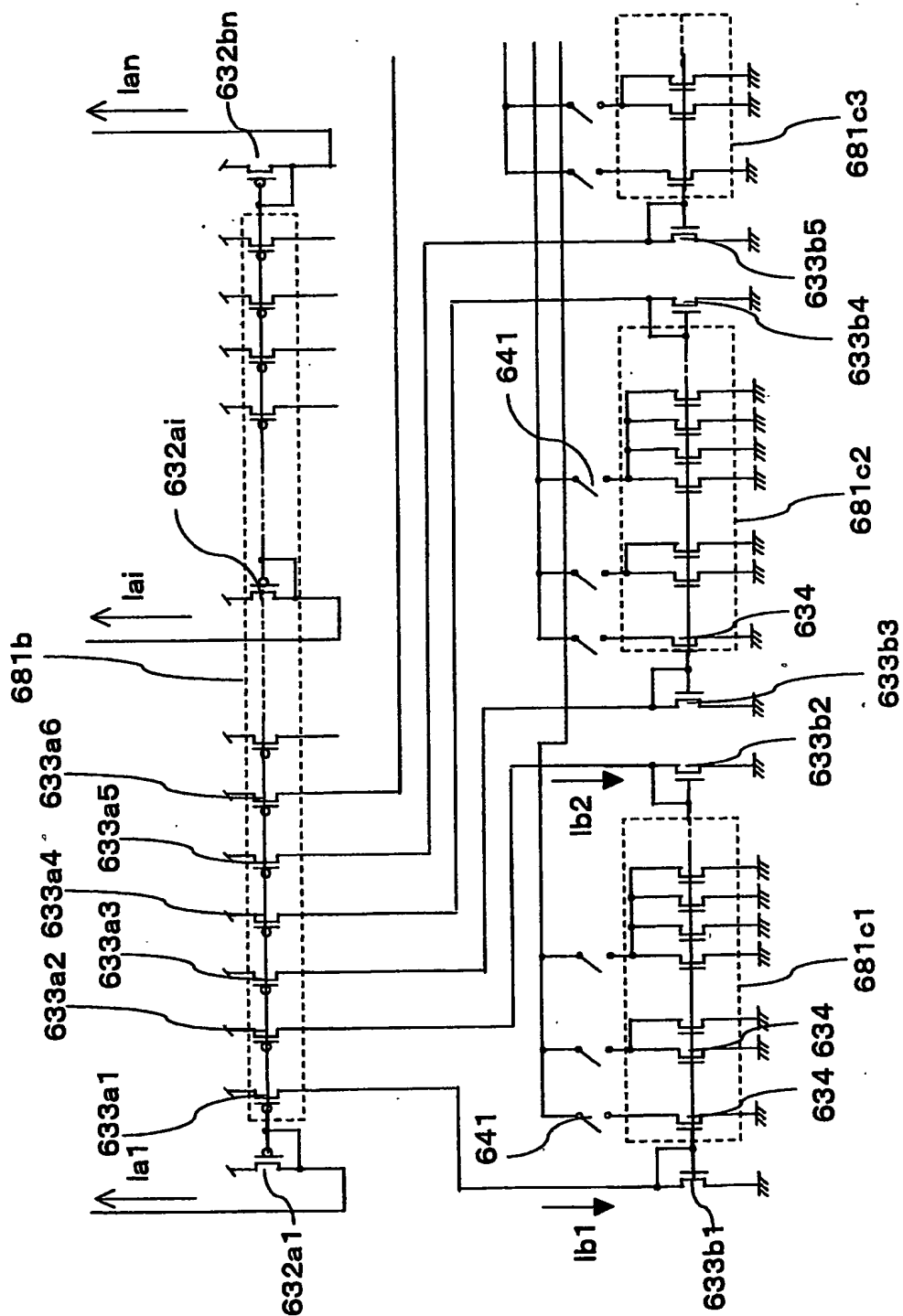
1251 カット箇所
1252 共通端子



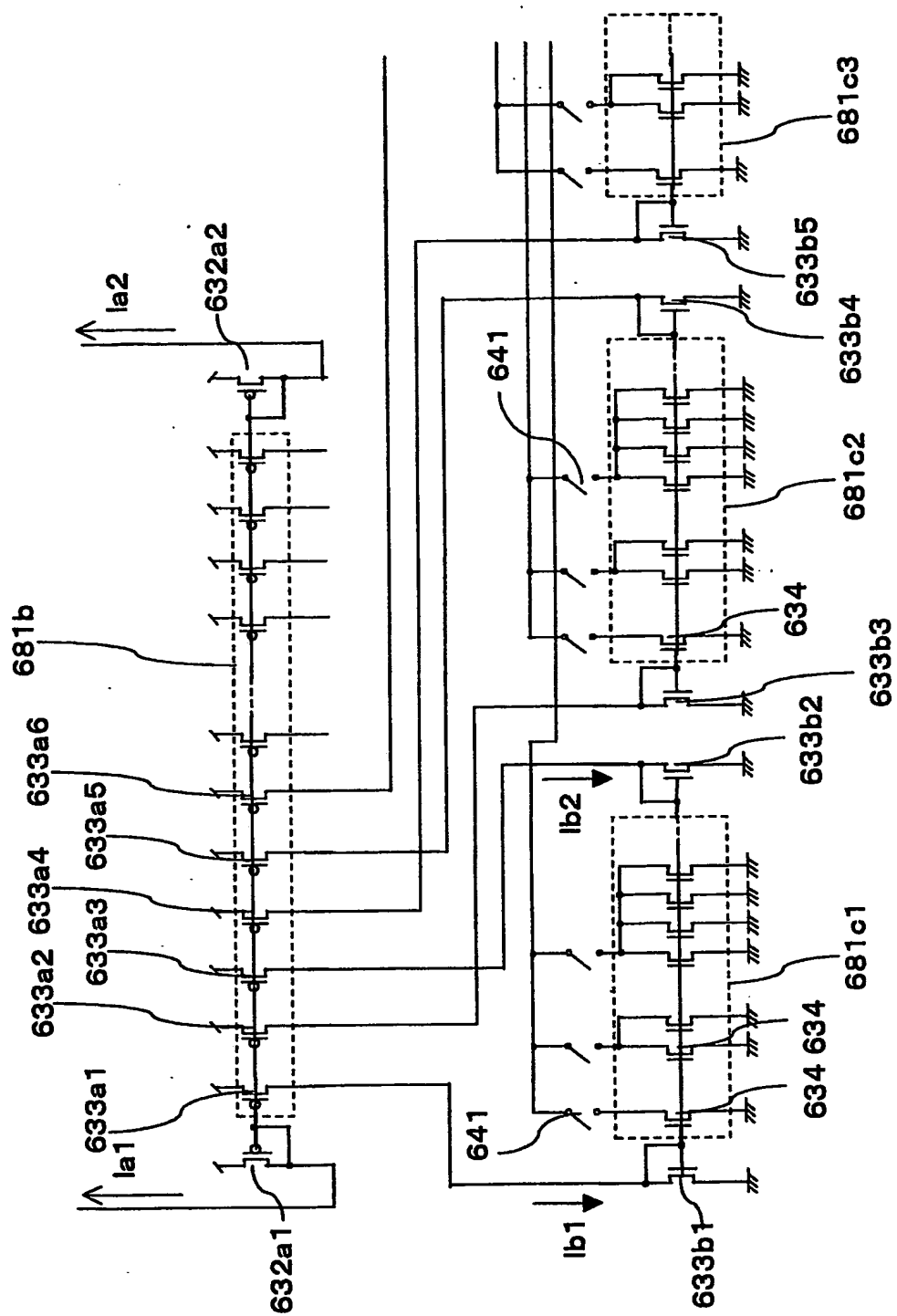
【図126】



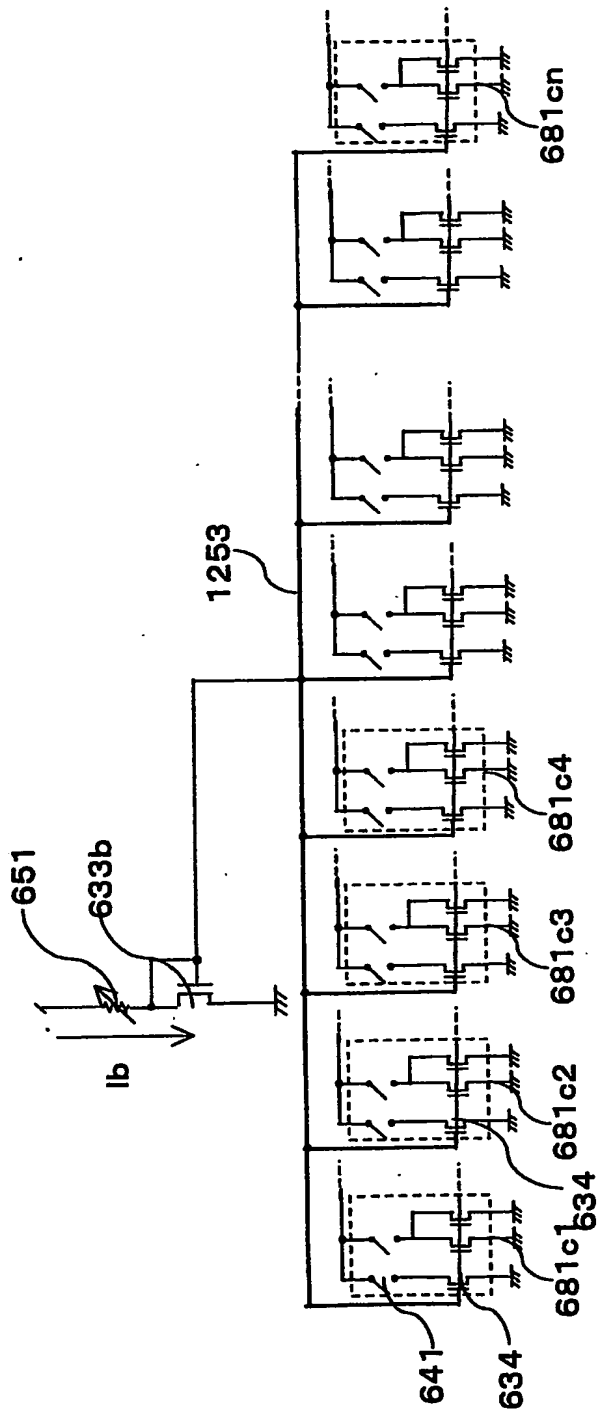
【図127】



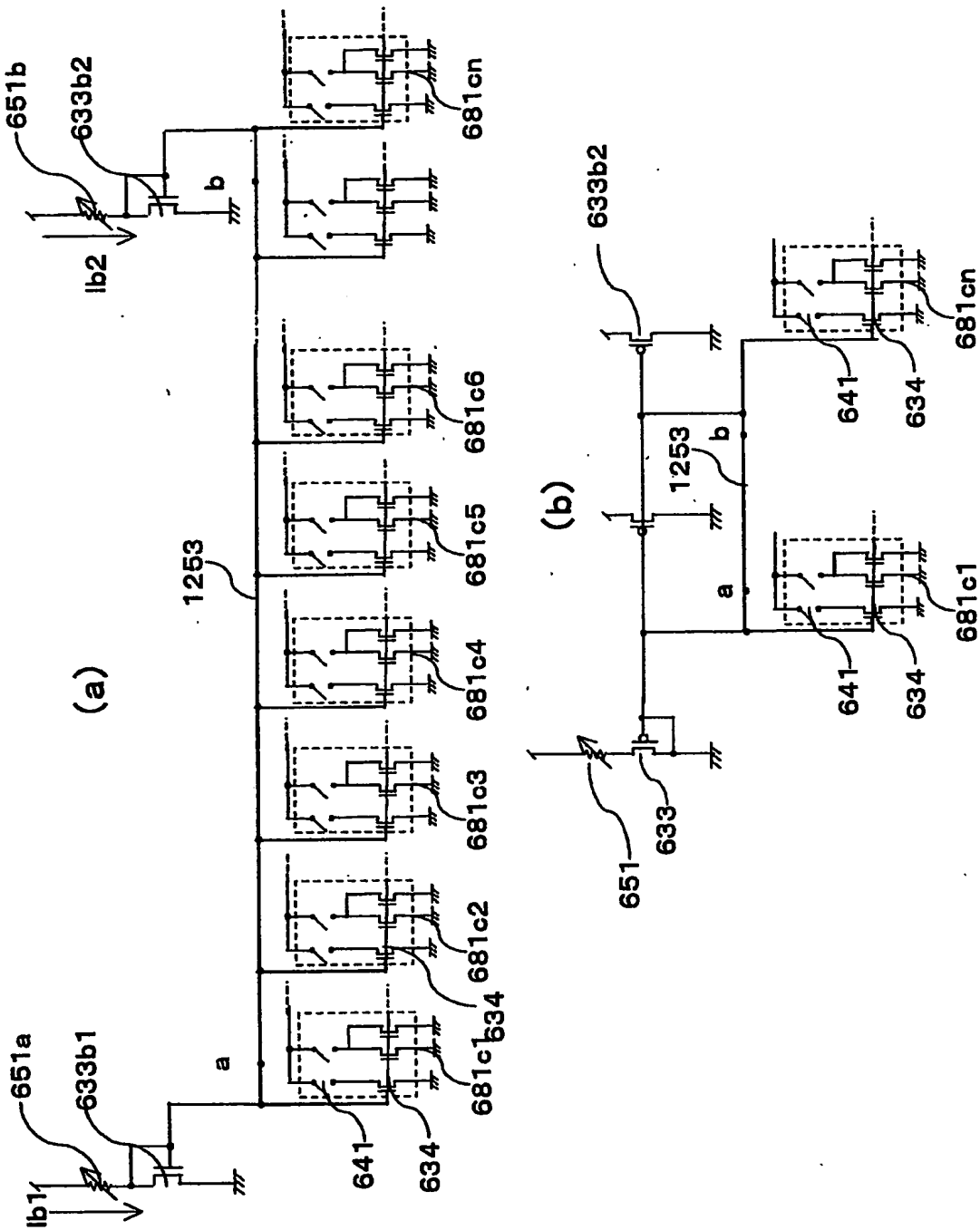
【図128】



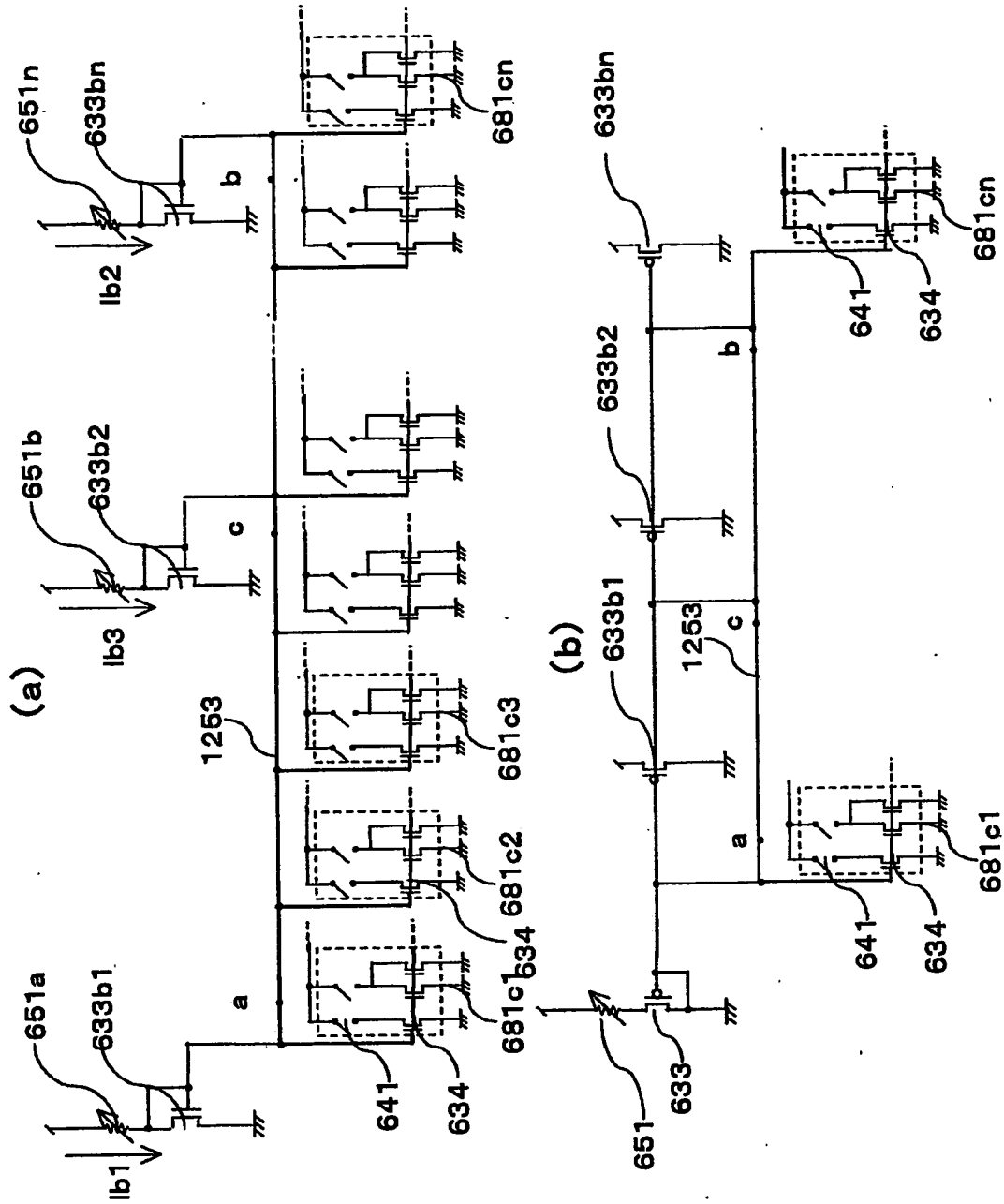
【図129】



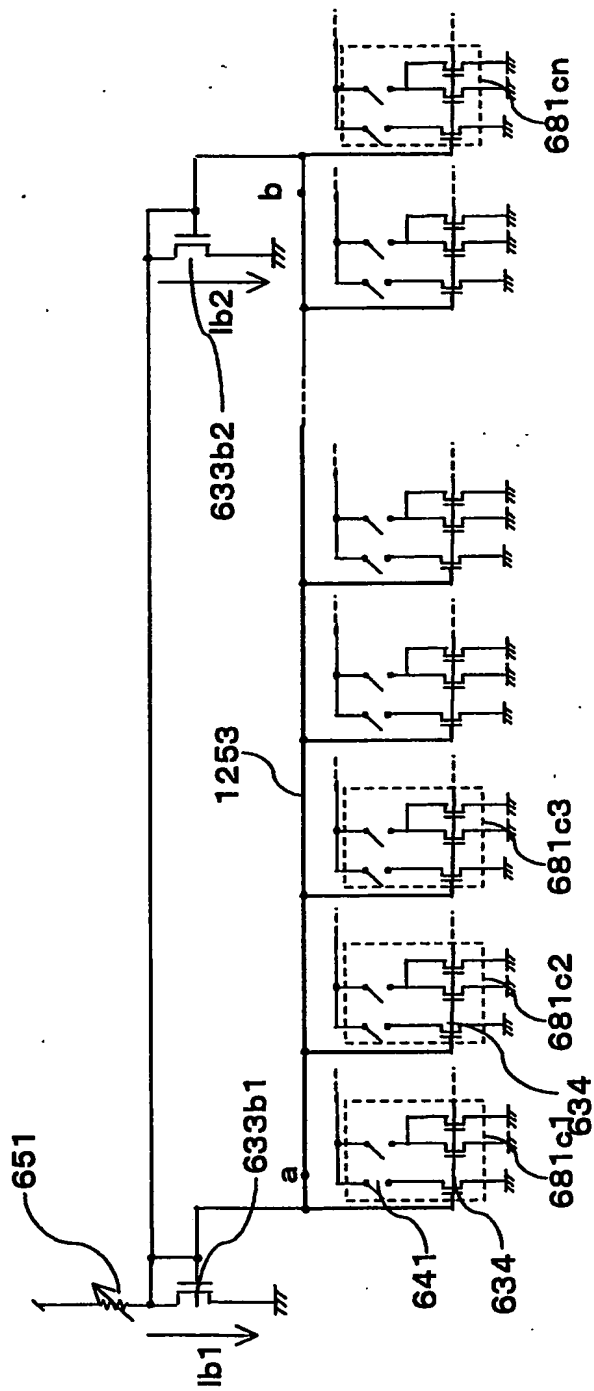
【図 130】



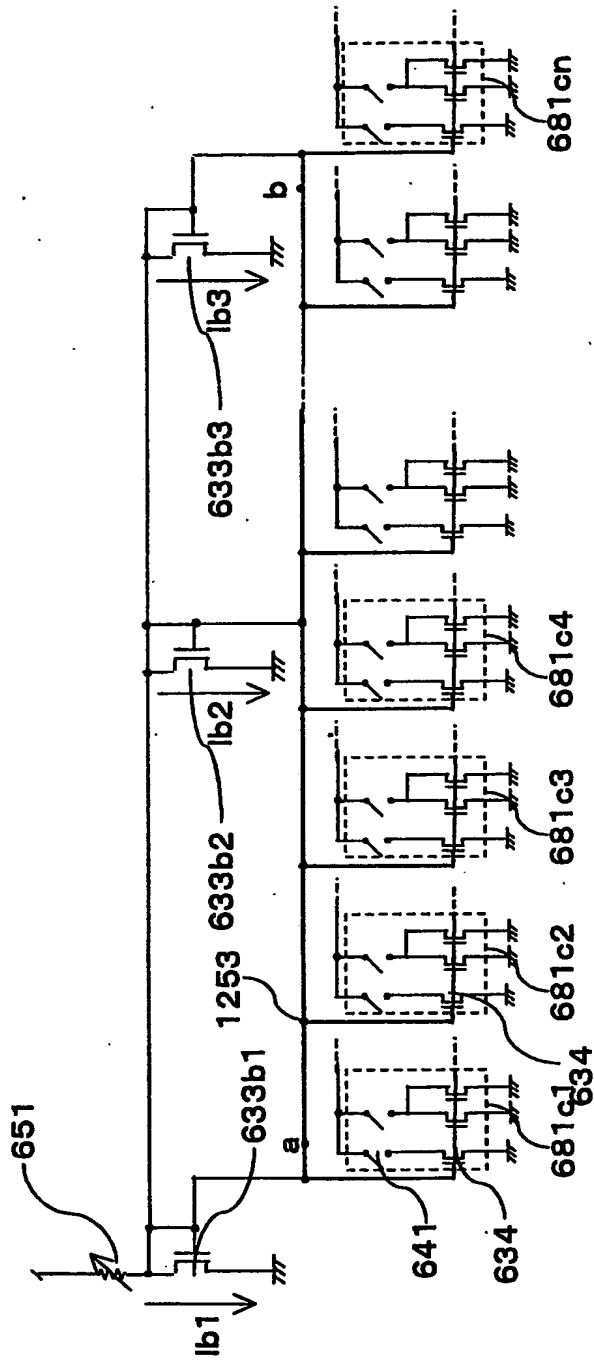
【図131】



【図 132】

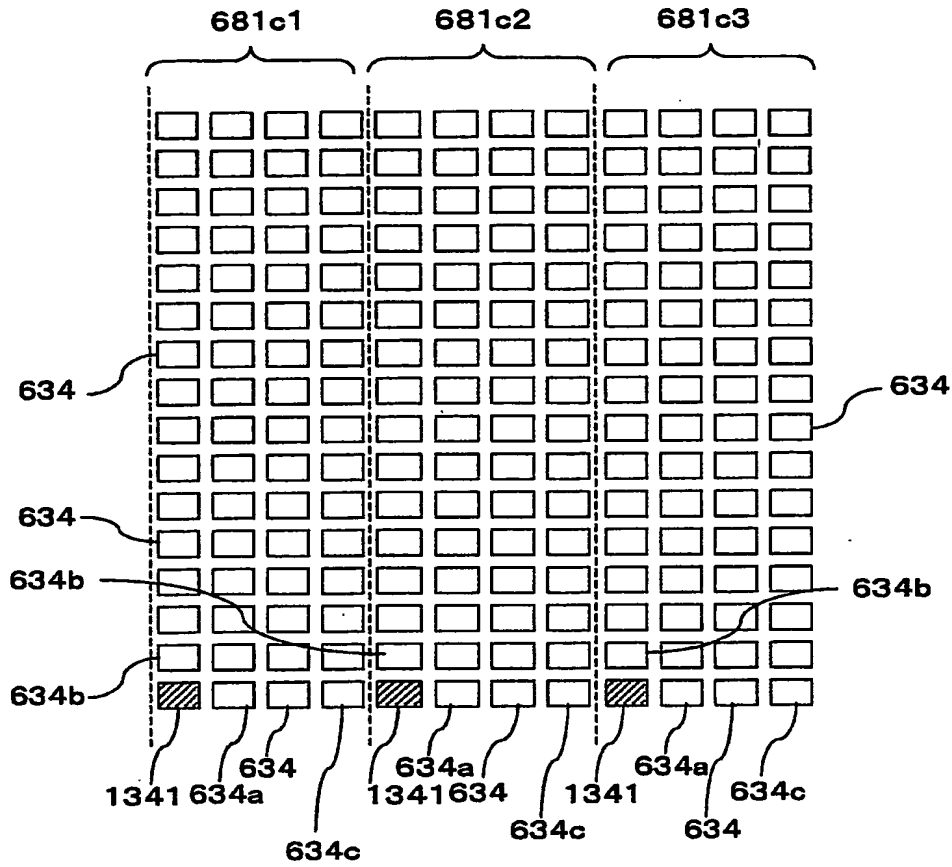


【図133】

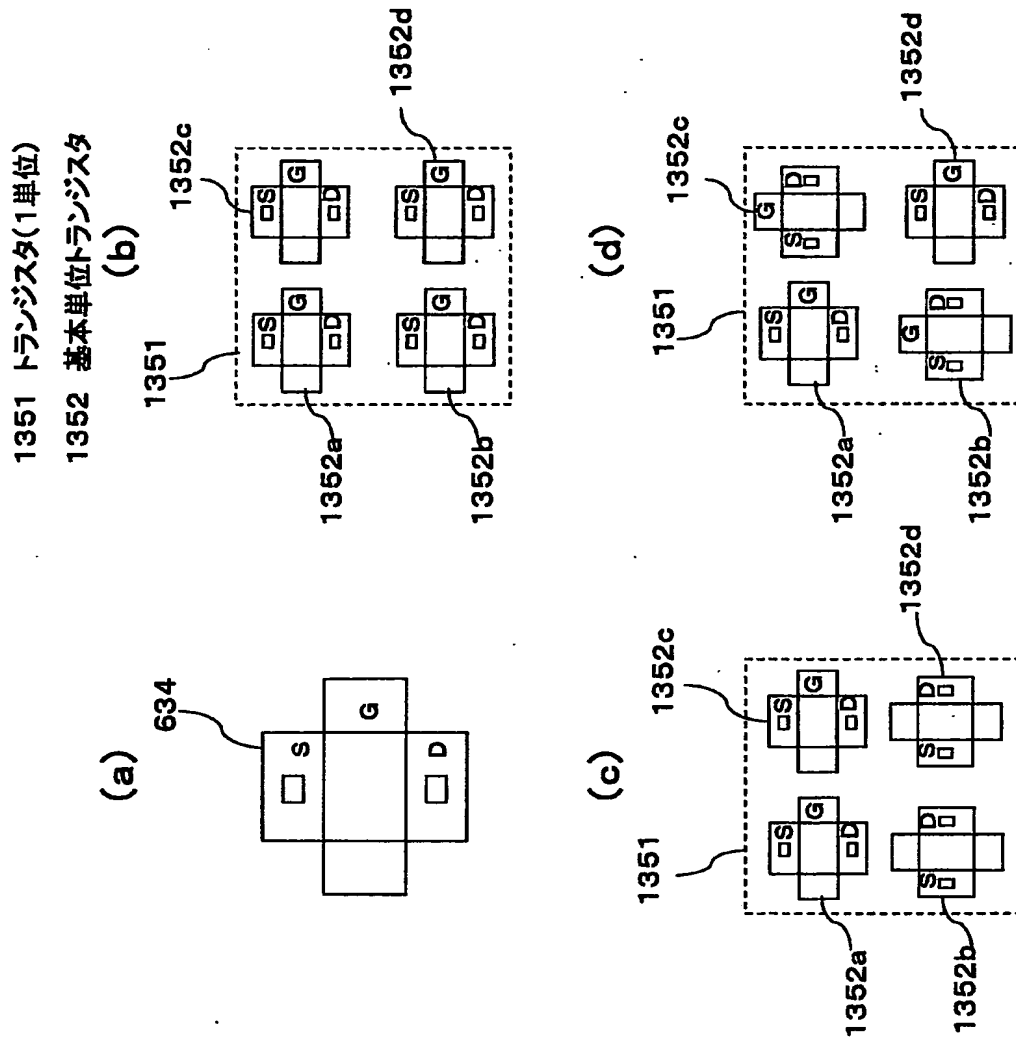


【図 134】

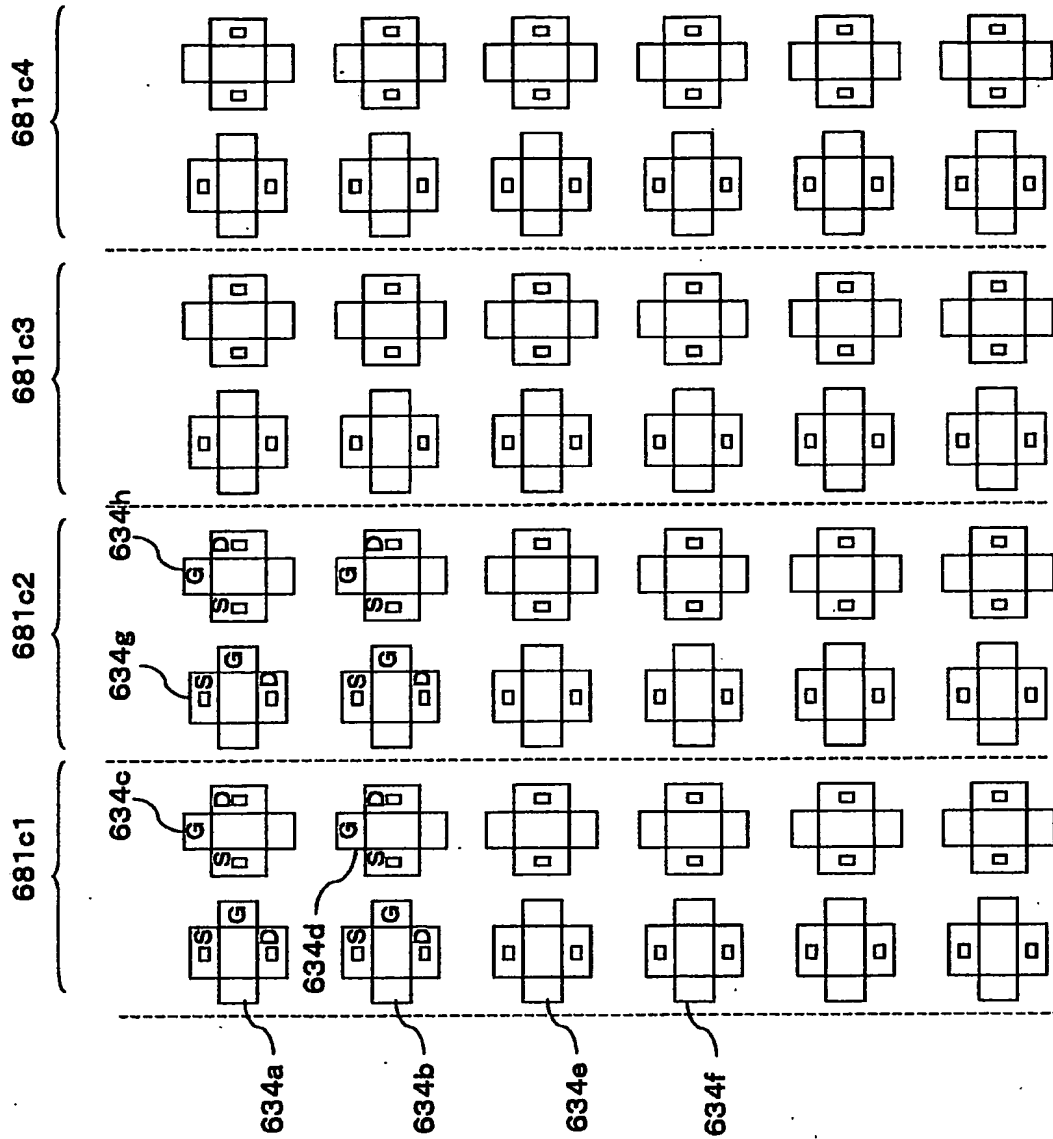
1341 ダミートランジスタ



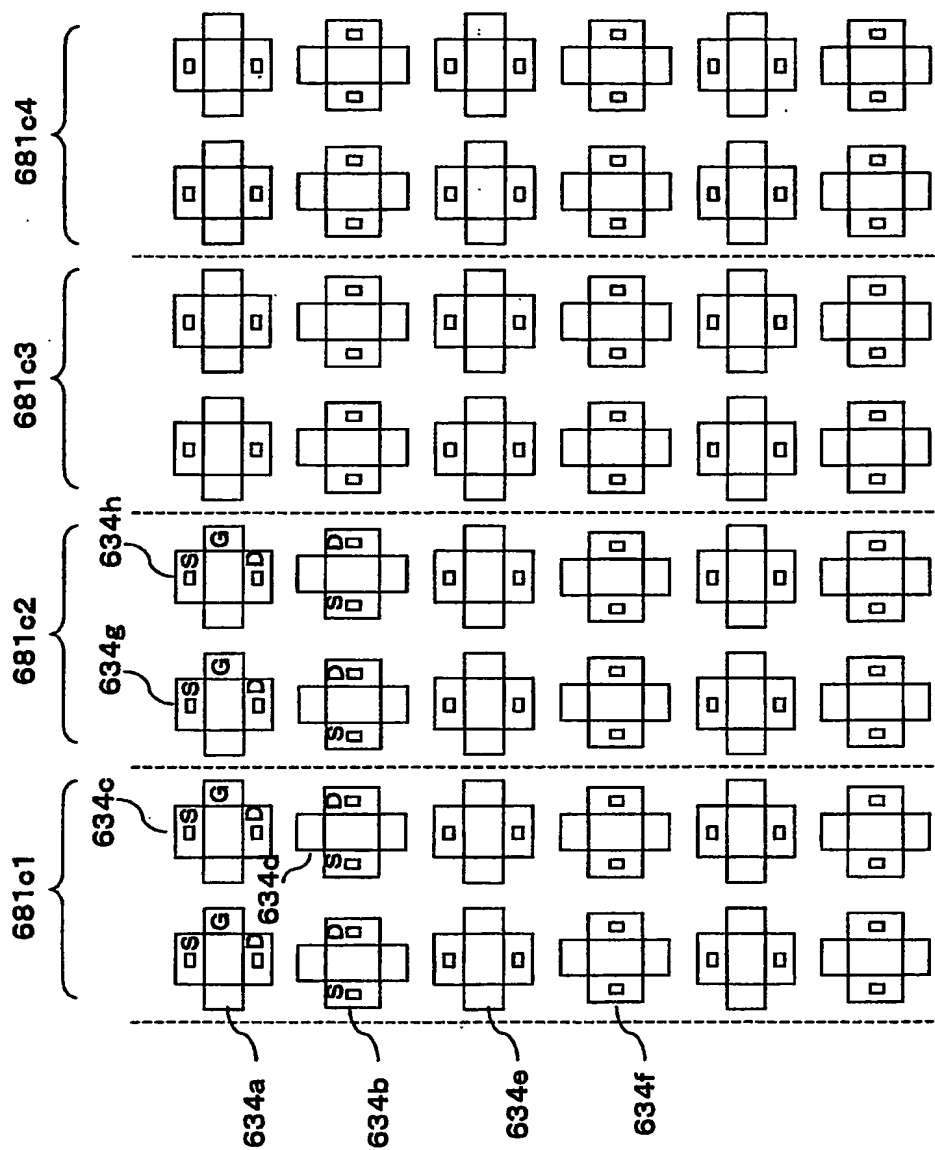
【図 135】



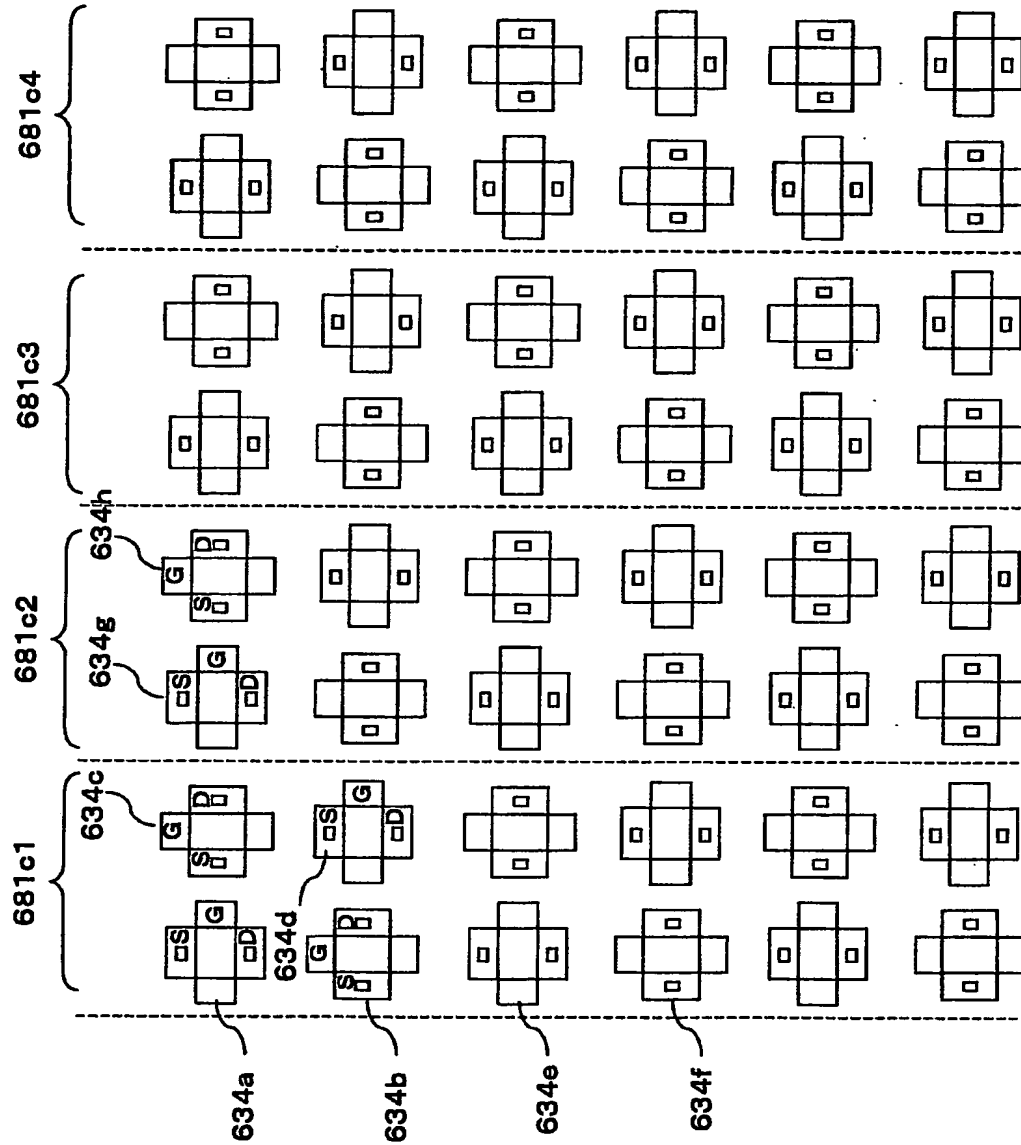
【図 1 3 6】



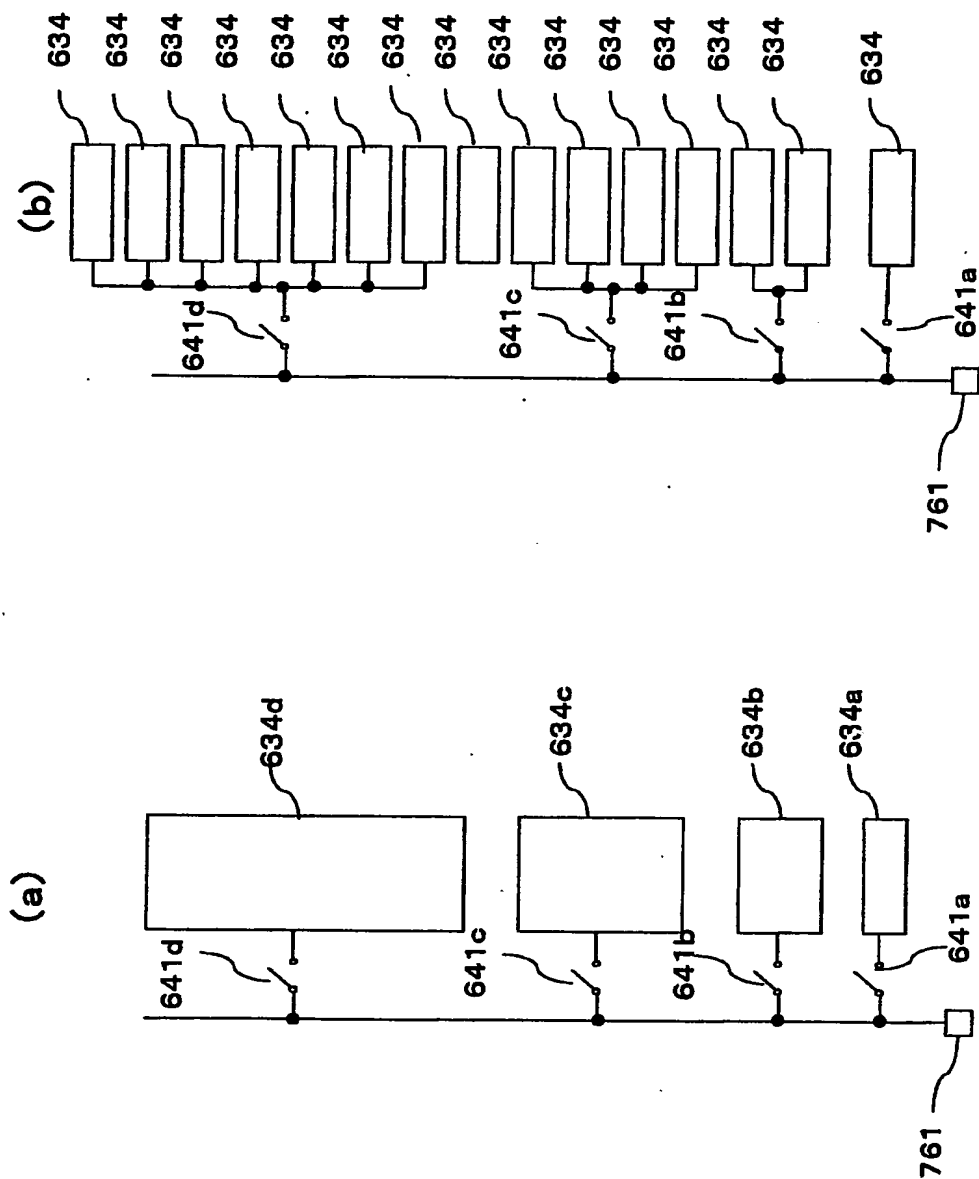
【図137】



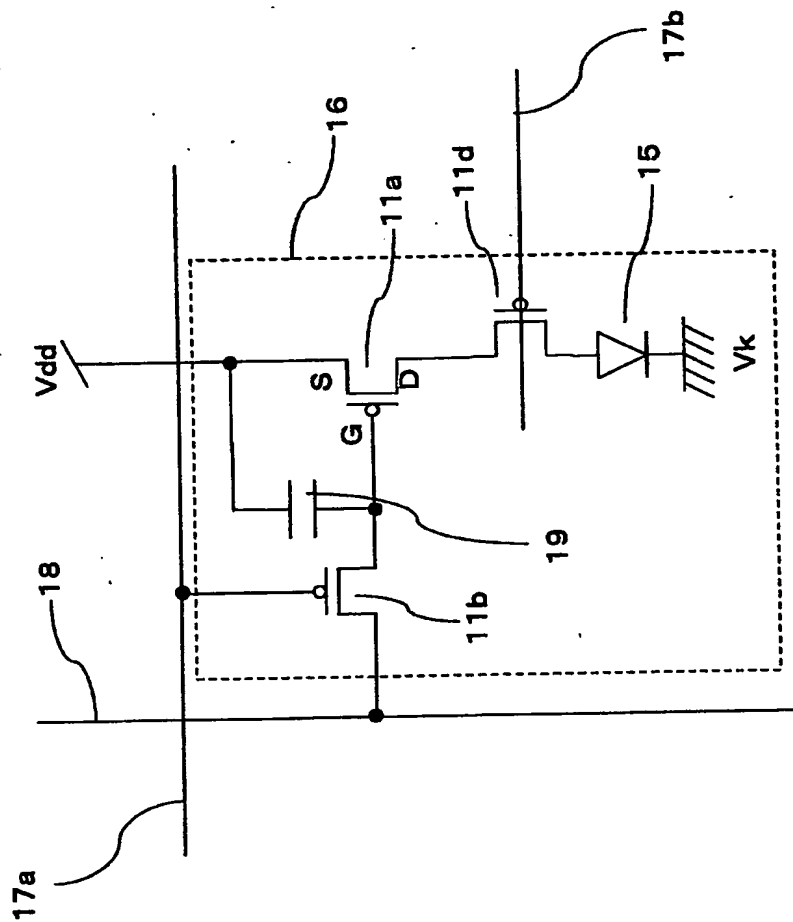
【図 138】



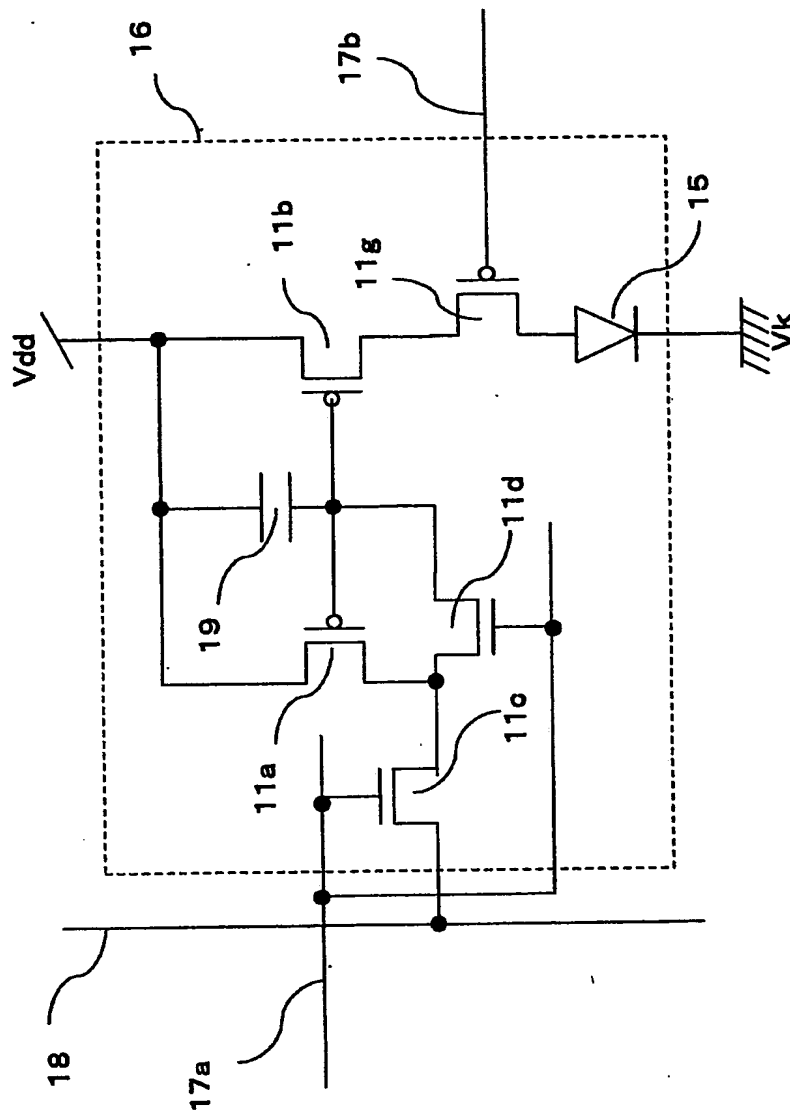
【図139】



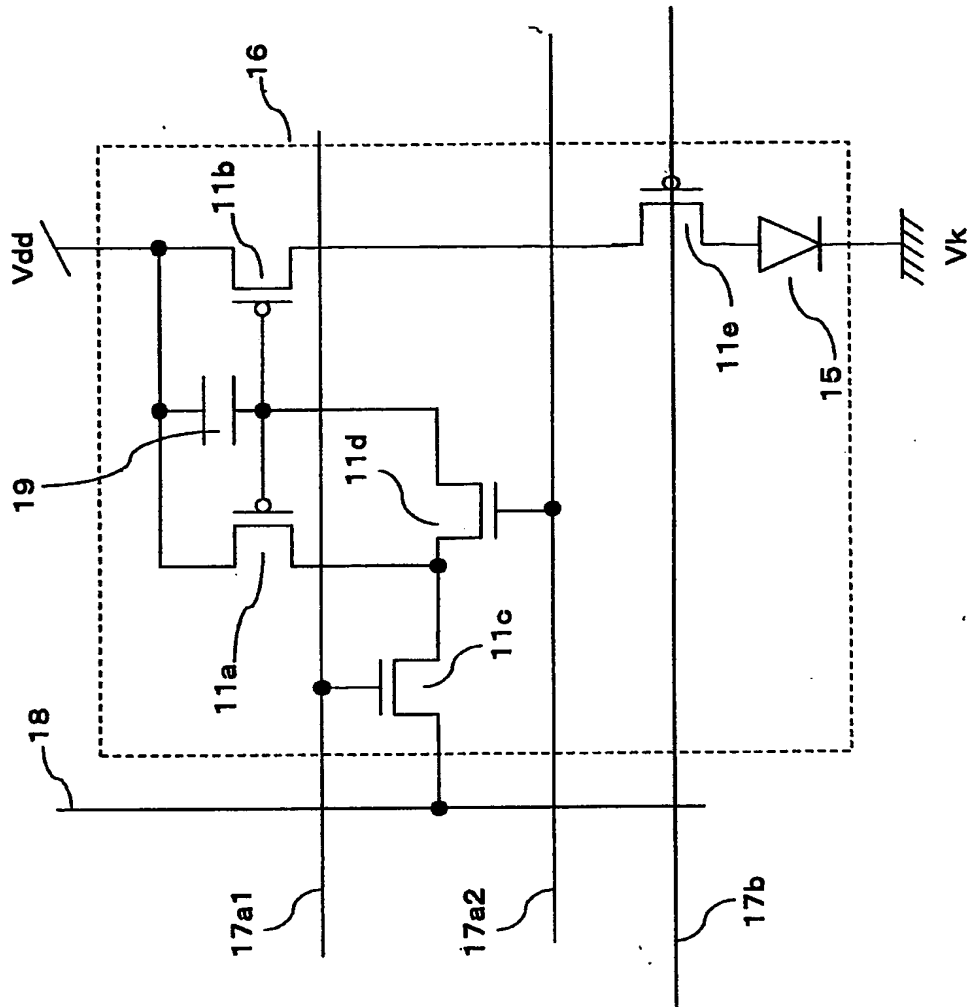
【図141】



【図142】



【図143】



【書類名】 要約書

【要約】

【課題】 出力電流ばらつきの小さいEL表示パネルのソースドライバ回路を提供すること。

【解決手段】 ソースドライバ回路は、1単位を示す単位トランジスタ634から構成される。第0ビットは1個の単位トランジスタ634、第1ビットは2個の単位トランジスタ634、第2ビットは4個の単位トランジスタ634、第3ビットは8個の単位トランジスタ634、第4ビットは16個の単位トランジスタ634、第5ビットは32個の単位トランジスタ634で構成される。各単位トランジスタ634はトランジスタ633とカレントミラー回路を構成している。トランジスタ633に流れる電流 I_b を調整することにより、単位トランジスタ634に流れる電流を変更できる。各ビットの出力電流が正確に目標値となるようにするため、調整用トランジスタ1241を形成している。調整用トランジスタ1241はビットに複数個形成される。

【選択図】 図124

出 願 人 履 歴 情 報

識別番号 [302020207]

1. 変更年月日 2002年 4月 5日

[変更理由] 新規登録

住 所 東京都港区港南4-1-8

氏 名 東芝松下ディスプレイテクノロジー株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.